

Кардашук В.С., Руденко М.С.

ДОСЛІДЖЕННЯ МЕТОДІВ ТЕСТОПРИДАТНОСТІ ТА ЇХ ЗАСТОСУВАННЯ

Розглядаються існуючі методи аналізу тестопридатності цифрових систем на кристалі. Розглянуто проблеми, які вирішуються за допомоги методів тестопридатного проектування електронних пристроїв. Означено галузь використання показників тестопридатності, отриманих на високих рівнях опису цифрових пристроїв. Надаються рекомендації щодо тестопридатного проектування, скорочення часу тестування пристрою та підвищення якості тесту на основі технології граничного сканування (Boundary Scan). За результатами даного дослідження пропонується стратегія вибору контрольних точок для модифікації комбінаційної схеми при тестуванні. Визначаються основні проблеми тестового діагностування та тестопридатного проектування на сьогоднішній день. Зазначено найбільш відомі засоби аналізу тестопридатності для комбінаційних схем. Оглянуто Методи підвищення тестопридатності цифрової системи. Проаналізовано використання стандарту IEEE 1149.1 Boundary Scan. Розглянуто проблему усунення існуючої надмірності вихідних ліній. Оглянуто проблему підвищення якості тесту. Проаналізовано існуючі правила та методики визначення ліній, що мають низьку оцінку тестуємості, керуємості та спостережуватимості. Означено проблему з'єднання переваги згаданого стандарту з відомими методами генерації тестів і аналізу їх якості. Наголошено на проблемі отримання тесту для перевірки заданих несправностей. Надано графік залежності, що ілюструє функцію переваги при фіксованій повноті тесту. Розглянуто короткий опис завдань, які є похідними тривимірного функціоналу. Надано таблицю згаданого функціоналу. Проведено структурний аналіз схеми. Розглянуто формули для обчислення значення керованості, спостережливості і тестопридатності для кожної лінії схеми. В ході роботи було проведено аналіз моделей, методів та алгоритмів тестопридатного проектування та їх реалізації для цифрових обчислювальних систем в цілях подальшої модифікації пристроїв для підвищення відсотку покриття несправностей, означено задачі подальшого дослідження.

Ключові слова: Boundary Scan, тестування, тестопридатне проектування, моделювання, несправність.

Вступ. З метою створення більш тестопридатних та більш надійних друкованих плат технічні компанії розробили стандарти проектування та тестування друкованих плат, починаючи з етапу проектування та з вбудованими функціями тестування готового виробу у будь-який час. Важливу роль в цьому питанні відіграє саме тестопридатне проектування, що і дозволяє проходити тестування.

Постановка проблеми. Головною метою тестового діагностування цифрових схем на рівні кристалу, друкованої плати або системи є виявлення несправностей елементів схеми. Другою метою тестування є виявлення місця та причини дефекту з достатньою точністю та достовірністю. Проблема тестування в надвеликих інтегральних схемах (НВІС) ускладнена нехваткою зовнішніх виводів корпусу мікросхеми для керування та спостереження. Для вирішення проблеми використовують спеціальні методи проектування НВІС. Методи сканування засновані на об'єднанні тригерів, що містяться в схемі або спеціально вводяться в неї, в один або декілька зсувних регістрів, що керують станом схеми через послідовний вхід.

Незважаючи на значні успіхи в області проектування інтегральних схем, проблема пошуку дефектів і підвищення тестопридатності пристрою залишається актуальною. В процесі проектування тестопридатного електронного пристрою враховуються такі моменти, як аналіз тестопридатності (на всіх етапах проектування) і впровадження в пристрій прозорості по відношенню до нормального функціонування пристрою DFT логіки (використання стандартів тестопридатного проектування, як показано на Рис. 1). Всі ці заходи спрямовані на підвищення якості тесту (відсотка покриття несправностей), відсотка виходу придатних виробів у виробництво (Yield Ratio) і зниження витрат, обумовлених трудомісткістю верифікації функціонально- і структурно-складних схем, які можуть досягати 70% від загального часу розробки проекту. Також за допомогою методів тестопридатного проектування вирішується проблема складності (Complexity) цифрового пристрою: схема розбивається на блоки, що погано піддаються псевдовипадковому тестуванню, і до них застосовуються методи аналізу тестопридатності, орієнтовані на детерміноване тестування.

З початку 80-х років активно впроваджуються такі технології, а останнім часом і виробничо-придатне проектування цифрових виробів, орієнтоване на безперервність процесу перетворення проекту в якісний електронний виріб.

Найбільш відомі засоби аналізу тестопридатності для комбінаційних схем - це SCOAP (Sandia Controllability Observability Analysis Program), CAMELOT (Computer-Aided Measure for Logic Testability),

VICTOR (VLSI Identifier of Controllability, Testability, Observability, and Redundancy) [1], метод Пітерсона. Ці системи спрямовані на розробку методу аналізу тестопридатності для складних цифрових систем. Показники тестопридатності, отримані на високих рівнях опису цифрових пристроїв, можуть бути використані при синтезі тестів для окремих частин схеми, які важко піддаються тестуванню, і реалізації підходів вбудованого самотестування (BIST) або технологій сканування на таких ділянках схеми.



Рисунок 1 – Методи підвищення тестопридатності цифрової системи

Аналіз останніх досліджень і публікацій. Існують дві важливі проблеми [4]. По-перше, не досягнута кореляція між значеннями тестопридатності і числом перевіряємих несправностей (якістю тесту). По-друге, не з'ясовано, як модифікувати схему, щоб підвищити тестопридатність. Тривіальне рішення, що складається у додаванні додаткових контрольних точок на лінії з поганою спостережимістю, а також схем, що підвищують керованість на лінії з поганою керованістю не завжди ефективно. В [5] запропонований більш складний підхід, але його обчислювальна складність занадто висока, щоб він міг бути використаним на практиці. В цілому, більшість існуючих методів припускають дуже складні обчислення, що є застосовними тільки для невеликих схем, і важко піддаються аналізу [4, 6]. Такі методи виявилися неприйнятними навіть для відносно невеликих схем уже на першому етапі - підрахунку основних показників.

Мета статті. Дослідження моделей, методів та алгоритмів тестопридатного проектування та їх реалізації для цифрових обчислювальних систем в цілях подальшої модифікації пристроїв для підвищення відсотку покриття несправностей.

Результати досліджень. Високі витрати, зумовлені трудомісткістю верифікації функціонально і структурно-складних схем, можуть досягати 70% від загального часу розробки проекту. Для зниження таких витрат передбачається використання стандарту IEEE 1149.1 Boundary Scan, який призначений для зменшення часу синтезу тестів, моделювання несправностей і діагностування фізичних дефектів на стадіях виробництва і експлуатації цифрових виробів. Однак, з'єднати переваги згаданого стандарту з відомими методами генерації тестів і аналізу їх якості - непроста проблема, пов'язана з оптимізацією функціоналу $f = \langle T, F, Y \rangle$, заданого параметрами: $\langle \text{тест, перевіряються дефекти, виходи схеми} \rangle$, часткове вирішення якої розглядається нижче.

Проблема отримання тесту для перевірки заданих несправностей пов'язана, по-перше, з розробкою ефективних генераторів вхідних послідовностей, по-друге – зі створенням досить швидкодіючих симуляторів дефектів, по-третє – з обмеженнями на кількість спостережуваних виходів цифрового пристрою. У загальному випадку формалізація проблеми представлена у вигляді наступного функціоналу:

$$f = \langle T, F, Y \rangle, \quad (1)$$

де $T = (T_1, T_2, \dots, T_n)$ - тест (його потужність дорівнює n); F - перевіряються дефекти з граничною потужністю $2k$ (їх кількість або процентне співвідношення перевірених до загальної кількості ліній в схемі k); $Y = \{Y, Z\}$ - виходи схеми Y , доповнені спостережуються (сканованими) внутрішніми лініями Z .

На основі введеного функціоналу можна формалізувати рішення шести практично значущих задач, представлених в табл. 1.

№	T	F	Y	Functions
1	↑	↑	-	$F = f(T, Y = \text{const})$
2	-	↑	↑	$F = f(T = \text{const}, Y)$
3	↓	-	↑	$T = f(F = \text{const}, Y)$
4	↑	-	↓	$Y = f(T, F = \text{const})$

Таблиця 1

5	↓	↓	-	$T = f(F, Y = \text{const})$
6	-	↓	↓	$Y = f(T = \text{const}, F)$

Короткий опис завдань, які є похідними тривимірного функціоналу (1), може бути представлено в наступному вигляді:

- $F = f(T, Y = \text{const})$ - класична задача синтезу тесту, коли підвищення його якості досягається шляхом збільшення його розмірності, тобто функціональна залежність 1 (відповідно до нумерації, наведеної в табл. 1) якості тесту від його розмірності. Розглядається приклад цифрової схеми, що містить 362 вентиля і 7 виходів, для якої побудований псевдовипадковий тест потужністю 2000 векторів з якістю 65%.
- $F = f(T = \text{const}, Y)$ - завдання, пов'язане з тестопридатним проектуванням, коли практично неможливо досягти необхідної якості тесту шляхом підвищення його потужності: в цьому випадку необхідно вводити додаткові лінії нагляду (контролю). Їх наявність дозволяє підвищити якість тесту до необхідної величини, при цьому додаткові лінії спостереження генеруються випадковим чином. Введення 36 додаткових виходів дозволило підвищити якість згенерованого тесту від 65 до 100%.
- $T = f(F = \text{const}, Y)$ - зменшення довжини тесту шляхом збільшення числа спостережуваних ліній при збереженні досягнутої якості перевіряючих послідовностей - використовується, коли для проекту більш критичною є розмірність тесту. Графік залежності, представлений на рис. 2, ілюструє функцію переваги при фіксованій повноті тесту: чи слід зменшувати довжину тесту за рахунок збільшення числа спостережуваних виходів або навпаки. Будь-яка точка, що належить даній кривій, має дві координати (довжину тесту, кількість спостережуваних виходів), які формують однакову якість тесту, в даному випадку дорівнює 100%.

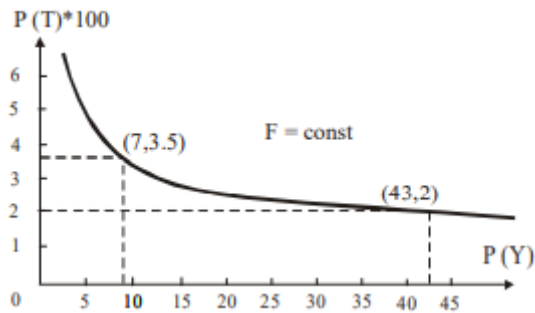


Рисунок 2 – Графік залежності

- $Y = f(T, F = \text{const})$ - зменшення числа спостережуваних ліній (виходів) шляхом збільшення довжини тесту при збереженні досягнутої якості перевіряючих послідовностей - використовується, коли для проекту більш критичним є кількість виходів або сканованих ліній. Графік залежності представлятиме інверсну по відношенню до попередньої функцію переваги при фіксованій повноті тесту: чи слід зменшувати кількість спостережуваних виходів за рахунок збільшення довжини тесту, або навпаки.

- $T = f(F, Y = \text{const})$ - зменшення довжини тесту завдяки більш оптимального рішення задачі покриття всіх несправностей знайденим підмножиною тестових послідовностей, що володіють тією ж якістю, що і вихідний тест. Існує деяка надмірність тесту (люфт) для покриття заданої множини несправностей. Іншими словами, одна і та ж несправність може бути перевірена кількома тестовими векторами, що є позитивним фактором для діагностування дефектів, але надмірно для перевірки несправностей. Усунути існуючу надмірність можна вирішенням задачі покриття (методами Квайна, Петрика), яка дозволяє отримати квазіоптимальне рішення, не вдаючись до повного перебору.

- $Y = f(T = \text{const}, F)$ - зменшення кількості спостережуваних ліній (виходів), завдяки більш оптимального рішення задачі визначення додаткових виходів або виключення несуттєвих ліній зі списку спостережуваних (сканованих) при збереженні якості тесту. Відповідно до представленої функціональної залежності може існувати деяка надмірність спостережуваних виходів для перевірки заданого безлічі несправностей. Іншими словами, одна і та ж несправність може бути перевірена за кількома виходів, що є позитивним фактором для діагностування дефектів, але надмірно для їх перевірки.

Усунути існуючу надмірність вихідних ліній можна також шляхом вирішення задачі покриття, коли кожної несправності, що перевіряється на тест-векторі, ставиться в відповідність безліч виходів, на яких вона перевіряється. Потім знаходиться мінімальна кількість виходів, необхідних для перевірки заданих дефектів, що і буде рішенням даної задачі.

У цьому випадку доречно говорити про дві фази стратегії синтезу тесту:

- режим доповнення (розширення) тесту і ліній спостереження;
- режим мінімізації тесту і ліній спостереження.

Після моделювання несправностей, що перевіряються згенерованим тестом, оцінюється його якість покриття дефектів.

Якщо FC не дорівнює 100%, то існує 2 способи його підвищення:

– псевдовипадково або за методом CAMELOT [2] визначаються додаткові лінії спостереження або виходи;

– виконується генерування додаткових тестових послідовностей.

Якщо FC дорівнює 100%, то існує дві альтернативи:

– мінімізація тесту шляхом рішення задачі покриття;

– мінімізація кількості спостережуваних виходів, достатнього для перевірки всіх несправностей, які формують якість тесту.

Задля підвищення якості тесту до заданої величини, треба визначити достатню та максимально ефективну кількість додаткових ліній спостереження. Визначити їх випадковим способом є не ефективним вирішенням. Існують правила та методики визначення ліній, що мають низьку оцінку тестуємості, керуємості та спостережуваних виходів (наприклад, розгалуження, що сходяться). Для формалізації процесу пошуку додаткових ліній спостереження треба ввести модель, що буде залежати від наступних параметрів:

$$Z = f(S, T, C, O, T^*), \quad (2)$$

де S – структура схеми; T – тест; C – керуємість ліній; O – спостережімість ліній; T* - тестуємість. Загальна кількість спостережімих виходів визначається наступною множиною:

$$Y = \{Z, R, y\}, \quad (3)$$

де Z – кількість додаткових ліній в схемі, що підлягають визначенню за методом CAMELOT; R – множина розгалужень, що сходяться, які не перевіряються базовим тестом; y – апіорні виходи схеми. В загальному випадку додаткові вихідні лінії визначаються шляхом обчислення спостережімість $O(X_i)$ або тестуємість $T^*(X_i)$:

$$X_i \in Y \leftarrow \{O(X_i) \leq \{O_{\max}, T^*_{\max}\} \cup X_i \in R\} \quad (4)$$

Таблиця 2

№	C(X _i)	O(X _i)	T*(X _i)
1	1	0,001	0,001
2	1	0,0005	0,0005
3	1	0,0005	0,0005
4	1	0,0005	0,0005
5	1	0,0012	0,0012
6	1	0,0008	0,0008
7	1	0,0008	0,0008
8	1	0,0023	0,0023
9	1	0,107	0,107
10	1	0,105	0,105
a	0,5	0,0017	0,00085
b	0,75	0,0013	0,0009
c	0,375	0,0033	0,0012
d	0,281	0,007	0,0019
e	0,344	0,006	0,0021
f	0,344	0,0134	0,0046
g	0,320	0,014	0,0045
h	0,164	0,084	0,0137
l	0,334	0,0625	0,0209
m	0,336	0,0134	0,0045
n	0,336	0,0622	0,139
k	0,139	1	1

З безлічі Y слід виключати всі вхідні лінії схеми. Крім того, при інших рівних характеристиках тестопридатності перевагу слід віддавати розгалуженням, що сходяться, R.

З метою застосування цього виразу необхідно обчислити значення керованості, спостережливості і тестопридатності для кожної лінії схеми. Для цього необхідно використовувати такі визначення.

1. Керованість – кількісна міра здатності пристрою генерувати на розглянутій лінії значення 0 або 1, яка залежить від логічної функції пристрою і зменшується в міру віддалення лінії від зовнішніх входів схеми:

$$C(Y) = C_i \cdot C^*(X_i), \quad (5)$$

де, $C_i = |(N_i^0 - N_i^1)/(N_i^0 + N_i^1)|$ коефіцієнт передачі керованості; $N_i^0, (N_i^1)$ - кількість всіх способів встанови логічного нуля(одиниці) на лінії; $C^*(X_i) = \sum_{i=1}^n C(X_i)/\sum_{i=1}^n X_i$ - середнє арифметичне керованостей входів примітиву.

2. Спостерігаємість – кількісна міра здатності пристрою транспортувати стан розглянутої лінії на зовнішні виходи схеми, яка залежить від логічної функції пристрою і зменшується в міру віддалення лінії від зовнішніх виходів схеми:

$$O(Y) = O_i \cdot O(X_i) \cdot C^*(X_i), \quad (6)$$

де $O_i = |(T^a - T^b)/(T^a + T^b)|$ – коефіцієнт передачі спостерігаємість; T^a – кількість наборів, що активізують X_i на вихід примітиву; T^b - кількість наборів, що блокують активізацію X_i на вихід примітиву; $O(X_i) = 1$ - спостерігаємість зовнішніх виходів схеми.

3. Тестованість - мультиплікативна кількісна оцінка здатності пристрою транспортувати керованість (спостерігаємість) розглянутої лінії на зовнішні входи (виходи) схеми, яка залежить від логічної функції пристрою і зменшується в міру віддалення лінії від зовнішніх входів (виходів) схеми:

$$T^* = C(Y) \cdot O(Y) \quad (7)$$

Висновок. Проаналізовано використання стандарту IEEE 1149.1 Boundary Scan для підвищення якості тесту. Надано структурний аналіз схеми. Перевагами такого підходу можна є простота при аналізі послідовних схем, можливість забезпечити високий рівень тестування схеми та простота можливості модифікацій схеми.

Метою подальших досліджень є обрання стратегії вибору контрольних точок, та обґрунтування обраного методу.

Література

1. Rutman R. A. Fault Detection Test Generation for Sequential Logic Heuristic Tree Search. IEEE Computer Repository Paper, 1972. R-72-187.
2. IEEE P1500/D11. January 2005. Draft Standard Testability Method for Embedded Core-based Integrated Circuits. New York, 2005. 138p.
3. Скобцов В.Ю. Логическое моделирование и тестирование цифровых устройств / В.Ю Скобцов., Ю.А. Скобцов. – Донецк: ИПММ НАНУ, ДонНТУ, – 2005. – 436с.
4. Abramovichi M., Breuer M.A., Friedman A.D. Digital systems testing and testable design // IEEE Inc. – 1998. – 760 p.
5. Chen T-H. Breuer M.A. Automatic Design for Testability Via Testability Measures // IEEE Trans. on Computer-Aided Design. – 1985. – Vol. CAD-4. – P. 3–11.
6. Stroud C.E. A Designer's "Guide to Built-in Self-Test." Kluwer Academic Publishers, 2002. – 320 p.

References

1. Rutman R. A. Fault Detection Test Generation for Sequential Logic Heuristic Tree Search. IEEE Computer Repository Paper, 1972. R-72-187.
2. IEEE P1500/D11. January 2005. Draft Standard Testability Method for Embedded Core-based Integrated Circuits. New York, 2005. 138p.
3. Skobcov V.U. Logical modeling and testing of digital devices / Skobcov V.U., U.A. Skobcov. – Donetsk: IAMM NASU, DonNTU, – 2005. – 436p.
4. Abramovichi M., Breuer M.A., Friedman A.D. Digital systems testing and testable design // IEEE Inc. – 1998. – 760 p.
5. Chen T-H. Breuer M.A. Automatic Design for Testability Via Testability Measures // IEEE Trans. on Computer-Aided Design. – 1985. – Vol. CAD-4. – P. 3–11.
6. Stroud C.E. A Designer's "Guide to Built-in Self-Test." Kluwer Academic Publishers, 2002. – 320 p.

Кардашук В.С., Руденко Н.С. Исследование методов тестопригодности и их применения.

Рассматриваются существующие методы анализа тестопригодности цифровых систем на кристалле. Рассмотрены проблемы, которые решаются с помощью методов тестопригодного проектирования электронных устройств. Отмечено область применения показателей тестопригодности, полученных на высоких уровнях описания цифровых устройств. Даются рекомендации по тестопригодному проектированию, сокращению времени тестирования устройства и повышению качества теста на основе технологии граничного сканирования (Boundary Scan). По результатам данного исследования предлагается стратегия выбора точек для модификации комбинационной схемы при тестировании. Определяются основные проблемы тестового диагностирования и тестопригодного проектирования на сегодняшний день. Отмечено наиболее известные средства анализа тестопригодности для комбинационных схем. Осмотрено методы повышения тестопригодности цифровой системы. Проанализировано использование стандарта IEEE 1149.1 Boundary

Scan. Рассмотрена проблема устранения существующей избыточности исходных линий. Рассмотрено проблему повышения качества теста. Проанализированы существующие правила и методики определения линий, имеющих низкую оценку тестируемости, управляемости и наблюдаемости. Отмечено проблему соединения преимущества упомянутого стандарта с известными методами генерации тестов и анализа их качества. Отмечено проблему получения теста для проверки заданных неисправностей. Предоставлено график зависимости, иллюстрирующий функцию преимущества при фиксированной полноте теста. Рассмотрены краткое описание задач, которые являются производными трехмерного функционала. Предоставлено таблицу упомянутого функционала. Проведен структурный анализ схемы. Рассмотрены формулы для вычисления значения управляемости, наблюдаемости и тестопригодности для каждой линии схемы. В ходе работы был проведен анализ моделей, методов и алгоритмов тестопригодного проектирования и их реализации для цифровых вычислительных систем в целях дальнейшей модификации устройств для повышения процента покрытия неисправностей, отмечено задачи дальнейшего исследования.

Ключевые слова: Boundary Scan, тестирование, тестопригодное проектирование, моделирование, неисправность.

Kardashuk V.S., Rudenko M.S. Study of testability methods and their application

Existing methods of analysis of testability of digital systems on a crystal are considered. The problems that are solved with the help of methods of testable design of electronic devices are considered. The scope of use of testability indicators obtained at high levels of description of digital devices is specified. Recommendations are provided for testable design, reduced device test time, and improved Boundary Scan technology. According to the results of this study, a strategy for selecting control points for modifying the combination scheme during testing is proposed. The main problems of test diagnosis and testable design to date are identified. The most known means of analyzing the testability for combination schemes are outlined. Methods for improving the testability of the digital system are reviewed. The use of IEEE 1149.1 Boundary Scan has been analyzed. The problem of elimination of existing redundancy of baselines is considered. The problem of improving the quality of the test is examined. The existing rules and techniques for defining lines with low testability, controllability and observability are analyzed. The problem of combining the advantages of the mentioned standard with known methods of generating tests and analyzing their quality is identified. Emphasized the problem of getting a test to check for specified malfunctions. A dependency graph is provided to illustrate the preference for fixed completeness of the test. A brief description of the tasks that are derivatives of three-dimensional functional is considered. A table of said functionality is provided. The structural analysis of the scheme is carried out. Formulas for calculating controllability, observation and testability for each line of the scheme are considered. In the course of the work, models, methods and algorithms of testable design and their implementation for digital computing systems were analyzed in order to further modify the devices for increasing the percentage of fault coverage, and the tasks of further research were identified.

Keywords: Boundary Scan, testing, testable design, modeling, malfunction.

Кардашук В.С. – к.т.н., доцент кафедри «Комп'ютерних наук та інженерії» факультету «Інформаційних технологій та електроніки» СХУ ім. В. Даля, e-mail: kardashuk1@gmail.com.

Руденко М.С. – студент магістратури факультету «Інформаційних технологій та електроніки» кафедри «Комп'ютерних наук та інженерії» СХУ ім. В. Даля, e-mail: fckulike@gmail.com.