

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СХІДНОУКРАЇНСЬКОГО НАЦІОНАЛЬНОГО УНІВЕРСИТЕТУ
імені ВОЛОДИМИРА ДАЛЯ

М.Г. Лорія, П.Й. Єлісєєв, О.Б. Целіщев

ЦИФРОВА СХЕМОТЕХНІКА

Навчальний посібник

Сєверодонецьк 2016

УДК 621.382
ББК 32.852
Л78

Затверджено на засіданні Вченої ради Східноукраїнського національного університету імені Володимира Даля протокол № 6 від 24 04 2015 р.

Рецензенти:

Павлов С.В., докт. техн. наук, професор, Вінницький національний технічний університет

Троцишин І.В., , докт. техн. наук, професор, Одеська національна академія зв'язку ім. А.С. Попова

Анісімов В.Ф., , докт. техн. наук, професор, Вінницький національний аграрний університет

Відповідальний редактор **П.Й. Єлісєєв**

Лорія М.Г.

Л78 **Цифрова схемотехніка.** Навчальний посібник./ М.Г. Лорія, П.Й. Єлісєєв, О.Б. Целіщев. – Сєверодонецьк: Вид-во Східноукр. нац. ун-ту імені Володимира Даля, 2016. – 280 с., 112 іл., 9 табл., 30 бібліогр. назв.

ISBN 978-617-11-0044-2

У даному посібнику в доступній та наочній формі викладено теоретичні основи, принципи та підходи до побудови логічних схем у дискретних процесорних системах. Кожний підрозділ закінчується прикладами виконання та питаннями для самоперевірки.

Надано необхідний обсяг даних про структуру та властивості складових елементів схем, потрібний мінімум інформації з математичної логіки, а також довідникові дані.

До посібника включено приклад виконання навчального проекту з дисципліни «Цифрова схемотехніка», а також набір завдань для самостійного проектування.

Посібник призначено для використання у навчальному процесі для студентів вищих навчальних закладів зі спеціальностей «Радіоелектронні апарати» та «Комп'ютерна інженерія», а також у курсовому та дипломному проектуванні.

УДК 621.382
ББК 32.852
Л78

ISBN 978-617-11-0044-2

© М.Г. Лорія, П.Й. Єлісєєв, О.Б. Целіщев, 2016

© Східноукраїнський національний університет імені Володимира Даля, 2016

ЗМІСТ

СПИСОК УМОВНИХ ПОЗНАЧЕНЬ	6
Глава 1. ОСНОВИ ЦИФРОВОЇ СХЕМОТЕХНИКИ.....	7
1.1. Принципи побудови логічних схем у процесорних системах	7
1.1.1. Загальні поняття та визначення	7
1.1.2. Математичні основи побудови цифрових логічних схем.....	8
1.1.3. Логічні функції однієї та двох змінних	9
1.1.4. Аксиоми та закони алгебри логіки	12
1.1.5. Суперпозиція логічних функцій	13
1.1.6. Нормальні і досконалі нормальні форми логічних функцій ..	14
Практикум 1	16
1.1.7. Застосування матриць Карно для зображення та перетворення логічних функцій	19
1.1.8. Побудова схем на логічних елементах з обмеженою кількістю входів	22
Практикум 2	23
1.2. Проектування цифрових схем комбінаційного типу	25
1.2.1. Проблеми проектування цифрових пристроїв комбінаційного типу	25
Практикум 3	27
1.2.2. Суматори.....	29
1.2.3. Побудова комбінаційних схем на базі комутаторів (мультиплексорів).....	32
1.2.4. Селектор-демультиплексор.....	38
1.2.5. Виникнення змагань і способів їх усунення.....	39
Практикум 4	40
1.3. Послідовна логіка	42
1.3.1. Часові булеві функції.....	42
1.3.2. Булеві функції I роду	44
1.3.3. Булеві функції II роду	45
Практикум 5	46

Глава 2. РОЗРОБКА ТА ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ.....	49
2.1. Класифікація, технології та сполучення інтегральних схем.....	49
2.1.1. Технології та форми представлення інформації	49
2.1.2. Схемотехніка базових елементів ТТЛ-логіки	52
2.1.3. Класифікація та система позначень ІС	58
2.1.4. Сполучення інтегральних схем.....	61
2.2. Проектування цифрових схем комбінаційного типу	62
2.2.1. Проблеми проектування цифрових схем комбінаційного типу (ЦК).....	62
2.2.2. Логічні елементи	65
2.2.3. Драйвери	67
2.2.4. Шифратори, дешифратори, мультиплексори й демультиплексори	69
2.2.5. Арифметичні пристрої	73
2.3. Проектування цифрових схем послідовного типу.....	77
2.3.1. Проблеми й методики проектування послідовних схем	77
2.3.2. Тригери	80
Практикум 6	94
2.3.3. Регістри.....	95
2.3.4. Лічильники	103
2.4. Електронна пам'ять.....	114
2.4.1. Класифікація й система параметрів запам'ятовуючих пристроїв	114
2.4.2. Побудова оперативної пам'яті.....	116
2.4.3. Постійна пам'ять.....	120
2.5. Релаксаційні пристрої	125
2.5.1. Система синхронізації	125
2.5.2. Генератори та формувачі імпульсів	126
Глава 3. НАВЧАЛЬНИЙ ПРОЕКТ	130
3.1. Зміст та мета роботи.....	130
3.2. Загальні положення	130
3.3. Варіанти типових завдань	132
3.4. Типові перетворювачі аналогового сигналу	135
3.5. Вимір амплітуди сигналу	140
3.6. Вимір часових параметрів сигналів	146
3.7. Комутатори сигналів	150
3.8. Схеми індикації.....	152
3.9. Проектування схем джерел живлення	154
3.10. Оформлення навчального проекту.....	158

БІБЛІОГРАФІЧНИЙ СПИСОК.....	159
-----------------------------	-----

Додаток 1. Підгрупи й види ІС.....	161
Додаток 2. Логічні елементи	166
Додаток 3. Логічні схеми комбінаційного та послідовного типу.....	179
Додаток 4. Елементи затримки	206
Додаток 5. Типи вихідних каскадів цифрових елементів	212
Додаток 6. Елементи індикації	216
Додаток 7. Деякі типові ситуації при побудові вузлів та пристроїв на стандартних ІС.....	220
Додаток 8. Варіанти завдань до навчального проекту	223
Додаток 9. Підсумковий Тестувальний Комплекс	224

ВІДПОВІДІ Й РОЗВ'ЯЗКИ ДО ТЕСТУВАЛЬНОГО КОМПЛЕКСУ 273

Частина 1. Цифрова електроніка. Загальні поняття. Одержання цифрових сигналів. Рівні цифрових сигналів. Фіксатори – одневібратори....	273
Частина 2 Числа, використовувані в цифровій електроніці. Рахунок у десятковій і двійковій системі числення. Вага розряду. Перетворення двійкових чисел у десяткові. Переклад десяткової чисел у двійкові. Шістнадцятирічні числа.	274
Частина 3 Двійкові логічні елементи. Логічні елементи І, АБО, НЕ (інвертор), І–НЕ, АБО–НЕ, ВИКЛЮЧНЕАБО, ВИКЛЮЧНЕ АБО–НЕ.....	275
Частина 4 Коди. Перетворювачі кодів. Шифратори. Дешифратора. Мультиплексори. Демультимплексори.	276
Частина 5 Тригери. RS– тригери. Тактовані RS– тригери. Д– тригери. JK– тригери. Запис тригерів. Лічильники з наскрізним переносом. Асинхронні лічильники по модулю 10. Синхронні лічильники. лічильники, що віднімають.	277
Частина 6 Сполучення аналогових і цифрових пристроїв. ЦАП. Операційний підсилювач. ЦАП сходового типу. ЦАП з динамічною компенсацією.	279

СПИСОК УМОВНИХ ПОЗНАЧЕНЬ

АЛП – арифметично-логічний пристрій;
 АП – автомат з пам'яттю;
 АЦП – аналого-цифровий пристрій;
 БФ – булева функція;
 ВІС – велика інтегральна схема;
 ДДНФ – досконала диз'юнктивна нормальна форма;
 ДЕЛЗ – деревовидна ЕЛЗ;
 ДКНФ – досконала кон'юнктивна нормальна форма;
 ДНФ – диз'юнктивна нормальна форма;
 ДЦ – елемент, що диференціює;
 ЕЛЗ – емітерне-зв'язана логіка;
 ЕОМ – електронна обчислювальна машина;
 ЕП – елемент пам'яті;
 ЗП – запам'ятовуючий пристрій;
 І²Л – інтегральна інжекційна логіка;
 ІС – інтегральна схема;
 КЛ – комбінаційні ланцюги;
 КМОН – компліментарна пара МОН;
 КНФ – кон'юнктивна нормальна форма;
 ЛП – логічний пристрій;
 МІС – мала інтегральна схема;
 МОН – метал-оксидний напівпровідник;
 НВІС – надвелика інтегральна схема;
 ОЗП – оперативний запам'ятовуючий пристрій;
 ОП – операційний підсилювач.
 ПВЗ – пристрій вибірки та зберігання;
 ПЗП – постійний запам'ятовуючий пристрій;
 ПЛМ – програмована логічна матриця;
 РТЛ – резистивне-транзисторна логіка;
 СІС – Середня інтегральна схема;
 ТЛБЗ – транзисторна логіка з безпосередніми зв'язками;
 ТТЛ – транзисторно-транзисторна логіка;
 ТТЛШ – ТТЛ з діодами Шотки;
 ЦАП – цифро-аналоговий пристрій;
 ЦК – цифрові комбінаційні схеми;
 ЧБФ – часова булева функція;

Глава 1. ОСНОВИ ЦИФРОВОЇ СХЕМОТЕХНИКИ

1.1. Принципи побудови логічних схем у процесорних системах

1.1.1. Загальні поняття та визначення

Схемотехніка – це сукупність:

- 1) фізично обґрунтованих принципів реалізації схемних елементів,
- 2) процесів передачі сигналів у лініях зв'язку,
- 3) функціонально обґрунтованих принципів реалізації структури зі схемних елементів,
- 4) набір угод про форми представлення інформації і правил організації схемних (фізичних) інтерфейсів.

Схемний елемент – електронний (або електричний) пристрій або функціонально закінчений вузол, придатний до об'єднання у відповідності з правилами схемних інтерфейсів.

Схемний (фізичний) інтерфейс – це узгодження про значення (діапазони значень) фізичного носія інформації, що допускаються при взаємних об'єднаннях схемних елементів.

Велика інтегральна схема (ВІС) – надмініатюрна електронна схема на напівпровідниковій пластинці площею менш 1 см^2 , що містить сотні й тисячі електронних елементів та виконує певні функції.

Мікропроцесор – програмно-керований електронний пристрій, призначений для обробки цифрової інформації і побудований на одній або декількох ВІС.

Мікропроцесорний комплекс – сукупність ВІС та інших інтегральних мікросхем, які співпадають одна з одною за конструкцією й технічному використанню та призначені для спільного використання.

1.1.2. Математичні основи побудови цифрових логічних схем

Логічна функція – це функція, яка, як і її аргументи, логічні змінні, може приймати тільки два значення – «0» або «1».

Логічний «0» символізує розімкнений ланцюг, відсутність сигналу, «неправда», низький рівень сигналу.

Логічна «1» символізує замкнений ланцюг, наявність сигналу, «істина», високий рівень сигналу.

У залежності від кількості вхідних змінних розрізняють функції однієї, двох або декількох змінних.

Набір – це комбінація значень логічних змінних.

Задати логічну функцію означає визначити її значення для всіх наборів вхідних змінних.

Функція вважається повністю заданою, якщо визначені її значення для всіх наборів.

Одним із способів завдання логічної функції є завдання її за допомогою таблиці істинності.

У таблиці прикладів:

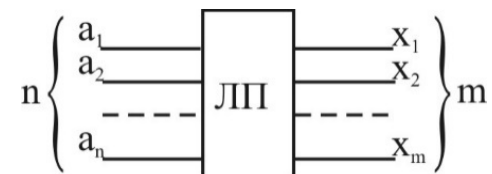
A, B, C – вхідні змінні;

X – вихідна функція.

Таблиця прикладів

Приклад 1.			Приклад 2.			
A	B	X	A	B	C	X
0	0	0	0	0	0	0
0	1	1	0	0	1	1
1	0	1	0	1	0	1
1	1	0	1	0	0	0
			1	1	0	0
			1	0	1	1
			0	1	1	0
			1	1	1	1

Логічне будь-яку цифрову схему можна навести у вигляді:



$$x_1 = f(a_1, a_2, \dots a_n),$$

...

$$x_m = f(a_1, a_2, \dots a_n),$$

n – кількість вхідних змінних;

m – кількість вихідних функцій;

ЛП – логічний пристрій;

$N_k = 2^n$ – максимально можлива кількість комбінацій вхідних змінних;

$N_{k\phi} = 2^{N_k}$ – максимально можлива кількість функцій.

1.1.3. Логічні функції однієї та двох змінних

Логічні функції двох змінних є основними функціями алгебри логіки. Чотирьом наборам двох змінних відповідають 16 різноманітних логічних функцій.[1-5] Ці функції наведені у табл. 1,2.

Таблиця 1

Логічні функції однієї змінної

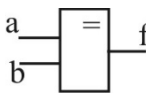
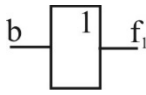
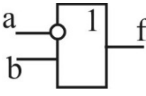
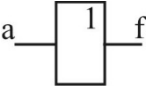
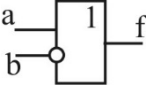
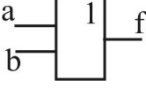
	0	1	Символьне позначення	Контактна схема	Умове позначення
f_1	0	0	0		–
f_2	0	1	a		a
f_3	1	0	$\bar{a}$		$\bar{a}$
f_4	1	1	1		–

Таблиця 2

Логічні функції двох змінних

a	b	Назва функції	Символ	Умове графічне позначення	Логічне вираження
1	2	3	4	5	6
f_0	0 0 0 0	Нульова	0	–	$\bar{a}\bar{a} \vee \bar{b}\bar{b}$
f_1	0 0 0 1	АБО-НЕ	$A \downarrow b$		$\overline{a \vee b} = \bar{a} \cdot \bar{b}$
f_2	0 0 1 0	Заборона a	$B \leftarrow a$		$\bar{a} \cdot b$
f_3	0 0 1 1	Інверсія a	$\bar{a}$		$\bar{a}$
f_4	0 1 0 0	Заборона b	$A \leftarrow b$		$a \cdot \bar{b}$
f_5	0 1 0 1	Інверсія b	$\bar{b}$		$\bar{b}$
f_6	0 1 1 0	Виключне АБО	$A \oplus b$		$a\bar{b} \vee \bar{a}b$
f_7	0 1 1 1	І-НЕ	A/b		$\overline{a \cdot b} = \bar{a} \vee \bar{b}$
f_8	1 0 0 0	І	$A \cdot b$		$a \cdot b$

Продовження табл. 2

1	2	3	4	5	6
f_9	1 0 0 1	Рівнозначність	$A \sim b$		$ab \vee \bar{a} \bar{b}$
f_{10}	1 0 1 0	Повтор b	b		b
f_{11}	1 0 1 1	Імплікація b	$A \rightarrow b$		$\bar{a} \vee b$
f_{12}	1 1 0 0	Повтор a	a		a
f_{13}	1 1 0 1	Імплікація a	$B \rightarrow a$		$a \vee \bar{b}$
f_{14}	1 1 1 0	АБО	$a \vee b$		$a \vee b$
f_{15}	1 1 1 1	Одинична	1	-	$(a \vee \bar{a})(b \vee \bar{b})$

Якщо дану таблицю розділити навпіл, то видно, що $f_7 = f_8$, $f_1 = f_{14}$, $f_2 = f_{13}$ і т.д., тобто $f_i = f_{15-i}$ або $\bar{f}_i = f_{15-i}$.

1.1.4. Аксиоми та закони алгебри логіки

Аксиоми

- $\bar{0} = 1$, $\bar{1} = 0$.
- $a = 0$, якщо $a \neq 1$;
 $a = 1$, якщо $a \neq 0$.
- $0 \cdot 0 = 0$;
 $0 \cdot 1 = 0$;
 $1 \cdot 1 = 1$.
- $0 + 0 = 0$;
 $0 + 1 = 1$;
 $1 + 1 = 1$.

Закони алгебри Буля

- Закон нульової множини:
 $0 \vee a = a$,
 $0 \cdot a = 0$,
 $0 \cdot a \cdot b \cdot \dots \cdot w = 0$
- Закон повторення (тавтологія):
 $a \cdot a \cdot a \cdot \dots \cdot a = a$,
 $a \vee a \vee a \vee \dots \vee a = a$.
- Закон доповнення:
 $a \cdot \bar{a} = 0$,
 $a \vee \bar{a} = 1$.
- Асоціативний закон:
 $a(bc) = (ab)c = abc$.
- Закон поглинання:
 $a(a \vee b) = a$,
 $a \vee ab \vee ac \vee \dots \vee aw = a$.

- Закон універсальної множини:
 $1 \cdot a = a$,
 $1 \vee a = 1$,
 $1 \vee a \vee b \vee \dots \vee w = 1$.
- Закон подвійної інверсії:
 $\bar{\bar{a}} = a$.
- Комутативний закон:
 $ab = ba$,
 $a \vee b = b \vee a$.
- Дистрибутивний закон:
 $a(b \vee c) = ab \vee ac$,
 $a \vee bc = (a \vee b)(a \vee c)$.
- Закон інверсії (де Моргана):
 $\overline{a \vee b} = \bar{a} \cdot \bar{b}$,
 $\overline{ab} = \bar{a} \vee \bar{b}$.

1.1.5. Суперпозиція логічних функцій

Логічні функції АБО-НЕ, заборона а, заборона b, нерівнозначність, І-НЕ, рівнозначність є несамостійними і можуть бути виражені через операції інверсії, кон'юнкції, диз'юнкції. Таким чином, і будь-яку функцію можна представити через операції інверсії, кон'юнкції, диз'юнкції. За законом де Моргана, кон'юнкція може бути виражена через диз'юнкцію і навпаки, тобто будь-яка логічна функція може бути виражена за допомогою двох логічних функцій: І-НЕ, АБО-НЕ.

Повна система – це система логічних функцій, за допомогою яких може бути виражена будь-яка логічна функція у вигляді суперпозицій функцій цієї системи.

Максимальна система – повний набір всіх елементарних логічних функцій.

Для логічних схем І, АБО, НЕ існують типові технічні схеми, які реалізують їх на дискретних напівпровідникових елементах. Для побудови сучасних ЕОМ звичайно застосовуються системи інтегральних елементів, у котрих з ціллю більшої уніфікації у якості базової логічної схеми використовується одна із схем І-НЕ, АБО-НЕ, І-АБО-НЕ.

Мінімальна повна система – це система, видалення з якої хоча б однієї функції перетворює її в неповну.

Можна виділити 4 мінімальні повні системи:

1. І, НЕ;
2. АБО, НЕ;
3. І-НЕ;
4. АБО-НЕ.

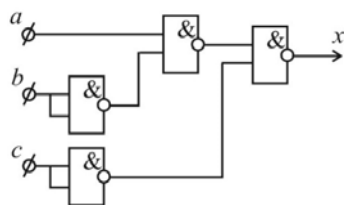
Приклад.

Задана функція Х. Реалізувати Х у базисах І, НЕ; АБО, НЕ; І-НЕ; АБО-НЕ.

$$x = a \bar{b} \vee c.$$

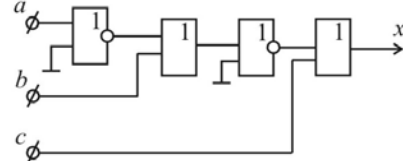
1) у базисі І-НЕ:

$$x = \overline{\overline{a\bar{b}} \vee c} \quad x = \overline{\overline{a\bar{b}} \cdot \bar{c}}.$$



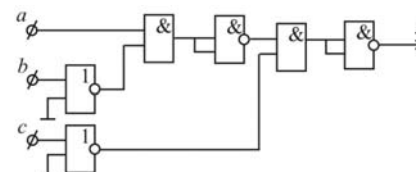
2) у базисі АБО, НЕ:

$$x = \overline{\overline{a\bar{b}} \vee c} = \overline{\overline{a} \vee b \vee c}.$$

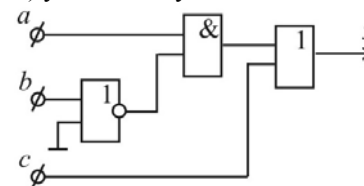


3) у базисі І, НЕ:

$$x = \overline{\overline{a\bar{b}} \cdot \bar{c}}.$$

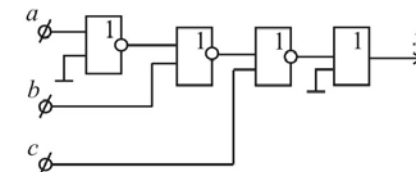


5) у змішаному базисі:



4) у базисі АБО-НЕ:

$$x = \overline{\overline{a\bar{b}} \vee c}.$$



1.1.6. Нормальні і досконалі нормальні форми логічних функцій

Будь-яка логічна функція може бути представлена у вигляді диз'юнктивної нормальної форми (ДНФ – диз'юнкція елементарних кон'юнкцій) та кон'юнктивної нормальної форми (КНФ – кон'юнкція елементарних диз'юнкцій).

Елементарними кон'юнкціями називаються кон'юнкції будь-якого числа різних змінних, узятих з інверсіями або без них.

Аналогічно елементарними диз'юнкціями називаються диз'юнкції будь-якого числа змінних, узятих з інверсіями або без них.

Для усякої логічної функції можуть існувати декілька рівносильних ДНФ і КНФ.

Інверсія будь-якої логічної функції, записаної у вигляді ДНФ і КНФ, може бути представлена, навпаки, у вигляді КНФ або ДНФ шляхом заміни операцій множення на складання та складання на множення.

$a \vee b, a \vee \bar{c}, a \vee b \vee c$ – елементарні диз'юнкції;

$\bar{a}b, \bar{b}a, abc, \bar{d}a$ – елементарні кон'юнкції.

ДНФ: $\bar{a}\bar{b} \vee \bar{b}a \vee abc \vee \bar{d}a$;

КНФ: $(a \vee b)(\bar{a} \vee c)(b \vee \bar{c})$.

Існує вид ДНФ та КНФ, у якому логічна функція може бути записана єдиним чином. Це досконала нормальна форма.

Досконалою диз'юнктивною нормальною формою (ДДНФ) є диз'юнкцією елементарних кон'юнкцій, які містять всі змінні з інверсіями або без них.

Досконалою кон'юнктивною нормальною формою (ДКНФ) є кон'юнкцією елементарних диз'юнкцій, які містять всі змінні з інверсіями або без них.

ДДНФ записується по одиницям за допомогою таблиць істинності:

a	b	c	x
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

$$X = \bar{a}\bar{b}\bar{c} \vee \bar{a}b\bar{c} \vee a\bar{b}\bar{c} \vee abc.$$

ДКНФ записується по нулям. До тієї ж таблиці:

$$X = (a \vee b \vee \bar{c})(a \vee \bar{b} \vee c)(\bar{a} \vee b \vee c)(\bar{a} \vee \bar{b} \vee c).$$

КНФ та ДНФ можна привести до ДДНФ та ДКНФ.

Приклад.

Приведемо ДНФ $X = ab \vee b\bar{c}$ до ДДНФ за допомогою закону доповнення:

$$\begin{aligned} X &= ab(c \vee \bar{c}) \vee (a \vee \bar{a})b\bar{c} = \\ &= abc \vee a\bar{b}\bar{c} \vee \bar{a}b\bar{c} \vee \bar{a}b\bar{c} = abc \vee a\bar{b}\bar{c} \vee \bar{a}b\bar{c} \end{aligned}$$

Знайдені набори 111, 110, 101 відповідають десятинним числам 7, 6 та 2.

$$X(abc) = \sum 2, 6, 7.$$

Приведемо КНФ $X = (a \vee b)(b \vee \bar{c})$ до ДКНФ:

$$\begin{aligned} X &= (a \vee b \vee \bar{c})(a\bar{a} \vee b \vee c) = (a \vee b \vee c)(a \vee b \vee \bar{c})(\bar{a} \vee b \vee c) = \\ &= (a \vee b \vee c)(a \vee b \vee \bar{c})(\bar{a} \vee b \vee c). \end{aligned}$$

Знайдені набори 000, 001, 100 відповідають десятинним числам 0, 1 і 5.

$$X(abc) = \Pi 0, 1, 5.$$

Властивості досконалих нормальних форм:

1. Якщо логічна функція при даному наборі змінних приймає нульове значення, то при цьому ж наборі жодна елементарна кон'юнкція її ДДНФ не приймає єдиного значення.
2. Якщо логічна функція при даному наборі змінних приймає одиничне значення, то при цьому ж наборі тільки одна елементарна кон'юнкція її ДДНФ приймає значення одиниці.
3. Якщо логічна функція при даному наборі змінних приймає нульове значення, то тільки одна елементарна диз'юнкція її ДКНФ приймає нульове значення при даному наборі.
4. Якщо логічна функція приймає одиничне значення, то жодна з елементарних диз'юнкцій її ДКНФ не приймає нульового значення при даному наборі.

Практикум 1

Задача 1

Перевести числа 891, 123, 315 у наступні системи числення:

- а) вісімкову;
- б) двійкову;
- в) шістнадцятикову.

Задача 2

За логічним виразом побудувати схему:

$$X = (\bar{a}\bar{b}c \vee e\bar{f} \vee m)(d \vee \bar{k}l).$$

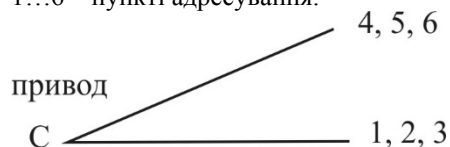
Задача 3

Побудувати схему. Сигнал X формується за умови рівнозначності першого та третього сигналів з трьох датчиків і відсутності другого одночасно.

Задача 4

Скласти таблицю істинності для логічної функції формування сигналу на включення приводу стрілки при надходженні не менше двох вимог з пунктів 4, 5, 6. Побудувати схему.

1...6 – пункти адресування.



Задача 5

Скласти таблицю істинності та записати логічний вираз.

Положення робочого механізму визначається сигналами з трьох датчиків. При рівнозначності сигналів перших двох датчиків механізм підіймається у тому випадку, якщо сигнал з третього датчика рівний «1». При нерівнозначності механізм опускається, якщо сигнал з третього датчика рівний «0».

В інших випадках привід механізму не включається.

Задача 6

Побудувати схему.

Є чотири датчики у деякому технологічному процесі. У залежності від формованих ними сигналів робочий механізм займає крайнє ліве або крайнє праве положення. Крайнє ліве, якщо сума сигналів першого та третього датчиків рівнозначна сигналу з четвертого датчика. Крайнє праве, якщо сигнали з датчиків складають двійковий код чисел 5, 10, 12. В усіх інших випадках привід механізму відключений.

Задача 7

Побудувати логічну схему з одним виходом.

- 1) $X = (a\bar{b} \vee c)\bar{d}$;
- 2) $X = (\bar{a}\bar{b} \vee c \vee d\bar{m})\bar{c}$.

Задача 8

Побудувати оптимальну логічну схему з двома виходами:

- 1) $X_1 = (a\bar{b} \vee c)\bar{d}e$;
 $X_2 = (a\bar{b} \vee d)\bar{c}$.
- 2) $X_1 = (ab \vee \bar{a}\bar{b})\bar{c}\bar{d}$;

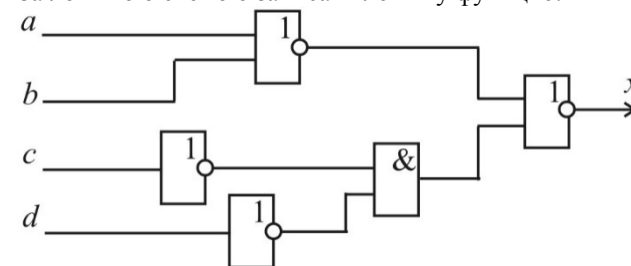
$$X_2 = (a\bar{b} \vee \bar{a}b)\bar{e} \vee c.$$

$$3) X_1 = \bar{a}b(c \vee \bar{d});$$

$$X_2 = (a \vee \bar{b})\bar{c}d.$$

Задача 9

За логічною схемою записати логічну функцію.



Задача 10

Скласти схему для порівняння двох дворозрядних двійкових чисел, яка формує значення сигналу «1» на виході при їх рівності.

Задача 11

Скласти таблицю істинності та побудувати оптимальну схему.

Положення затвора може бути «закрито – відкрито» та визначено трьома датчиками (a, b, c). При рівнозначності другого та третього датчиків команда на відкриття затвора подається, якщо сигнал першого датчика рівний «0». При нерівнозначності другого та третього датчиків та значенні першого датчика «1», затвор закривається. В інших випадках привід відключений.

Задача 12

Побудувати логічну функцію для порівняння двох трьохрозрядних двійкових чисел, яка формує «0» при їх рівності.

Задача 13

Побудувати схему у базисі: а) І-НЕ; б) АБО-НЕ.

$$X = (a\bar{b} \vee \bar{a}b)(c \vee d).$$

Задача 14

Побудувати схему у базисі: а) І-НЕ; б) АБО-НЕ.

$$X = (\bar{a}b \vee c)(d \vee f).$$

Задача 15

Визначити, при яких наборах abc логічна функція приймає значення «1».

$$X = ab \vee \overline{bc} \vee \overline{ac}.$$

Задача 16

Визначити, при яких наборах abc логічна функція приймає значення «0».

$$X = (a \vee \overline{b})(\overline{b} \vee \overline{c})(\overline{a} \vee c).$$

Задача 17

1) Побудувати логічну схему на базі трьохвходового елемента АБО-НЕ.

$$X = a \vee \overline{b} \vee c \vee \overline{d}.$$

2) Побудувати логічну схему на базі двовходового елемента І-НЕ.

$$X = a \vee b \vee c \vee d \vee \overline{m}.$$

Задача 18

Побудувати логічну схему:

1) у базисі АБО-НЕ на два виходи;

2) у базисі І-НЕ на два виходи.

$$X_1 ab \vee \overline{adc}$$

$$X_2 = ab \vee cde \vee \overline{lm}.$$

Задача 19

Записати заперечення логічної функції у ДДНФ та ДКНФ.

$$X(abc) = \prod 1,2$$

$$X(abc) = \sum 3,4,7$$

1.1.7. Застосування матриць Карно для зображення та перетворення логічних функцій

Більш компактною формою представлення таблиці істинності є матриці Карно, які містять 2^n клітинок, де n – кількість вхідних змінних.

Приклад.

Матриця Карно для трьох вхідних змінних (значення функції довільні).

$a \setminus bc$	00	01	11	10
0	0	1	1	0
1	1	0	0	0

Карта (матриця) Карно дозволяє записати логічний вираз у мінімізованому вигляді за рахунок об'єднання клітинок матриці за певними правилами, наведеними нижче.

$ab \setminus cd$	00	01	11	10
00	<u>1</u>	0	0	<u>1</u>
01	0	<u>1</u>	0	0
11	0	<u>1</u>	0	0
10	<u>1</u>	0	1*	<u>1</u>

$ab \setminus cd$	00	01	11	10
00	1	<u>0</u>	<u>0</u>	1
01	<u>0</u>	1	<u>0</u>	0
11	<u>0</u>	1	<u>0</u>	0
10	1	0*	1	1

При записі значень наборів змінних сусідні стовпці (строки) відрізняються значенням тільки однієї змінної. При оптимізації логічної функції записуються тільки ті змінні, які не міняють свого значення всередині вибраного об'єднання.

Розглянемо оптимізацію логічної функції на такому прикладі:

$ab \setminus cde$	000	001	011	010	110	111	101	100
00	<u>0</u>	<u>0</u>						
01	0	0	<u>1</u>			<u>1</u>		
11	0	0	<u>1</u>			<u>1</u>		
10	<u>0</u>	<u>0</u>						

$$\left. \begin{aligned} X(01011, 11011) &= \overline{a} \overline{b} c d e \vee a b c d e = \overline{b} c d e \\ X(01111, 11111) &= \overline{a} b c d e \vee a b c d e = b c d e \end{aligned} \right\} \text{ далі,}$$

$$\overline{b} c d e \vee b c d e = b d e (\overline{c} \vee c) = b d e$$

У результаті, X для «1» буде містити тільки змінні bde .

Правила для об'єднань значень функції:

1. Всі одиниці (для ДНФ) або нулі (для КНФ) повинні бути об'єднані у прямокутні контури. Об'єднання одиниць (нулів) не повинно мати всередині себе нулів (одиниць).
2. Одноименні контури можуть накладатись один на один або мати розрив. Не допускаються зайві контури.
3. Контур повинен об'єднувати 2^n клітин. Площа контуру повинна бути симетричною відносно власного центру.
4. Контури об'єднують тільки симетричні клітини.
5. Кожній одиничній (нульовій) клітині відповідає кон'юнкція (диз'юнкція) вхідних змінних, які визначають дану клітину.
6. Найбільш оптимальний логічний вираз виходить при утворенні найбільших контурів. При оптимізації у логічний вираз записуються тільки ті змінні, котрі не змінюють свого значення всередині обраного контуру. Якщо яка-небудь одиниця (нуль) не може бути об'єднана у контур, то для неї записується кон'юнкція (диз'юнкція) всіх змінних, які визначають дану клітину.

Логічні функції, значення яких одноставно визначено на всіх наборах змінних, називаються повністю заданими.

Логічні функції, значення яких визначено не на всіх наборах, називаються не повністю заданими. А такі набори є невизначеними.

Приклад не повністю заданої функції.

$a \setminus bc$	00	01	11	10
00	-	0	0	0
01	0	1	-	1
11	0	1	-	1
10	0	0	0	0

Невизначені умови у матриці можна об'єднати як з нулями, так і з одиницями, виходячи з того, наскільки це зручно при оптимізації задачі.

Приклад мінімізації логічних функцій за допомогою матриць Карно

Якщо об'єднувати клітини різними способами, можна здобути різні варіанти тупикових форм функції, що оптимізується. Записавши ДНФ та КНФ, можна визначити, яку з них простіше реалізувати на елементній базі.

На малюнках наведені різні приклади об'єднання клітинок. У результаті можна отримати наступні види оптимізованих функцій:

$a \setminus bc$	00	01	11	10
0	1	1	1	
1	1		1	1

$$x = \overline{a}\overline{b} \vee bc \vee \overline{a}c - 7 \text{ елементів.}$$

$a \setminus bc$	00	01	11	10
0	1	1	1	
1	1		1	1

$$x = \overline{a}\overline{b} \vee \overline{a}c \vee \overline{a}b \vee \overline{a}c - 8 \text{ елементів.}$$

$a \setminus bc$	00	01	11	10
0	1	1	1	
1	1		1	1

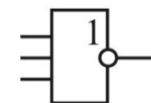
$$x = \overline{b}c \vee \overline{a}c \vee ab - 7 \text{ елементів.}$$

1.1.8. Побудова схем на логічних елементах з обмеженою кількістю входів

Кількість входів в елементах обраної серії може бути менше, ніж потрібно для побудови схеми за заданими умовами. В такому випадку необхідно використовувати закон подвійної інверсії.

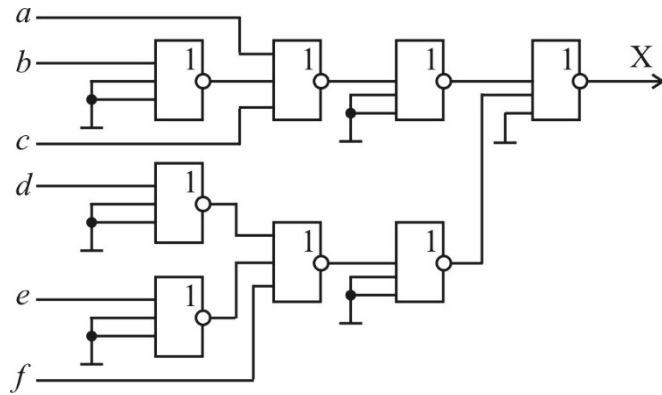
Приклад.

Побудувати схему на базі трьохвходового елемента АБО-НЕ.



$$x = \overline{a}\overline{b}\overline{c}\overline{d}\overline{e}\overline{f}$$

$$x = \overline{a}\overline{b}\overline{c}\overline{d}\overline{e}\overline{f} = \overline{\overline{\overline{a}\overline{b}\overline{c}\overline{d}\overline{e}\overline{f}}} = \overline{a \vee b \vee c \vee d \vee e \vee f} = \overline{a \vee b \vee c \vee d \vee e \vee f}$$



Практикум 2

Задача 1

Побудувати оптимальну схему, якщо:

- $a \sim b$ та $c \oplus d$, то $X = d$;
- $a \oplus b$ та $c \sim d$, то $X = c$;
- $a \oplus b$ та $c \oplus d$, то $X = 0$;
- $a \sim b$ та $c \sim d$, то $X = 1$.

Задача 2

Побудувати схему на 5 елементах за умовами: сигнал X зникає при появі тільки одного сигналу B або тільки двох сигналів A і C , або при відсутності A , B і C . Базис – змішаний.

Задача 3

Побудувати оптимальну схему:

$$X(abcd) = \sum 0,1,4,10,11,14.$$

Задача 4

Побудувати оптимальну схему у базисі I-НЕ:

$$X(abcd) = \sum 0,2,4,6,12,14,15.$$

Задача 5

Побудувати оптимальну логічну схему у базисі I-НЕ:

$$X(abcd) = \prod 0,2,5,7,8,13$$

Невизначені умови – 3, 14.

Задача 6

Побудувати оптимальну логічну схему у базисі I-НЕ:

$$X(abcd) = \sum 4,6,10,14$$

Невизначені умови – 0, 2, 5, 8, 11, 12, 13.

Задача 7

Побудувати схему керування приводом засувки у залежності від тиску у чотирьох точках. Кожен із датчиків дає «1», якщо тиск ≥ 5 атм, і «0», якщо

< 5 атм.

Якщо тиск у контрольних точках такий, що комбінації значень з датчиків складають код чисел 1, 6, 8, 9, 12, 15, то засувка відкривається. Якщо комбінації значень з датчиків складають двійковий код чисел 2, 3, 7, 10, 11, то засувка зачиняється.

Відомо, що не може бути:

- у всіх чотирьох точках відразу $P < 5$ атм;
- тільки у другій або у другій і четвертій точках ≥ 5 атм;
- $P \leq 5$ атм у точках 3 або 4.

Задача 8

Побудувати схему керування затвором за умовами:

- якщо бункер 1 пустий, то затвор знаходиться праворуч;
- якщо бункер 2 пустий, то затвор – ліворуч;
- якщо 1 і 2 пусті, то затвор – праворуч.

Задача 9

Скласти схему керування механізмів у базисі I-НЕ. Стан механізму (включено – виключено) визначається значенням вихідних сигналів з п'яти датчиків $a1, a2, a3, a4, a5$.

Механізм включається, якщо:

1. Жоден з перших двох датчиків ($a1, a2$) не видає сигнал «1» або тільки другий з них ($a2$) дає такий сигнал, а сигнали з інших датчиків $a3, a4, a5$ складають код чисел 0, 2, 4, 6.
2. Датчики $a1$ і $a2$ дають «1», а сигнали інших складають коди 0, 1, 2, 4, 5, 6.
3. Тільки $a1$ дає «1», а інші – комбінації чисел 2 або 6.

В усіх інших випадках механізм виключений.

1.2. Проектування цифрових схем комбінаційного типу

Логічні функції та схеми, що їх реалізують, поділяються на дві групи:

1. *Комбінаційні логічні функції* – функції, значення яких залежить тільки від комбінації значень вхідних змінних. Реалізуються одноктактними (комбінаційними) схемами.
2. *Послідовні (часові) логічні функції* – це функції, значення яких залежить як від комбінації значень вхідних змінних, так й від моменту часу, в який вони з'явилися на вході. Реалізуються багатотактними (послідовними) схемами. [6-9]

До схем комбінаційного типу належать дешифратори, шифратори, мультиплексори, демультиплексори, суматори й елементарна логіка.

1.2.1. Проблеми проектування цифрових пристроїв комбінаційного типу

Дешифратор – це універсальний перетворювач, за допомогою якого виконується перетворення всіх комбінацій значень n двійкових змінних у один з 2^n вихідних сигналів, тобто дешифратор – це операційний вузол ЕОМ, який виконує мікрооперацію перетворення двійкового коду в умовно десятковий.

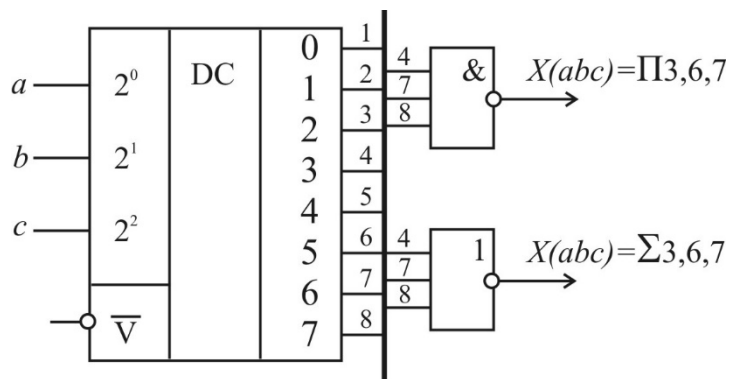


Рис. 1.1. Дешифратор з прямими виходами й функціями, що реалізуються ДДНФ та ДКНФ

$\overline{V}$ – вхід дозволу (інверсний). Даний вхід на інших схемах може позначатися як $\overline{OE}$ (Output Enable).

Якщо $V = 0$, то даний вхід не впливає на логіку дешифратора.

Якщо $V = 1$, то робота схеми заборонена (DC обнулюється).

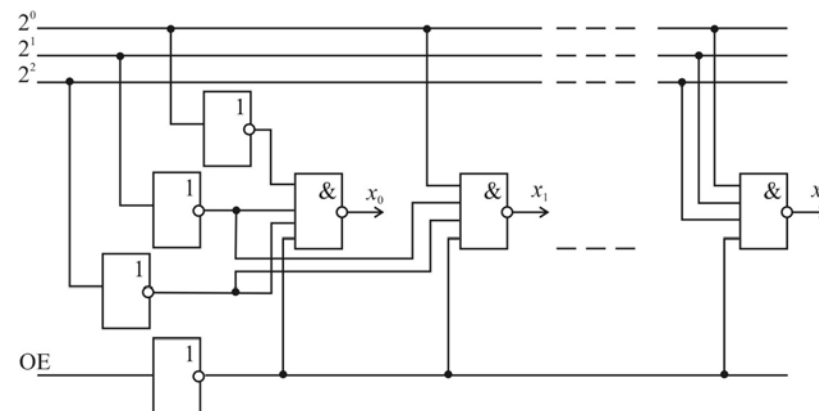


Рис. 1.2. Структурна схема 3-х розрядного дешифратора з прямими виходами

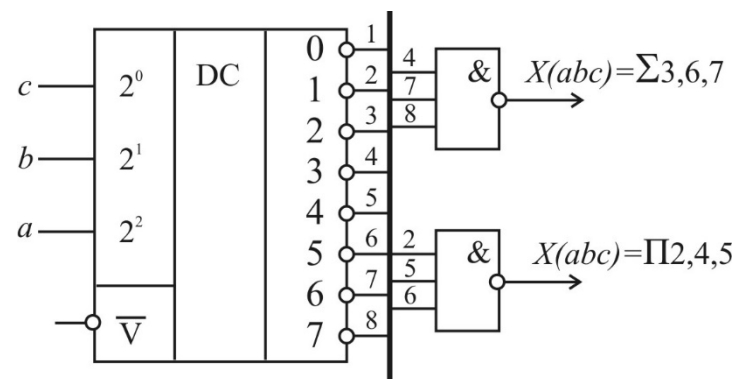


Рис. 1.3. Дешифратор з інверсними виходами й функціями, що реалізуються ДДНФ та ДКНФ

На базі трьохрозрядного дешифратора (на рисунках вище) можна побудувати дешифратор на 4 входи та 16 виходів (схеми нарощування).

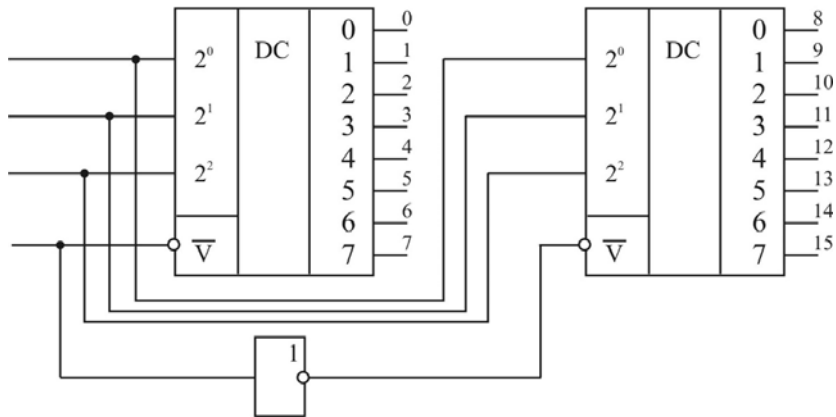


Рис. 1.4. Дешифратор на 4 входи та 16 виходів

Практикум 3

Задача 1

На базі дешифратора побудувати схему, що реалізує логічні функції:

$$X_1(abc) = \sum 0,1,4;$$

$$X_2(abc) = \prod 1,2,4,6.$$

Задача 2

Побудувати схему для порівняння двох трьохрозрядних двійкових чисел за умовою: «1» на виході формується в тому випадку, якщо число $A > B$ у два рази.

Задача 3

Побудувати шестирозрядний дешифратор.

Задача 4

Реалізувати логічну функцію на базі трьохрозрядного дешифратора:

$$X(abc) = \sum 4,5,7,12,14,15.$$

Задача 5

Побудувати схему для порівняння двох 4-х розрядних чисел, яка працює за умовою: логічна «1» на виході формується у випадку рівності чисел.

Задача 6

Записати логічний вираз.

Якщо датчики 1 і 2 дають однакові сигнали, то:

- якщо датчик 3 дає «1» та одночасно датчик 4 – «0» або датчик 5 дає «1», то включається механізм M_1 ;
- якщо при поточному значенні вхідних сигналів датчиків 1 і 2 датчик 3 дає «0» або датчик 4 дає «1», а з п'ятого датчика сигнал відсутній, то включається механізм M_2 .

Побудувати схеми у змішаному базисі та на базі дешифратора.

Задача 7

Записати логічний вираз, що описує схему вибору напрямку руху ліфта на п'ять поверхів. При цьому урахувати:

$a_1 - a_5$ – команди адресування;

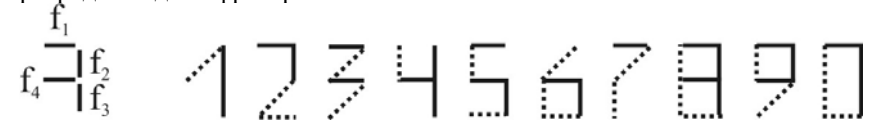
K_i – знаходження ліфта на i -тому поверсі.

Задача 8

Вивести доказ дистрибутивного закону.

Задача 9

Побудувати схему розпізнання цифр поштового індексу на базі чотирьохрозрядного дешифратора.



Стан індикатора кодується числом $f_4 f_3 f_2 f_1$. При наявності сигналу відповідний датчик видає «0».

Задача 10

Побудувати схему компаратора для двохрозрядних двійкових чисел A і B з трьома виходами ($A = B$, $A > B$, $A < B$) на базі дешифратора. При виконанні умови формується логічна одиниця.

Задача 11

Побудувати схему розпізнавання рівності двох трьохрозрядних двійкових чисел, яка при виконанні умови формує на виході логічний нуль.

Задача 12

Побудувати схему на базі трьохрозрядного дешифратора, яка формує 16-ти розрядну магістраль даних. 3 шини дані надходять у деяку схему за наступними умовами:

- якщо молодша половина даного дорівнює старшій, то вихід схеми формує логічну одиницю;
- в інших випадках на виході формується логічний нуль.

1.2.2. Суматори

Суматор – операційний вузол ЕОМ, який виконує арифметичне підсумовування кодів чисел. Суматор є одним із основних вузлів АЛП.

Розглянемо два типи суматорів:

1. суматор по модулю 2;
2. напівсуматор;
3. повний суматор.

На базі напівсуматора та суматорів можна побудувати підсумовуючі пристрої:

- послідовної дії;
- паралельної дії.

I. Суматор по модулю 2 реалізує функцію нерівнозначності (виключне або).

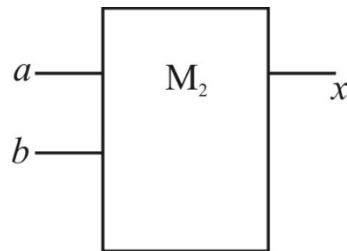


Рис. 1.5. Суматор по модулю 2

На виході індексується залишок від ділення суми навпіл: якщо залишок є, то 1, якщо ні, то 0.

a	b	$\Sigma/2$	x
0	0	0 – ні	0
0	1	0,5	1
1	0	0,5	1
1	1	0 – ні	0

II. Напівсуматор – це пристрій, що забезпечує додавання двох однорозрядних чисел.

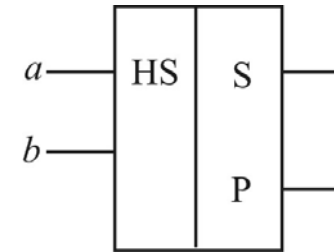


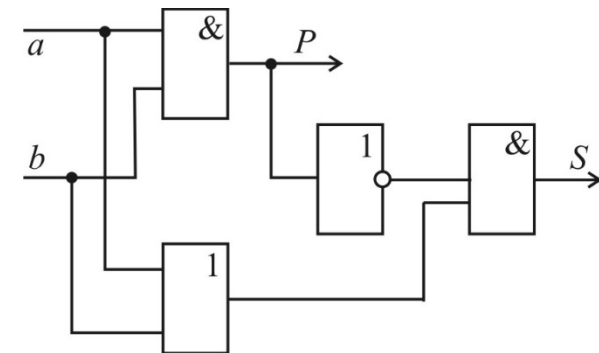
Рис. 1.6. Напівсуматор

На виході утвориться результат додавання двох чисел, причому S відображає молодший розряд, P – старший.

a	b	сума	код	S	P
0	0	0	00	0	0
0	1	1	01	1	0
1	0	1	01	1	0
1	1	2	10	0	1

$$P = a \cdot b,$$

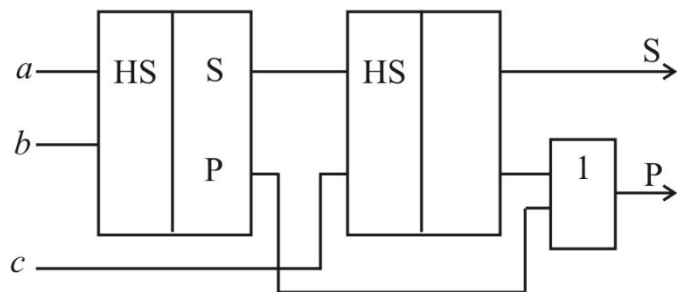
$$S = (a \vee b)(\bar{a} \vee \bar{b}) = (a \vee b)\bar{a}\bar{b}$$



III. Повний суматор – це пристрій для додавання трьох однорозрядних чисел.

Така задача виникає при додаванні двох багаторозрядних чисел, коли у якості третього доданка враховується перенос від додавання попередніх розрядів.

Повний суматор будується на базі двох напівсуматорів.



Використовуючи повний суматор можна побудувати підсумовуючий пристрій для додавання багаторозрядних двійкових чисел.

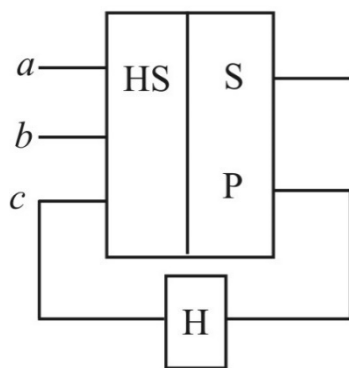


Рис. 1.7. Повний суматор послідовної дії

У даній схемі використовується елемент часової затримки (див. Додаток 4) для організації переносу на вхід c . Доданки багаторозрядного числа надходять послідовно з рівними інтервалами – розряд за розрядом. Час затримки вибирається так, щоб перенос P від попереднього розряду з'являвся на вході c , коли на входи a і b подаються чергові розряди доданків. На виході S розряд за розрядом формується двійкове число (сума a , b , c) у вигляді послідовного коду.

Недолік схеми: час операції додавання зростає із зростанням числа розрядів підсумовуваних чисел.

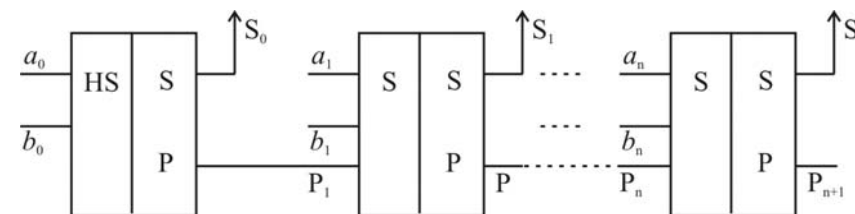


Рис. 1.8. Повний суматор паралельної дії

У даному випадку додавання виконується одночасно по всім розрядам, тому час підсумовування визначається тільки затримкою переносу сигналу P від молодшого розряду до старшого.

1.2.3. Побудова комбінаційних схем на базі комутаторів (мультиплексорів)

Мультиплексор – операційний вузол ЕОМ, який здійснює мікрооперацію передачі сигналу з одного із своїх інформаційних входів на один вихід.

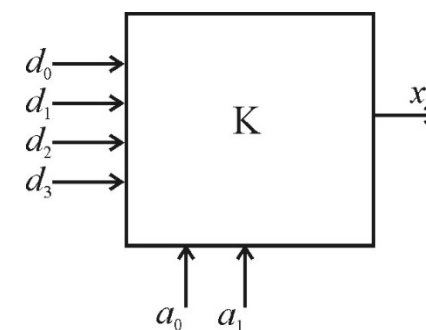


Рис. 1.9. Структурна схема мультиплексора

$d_0 - d_3$ – інформаційні входи;

a_0, a_1 – адресні входи.

Роботу мультиплексора можна описати через логічну функцію такого виду:

$$x = \overline{a_0} \overline{a_1} d_0 \vee \overline{a_0} a_1 d_1 \vee a_0 \overline{a_1} d_2 \vee a_0 a_1 d_3.$$

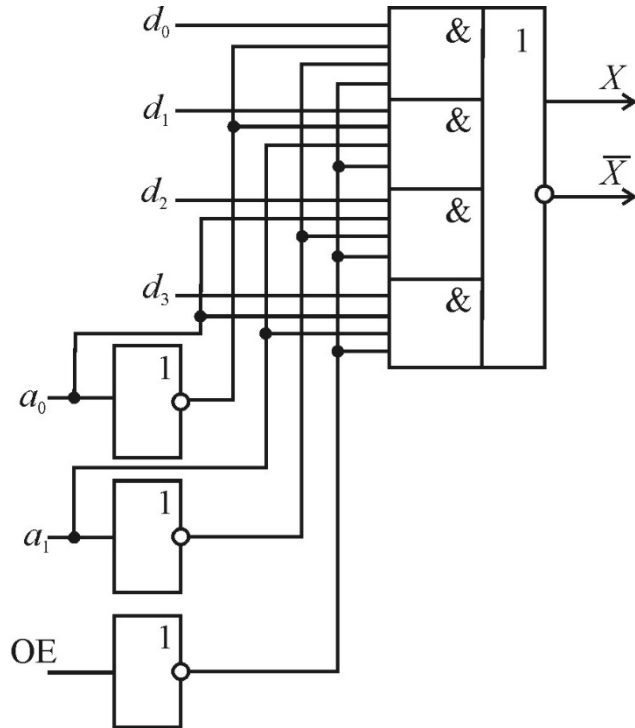


Рис. 1.10. Внутрішня структура MUX 4:1

Вхід OE працює аналогічно входу OE дешифратора (обнулює, якщо OE=1, або переводить у третій стан при наявності каскадів з третім станом).

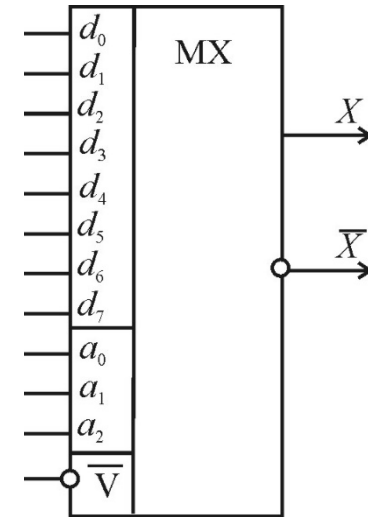


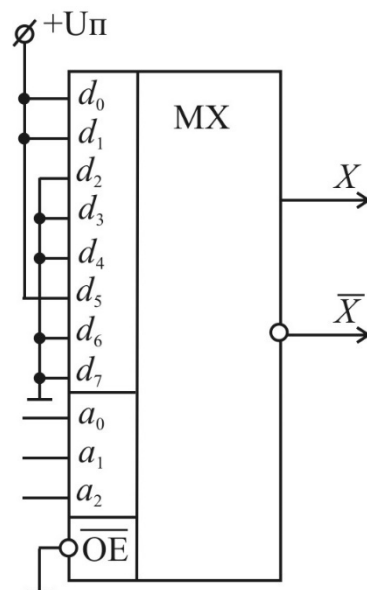
Рис. 1.11. Умовне графічне позначення мультиплексора 8:1

Умовне позначення мультиплексора, який здійснює передачу інформації (0 або 1) з входів $d_0, d_1, d_2, d_3, \dots, d_7$ на вхід у прямому або інверсному виді, показано на рисунку.

Вибір входу, що перемикає на вихід, здійснюється подачею на входи a_0, a_1, a_2 двійкового коду адреси. У відповідності з цим входи $d_0 - d_7$ називаються інформаційними, а входи $a_0 - a_2$ – адресними. Деякі мультиплексори мають також дозволяючий (стробуючий) вхід V . При $V=1$ робота мультиплексора заборонена, оскільки в цьому випадку значення вихідного сигналу X не залежить від значень сигналів на інформаційних та адресних входах й приймає значення 0. При $V=0$ вихід X приймає значення, обумовлене кодом адреси та значенням входу, що комутується. [10-15]

Приклад.

Реалізуємо функцію $X(abc) = \sum 0,1,5$.



На інформаційні канали 0, 1, 5 подається стала одиниця, оскільки функція $X(abc)$ задана у вигляді ДДНФ. Інші входи заземлюються. При появі на адресних входах комбінації (наприклад, 000) канал d_0 комутується з виходом і, отже, $X = 1$, $\bar{X} = 0$. При надходженні на адресні входи значення комбінації, наприклад, 111, комутується інформаційний вхід d_7 і, отже, $X = 0$, $\bar{X} = 1$.

Нарощування кількості входів мультиплексора

Для нарощування кількості входів використовується 2 типа схем:
1) пірамідальна (деревовидна); 2) послідовна схема.

Пірамідальна схема

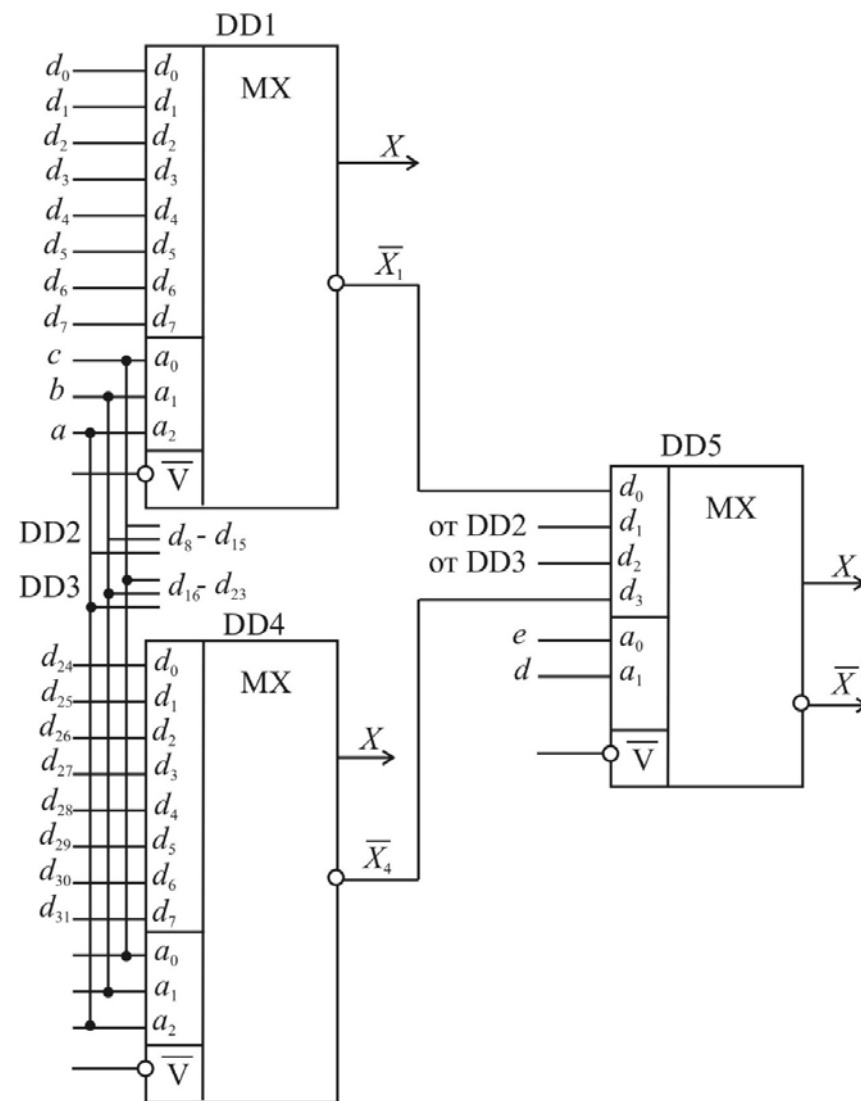
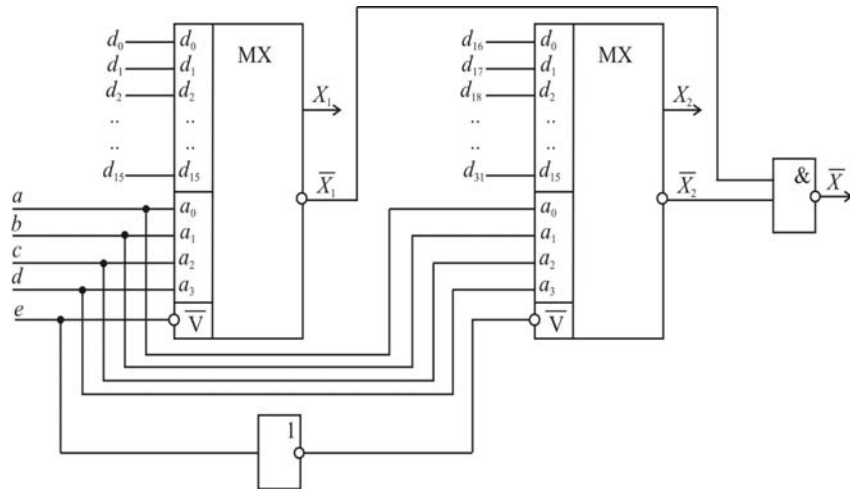


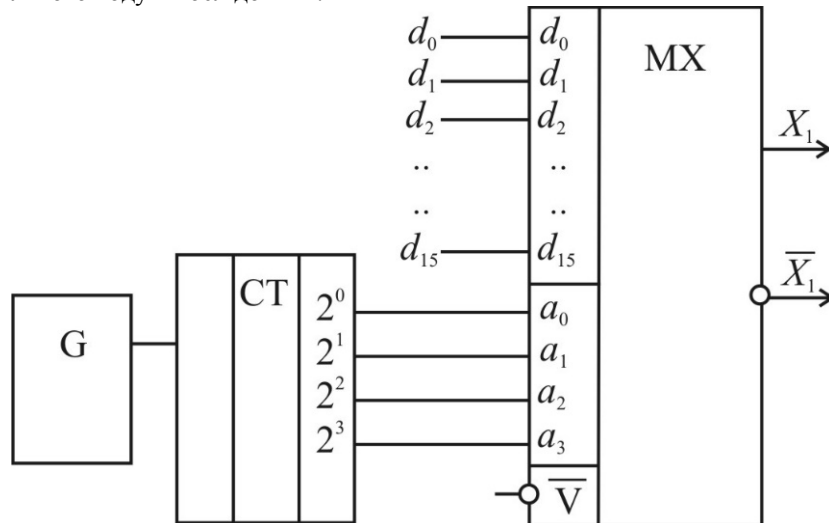
Схема має 5 входів (abcde).

Недоліки схеми – велика витрата мікросхем, велика часова затримка.

Послідовна схема



Мультиплексор може бути використаний у якості перетворювача паралельного коду в послідовний.



G – генератор;
CT – лічильник.

1.2.4. Селектор-демультиплексор

Селектор-демультиплексор – це операційний вузол ЕОМ, який здійснює мікрооперацію передачі сигналу з одного входу на один з декількох виходів.

Селектори у вигляді самостійних схем не виготовляються, оскільки їх функції може здійснювати дешифратор, тобто у якості входу можна використовувати вхід дозволу, а входи a_0 , a_1 , a_2 – як адресні.

Селектор-демультиплексор може працювати у якості дешифратора, мультиплексора та демультиплексора.

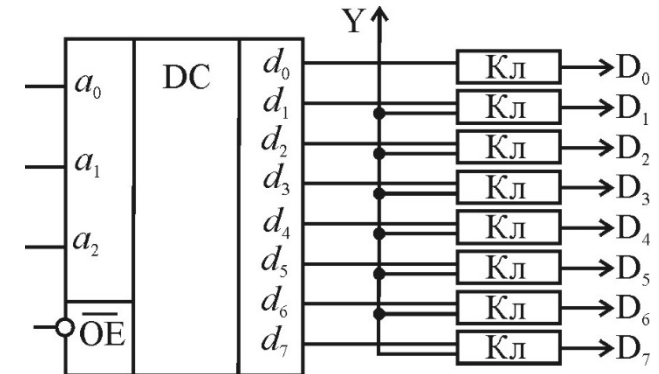


Рис. 1.12. Схема селектора-демультиплексора

На рисунку КЛ – двонаправлений транзисторний ключ, здатний передавати сигнали в обох напрямках.

Приклад роботи:

- 1) У якості дешифратора з активним рівнем виходів (для цього необхідно на Y подати живлення, $D_0 - D_7$ заземлити через опір).
- 2) У якості дешифратора з інверсним рівнем виходів (Y – заземлити, $D_0 - D_7$ – до джерела живлення).
- 3) У якості мультиплексора (a – адресні входи, Y – вихід, D – інформаційні входи).
- 4) У якості селектора (a – адресні входи, Y – інформаційний вхід, D – виходи).

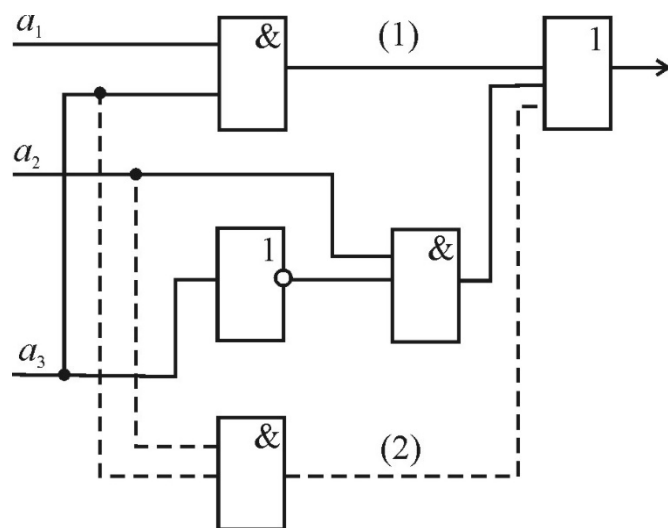
1.2.5. Виникнення змагань і способ їх усунення

В одноктактних схемах, одночасно із зміною значень вхідних сигналів з «1» на «0» або з «0» на «1», змінюється значення вихідних сигналів. Одночасність таких переключень – теоретична. В дійсності, один сигнал поступає на вхід деякого елемента раніше або пізніше, ніж інший. У результаті цього вихідний сигнал, перш ніж набути значення, обумовлені даною комбінацією значень вхідних сигналів, прийме деяке проміжне значення. Тобто в одноктактних схемах мають місце перехідні процеси, коли значення вихідного сигналу встановлюється не одразу, а через деяке проміжне значення.

Такі перехідні процеси називаються змаганнями, оскільки обумовлені конкуренцією при передачі сигналів.

Приклад.

$$X = a_1 a_3 \vee a_2 \overline{a_3}$$



Нехай, наприклад, $a_1 = a_2 = a_3 = 1$. При цьому вихідне значення $X = 1$. Нехай a_3 змінить своє значення на 0. Вихідне значення X повинне бути рівним 1. Але, протягом перехідного процесу, X не зберігає значення одиниці. Значення $a_3 = 0$ по ланцюгу (1) передається швидше, ніж по ланцюгу (2). У результаті, протягом деякого часу на виході

присутній 0. Це проміжне значення – неправдиве. Тривалість дії неправдивого сигналу залежить від різниці між часом затримки у ланцюгах (1) та (2).

В одноктактних схемах такі змагання безпечні, але, якщо одноктактна схема є частиною багатоактної, то неправдиве значення може бути записане у пам'ять та порушити нормальну роботу системи. Для розв'язання цієї проблеми вводиться додатковий контур (пунктирна лінія у матриці Карно на рисунку нижче).

$a_3 \setminus a_1 a_2$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

У результаті введення додаткового контуру функція X буде виглядати наступним чином:

$$X = a_1 a_3 \vee a_2 \overline{a_3} \vee a_1 a_2.$$

На схемі додаткова логіка показана пунктирною лінією.

Практикум 4

Задача 1

Побудувати схему повного суматора у змішаному базисі.

Задача 2

Побудувати схему повного суматора на базі дешифратора.

Задача 3

Побудувати схему на базі MUX 8:1:

$$X = (\overline{a}bc \vee a\overline{b}c \vee ab\overline{c} \vee abc)\overline{d}f.$$

Задача 4

Побудувати схему на базі MUX 8:1, яка реалізує наступну логічну функцію:

$$X(abcd) = \sum 4,7,12,14,13,$$

без використання додаткової логіки.

Задача 5

Побудувати схему на базі MUX 8:1, яка реалізує наступну логічну функцію:

$$X(abcd) = \sum 2,3,7,10,11,13,14,$$

за умови, що вхід стробування заземлений.

Задача 6

Побудувати схему, які реалізують логічну функцію:

$$X = (\overline{abc} \vee \overline{abc} \vee \overline{abc} \vee \overline{abc})d$$

1) з використанням входу стробування;

2) за умови, що вхід стробування заземлений.

Задача 7

На базі DC і MS побудувати схему для порівняння двох трьохрозрядних двійкових чисел, формуючу на виході логічну «1» при виконанні умови рівності A і B. Побудувати схему для цих же умов, формуючу логічний нуль при A=B.

Задача 8

Механізм контролюється датчиками двійкових чисел по шести параметрам. Він працює при будь-яких комбінаціях сигналів цих датчиків, за виключенням випадку, коли комбінація значень перших трьох параметрів складає код чисел 0, 1, 3, 7, а інших – 1, 2, 4 одночасно. Побудувати схему на базі мультиплексора.

Задача 9

Побудувати схему в базисі I-НЕ, яка реалізує логічну функцію, вільну від небезпеки змагань:

$$X(abcd) = \sum 1,3,5,7,12,13,14,15.$$

Задача 10

Побудувати схему в базисі АБО-НЕ, яка реалізує логічну функцію, вільну від небезпеки змагань:

$$X(abcd) = \prod 3,4,5,7,11,12,13,15.$$

Задача 11

Побудувати схему у змішаному базисі, яка реалізує логічну функцію, вільну від небезпеки змагань:

$$X(abcd) = \sum 1,3,4,5,6,7,9,11.$$

1.3. Послідовна логіка

Схеми, у яких значення вихідного сигналу залежить не тільки від вхідних комбінацій, але й від моменту часу, в який вони з'являються, є багатотактними, а функції, що їх описують, – послідовними.

Існує три види часових функцій:

1. ЧБФ – часові булеві функції;
2. БФ I роду – булеві функції I роду;
3. БФ II роду – булеві функції II роду.

1.3.1. Часові булеві функції

Вираз, що реалізує функцію виду $X_t = f_t(a_1, a_2, a_3, \dots, a_n, t)$ називається часовою булевою функцією (ЧБФ). ($a_1, a_2, a_3, \dots, a_n$ – логічні змінні; час t приймає дискретні значення.) Для реалізації такої функції вводиться τ_α :

$$\tau_\alpha = \begin{cases} 0, & \text{якщо } \alpha_2 < t < \alpha_1 \\ 1, & \text{якщо } \alpha_1 \leq t \leq \alpha_2 \end{cases} \quad \text{за умови } \alpha_2 > \alpha_1$$

α – задані границі значення дискретного часу;

τ_α – дискретна змінна;

t – задане значення часу.

Якщо функція реалізується у деякий заданий проміжок часу, то τ_α буде приймати значення 0 при $\alpha_2 < t < \alpha_1$ і значення 1 при $\alpha_1 \leq t \leq \alpha_2$, при цьому $\alpha_2 > \alpha_1$.

$\tau_\alpha = 0$ поки час t менше деякого заданого значення, при якому функція повинна реалізуватися, тобто в цьому випадку функція не реалізується.

$\tau_\alpha = 1$ при досягненні t заданого значення функція реалізується.

Значення τ_α розроблюються спеціальною схемою датчика дискретного часу.

Приклад.

Відомо, що деяка ЧБФ визначена для деяких моментів часу t_0 та t_1 .

$a\ b\ c$	t_0	F_0	t_1	F_1
0 0 0	від 5 до 9 години	0	від 9 до 12 години	0
0 0 1		0		1
0 1 0		0		0
0 1 1		1		0
1 0 0		1		0
1 0 1		0		0
0 1 0		0		0
1 1 1		0		1

$$F_0 = \overline{a}bc \vee a\overline{b}\overline{c};$$

$$F_1 = \overline{a}bc \vee abc;$$

$$X = F_0\tau_0 \vee F_1\tau_1.$$

Схеми реалізації ЧБФ:

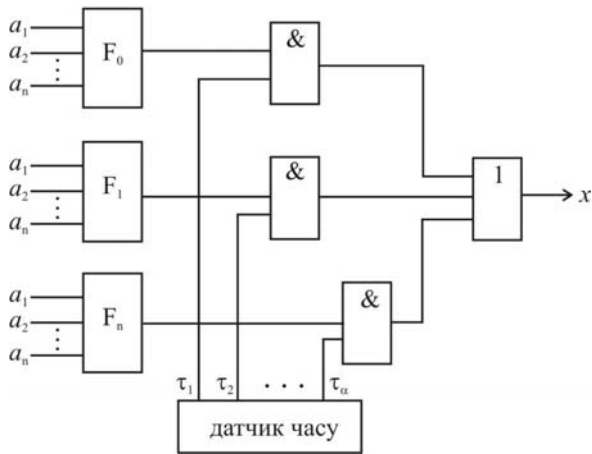


Рис. 1.13. Схема реалізації ЧБФ на логічних елементах

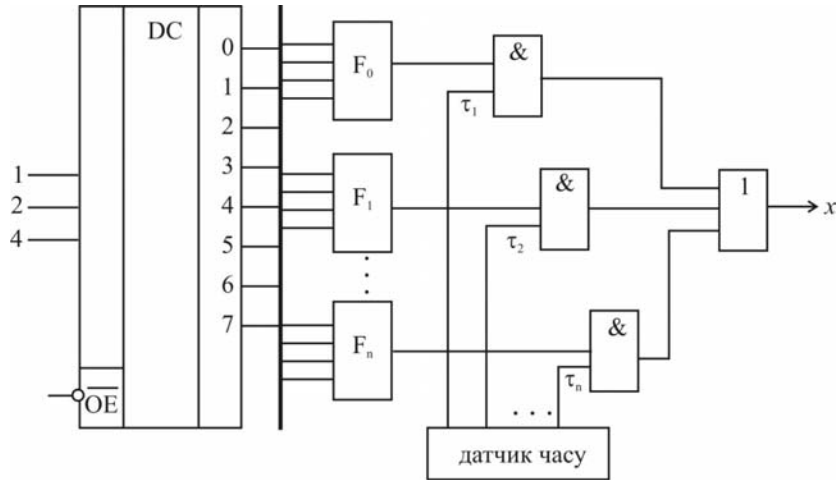


Рис. 1.14. Схема реалізації ЧБФ на базі дешифратора

1.3.2. Булеві функції I роду

Вираз, що реалізує функцію виду

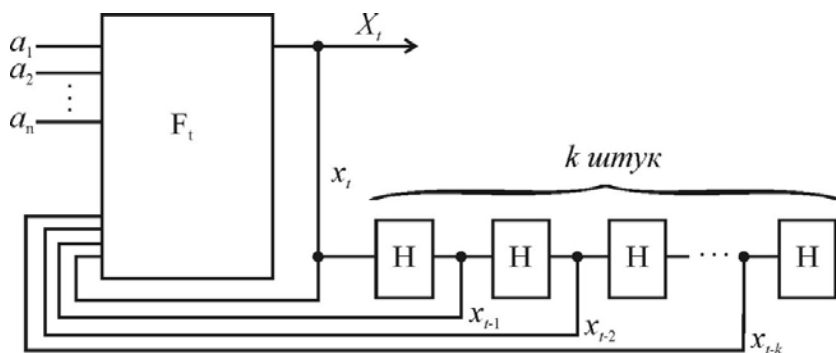
$$X_t = f_t(a_{1t}, a_{2t}, \dots, a_{nt}, x_t, x_{t-1}, x_{t-2}, \dots, x_{t-k})$$

називається булевою функцією I роду.

Функція, значення якої визначається наборами вхідних змінних у момент часу t та своїми власними значеннями у момент часу t і $1, 2, \dots, k$ проміжку часу тому назад, називається рекурентною булевою функцією I роду.

БФ I роду реалізується за допомогою схем зі зворотним зв'язком:

Вихідні сигнали можуть подаватись на входи схеми і без затримки, якщо указано, що значення входу після зміни значень вхідних сигналів визначається значенням вихідного сигналу, яке він мав до змін. Такі схеми називаються схемами пам'яті.



1.3.3. Булеві функції II роду

Вираз, що реалізує функцію виду

$$X_t = f_t(a_{1t}, a_{2t}, a_{3t}, \dots, a_{nt}, a_{1(t-1)}, a_{2(t-1)}, \dots, a_{1(t-r)}, \dots, a_{n(t-r)})$$

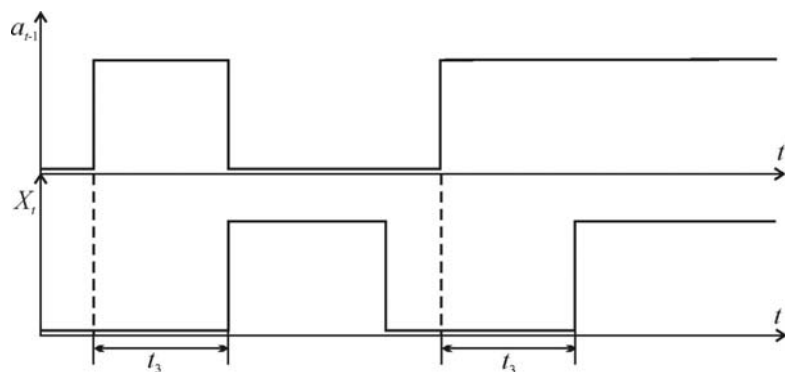
називається рекурентною булевою функцією II роду.

Реалізується на базі найпростішої логіки та елементах часової затримки.

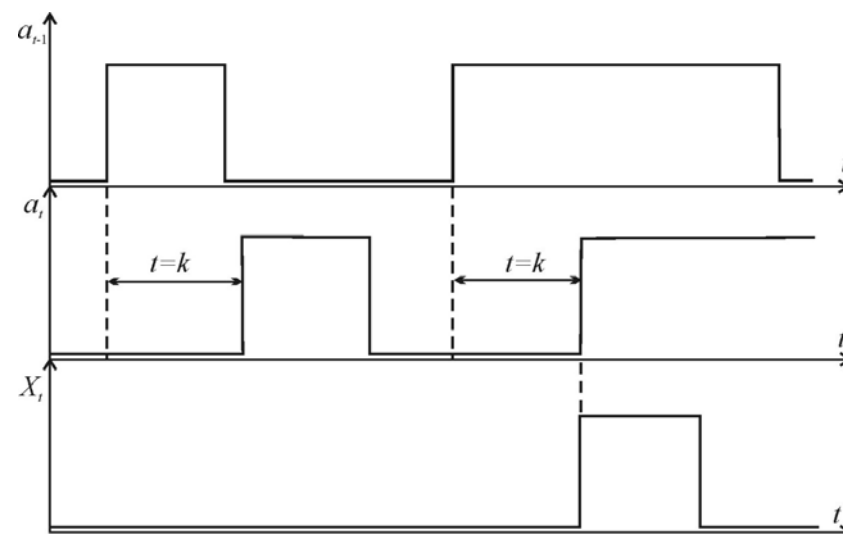
Приклад

$$X_t = a_{t-1}$$

Часова діаграма для даної функції:



Часова діаграма для схеми дискримінатора тривалості імпульсу:



X_t з'являється, якщо тривалість вхідного імпульсу перевищує час $t = k$.

Практикум 5

Задача 1

Побудувати схему моніторингу нафтопроводу за наступними умовами:

1. Від 0 до 6 години клапан відкривається, якщо тиск Р у трьох критичних точках < 5 атм.
2. Від 6 до 22 години клапан відкривається, якщо тиск Р хоча б у одній точці < 5 атм.
3. Від 22 до 0 годин клапан відкривається, якщо тиск Р у будь-яких двох точках нижче 5 атм.

Задача 2

Побудувати схему одержання двох сигналів τ_1 і τ_2 . Кількість комбінацій обмежено 60 секундами. $\tau_1 = 1$, якщо $t_1 \geq 35$ сек. $\tau_2 = 1$, якщо $t_2 \geq 47$ сек.

Задача 3

Задані a , b – змінні на вході, x – вихідна функція.

Якщо $a=0$, то $x=b$. Якщо $a=1$, то x зберігає своє значення.

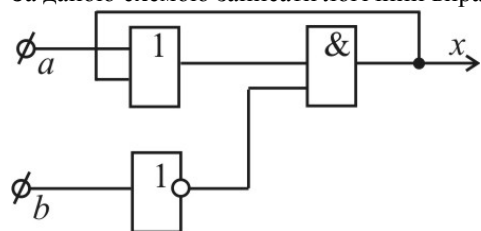
Побудувати оптимальну схему.

Задача 4

Механізм M включається за сигналом a . При наявності сигналу b він залишається ввімкнутим та при зникненні сигналу a . У протилежному випадку, при зникненні сигналу a , механізм M вимивається. Побудувати схему.

Задача 5

За даною схемою записати логічний вираз.



Задача 6

Реалізувати логічну функцію $\chi = (a \vee x)\bar{b}$ на базі дешифратора.

Задача 7

Схема знаходиться у робочому стані при наявності c і відсутності a , також механізм M буде працювати, якщо відсутній тільки один сигнал c . Відомо, що одночасно з цими умовами вихідний сигнал x надходить у схему в інверсному вигляді.

Задача 8

Побудувати схему по заданій часовій функції:

$$x_t = a_{1t} \cdot a_{2t} \cdot a_{3t} \vee a_{1(t-1)} \vee a_{2(t-2)}.$$

Задача 9

Побудувати часову діаграму у залежності від заданої форми вхідних сигналів та тривалості такту.

1. $x_t = a_{t-1}$;
2. $x_t = b_t a_t$;
3. $x_t = b_{t-1} \vee a_{t-1} c_{t-1}$.

Задача 10

Побудувати схему керування спеціалізованим комунікаційним обладнанням за умовами:

1. Від 0 до 5 години система відключається, якщо мають місце три одночасних запита від сервісної служби.
2. Від 5 до 21 години система відключається, якщо має місце хоча б один запит від сервісної служби.
3. Від 21 до 0 годин система відключається, якщо мають місце будь-які два запита від сервісної служби.

Задача 11

Деяка автоматизована лінія запускається сигналами a і b . У випадку, якщо сигнал a стає рівним логічному 0, лінія вимикається за умови відсутності сигналу b . В інших випадках вихідний сигнал X зберігає своє значення. Побудувати схему.

Глава 2. РОЗРОБКА ТА ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ

2.1. Класифікація, технології та сполучення інтегральних схем

2.1.1. Технології та форми представлення інформації

Форми представлення інформації поділяють на:

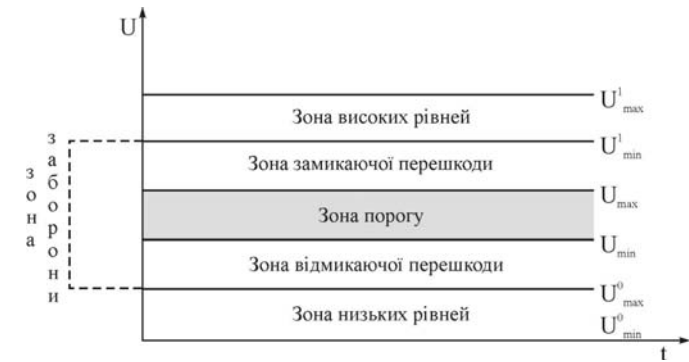
- аналогову (безперервний вид інформації);
- цифрову (дискретний вид інформації).

Точність реалізації функції деякої схеми залежить від багатьох факторів, в тому числі від методичної похибки та похибки приладу й від технічних факторів:

- 1) наведення – зовнішні випадкові або регулярні дії, природа яких фізично схожа з природою інформаційних параметрів сигналу. Наприклад, електронно-магнітне поле – наводка для електричного ланцюга;
- 2) дрейфи – це низькочастотні зміни значень параметрів схемних елементів або схем, що залежать від температури, вологості, випромінювань тощо;
- 3) перешкоди (так інколи називають сукупність наведень і дрейфів) – це внутрішні не функціональні дії, обумовлені наявністю в електронній схемі допоміжних зв'язків;
- 4) технологічні відхилення значень параметрів схемних елементів, обумовлених неідеальністю технологічного процесу виробництва схемних елементів.

Особливістю аналогової форми представлення сигналів є її незахищеність від дії перешкод.

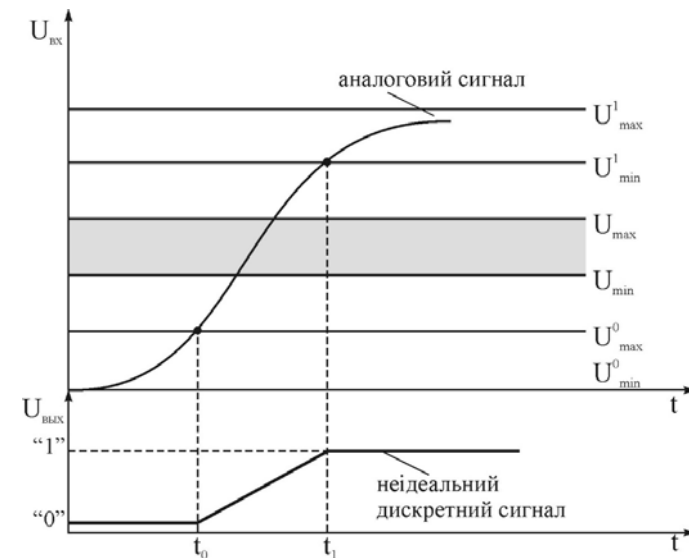
Вирішення протиріччя між представленням аналогового процесу і дискретного зводиться до емуляції дискретних (логічних) операцій аналоговими елементами. Для цього рівні напруг у схемах розбивають на порогові зони, представлені на діаграмі 1.



Діаграма 1

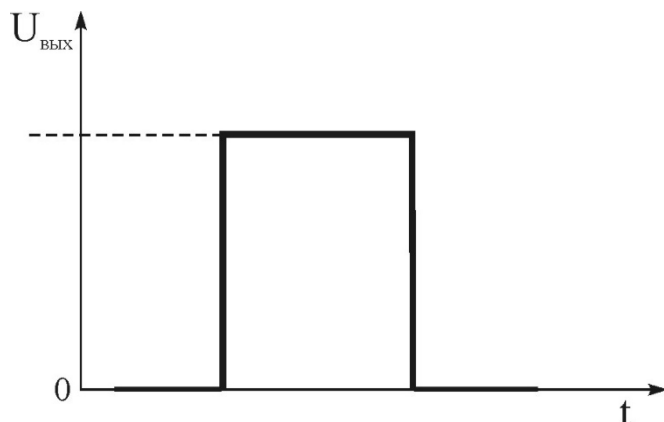
Величина зон перешкод визначається заданою перешкодостійкістю (здатність логічного елементу логічно розрізняти високий та низький рівні сигналів при наявності перешкод).

Діаграма 2 ілюструє процес емуляції дискретної операції неперервним сигналом. У результаті на діаграмі відображається неідеальна дискретна характеристика вихідного сигналу, де період $t_0 - t_1$ – це час перепаду сигналу з рівня логічного «0» на рівень логічної «1».



Діаграма 2

На діаграмі 3 наведений ідеальний вид дискретного сигналу, де $t_0 = t_1$.



Діаграма 3

Технології виготовлення логічних схем

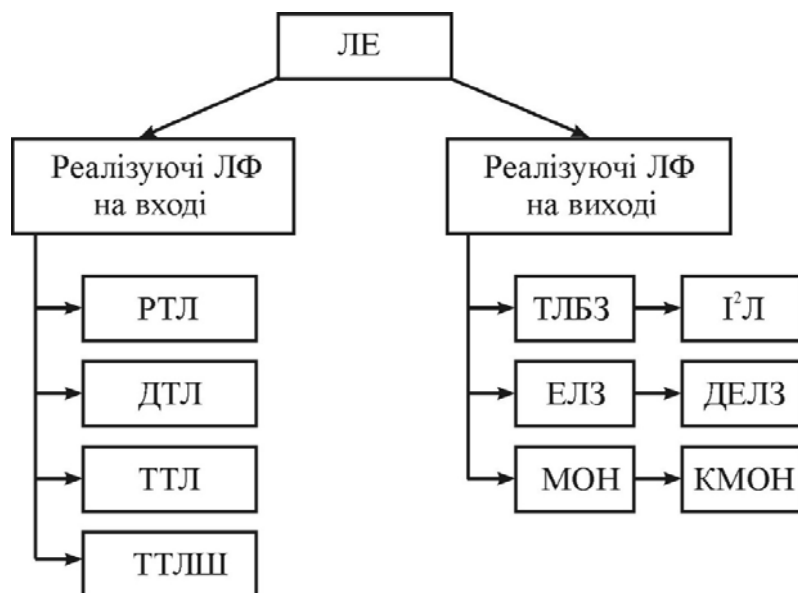


Рис. 2.1. Технологія виготовлення логічних елементів

Технічні характеристики цифрових інтегральних схем та мікропроцесорів визначаються структурою й параметрами їх базових елементів. У залежності від технології виготовлення логічні елементи підрозділяються на серії, що наведені на рис. 2.1.

ТЛБЗ – транзисторна логіка з безпосередніми зв'язками.

І²Л – інтегральна інжекційна логіка.

ЕЛЗ – емітерно-зв'язана логіка.

ДЕЛЗ – деревовидна ЕЛЗ.

МОН – метал-окисел напівпровідник.

КМОН – компліментарна пара МОН.

РТЛ – резистивне-транзисторна логіка.

ТТЛ – транзисторно-транзисторна логіка.

ТТЛШ – ТТЛ з діодами Шотки.

Деякі характерні особливості серій ЛЕ:

ТТЛ – транзисторно-транзисторна логіка. Будується на біполярних транзисторах, більш проста технологія, ніж ДТЛ, РТЛ. Характеризується високою швидкістю, багатоманітністю логікою, низькою мірою інтеграції, високою здатністю навантаження.

ТТЛШ – ТТЛ з використанням діодів Шотки, яка дозволяє підвищити швидкість ТТЛ-схем у 5-7 разів.

КМОН – будується на базі польових транзисторів. Достоїнства – низька споживана потужність, підвищена перешкодозахищеність. Недоліки – невисока швидкість, великий розкид параметрів. [16-25]

2.1.2. Схемотехніка базових елементів ТТЛ-логіки

ТТЛ-логіка (TTL) будується на базі біполярних транзисторів. Найпростіший елемент ТТЛ-серії – це інвертор, представлений на рис. 2.2.

При подачі на вхід схеми логічного «0» транзистор VT замикається і на виході схеми встановлюється логічна «1». При подачі на вхід схеми логічної «1» VT відкривається і на виході схеми встановлюється логічний «0».

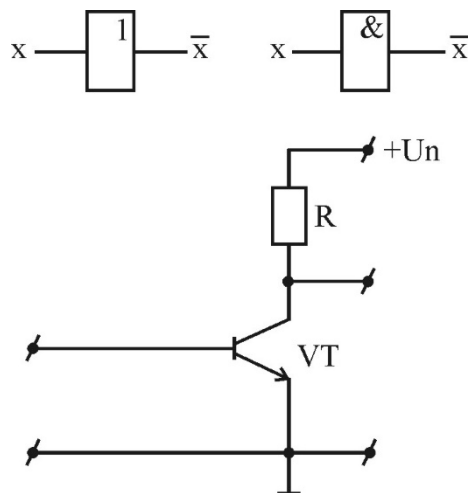


Рис. 2.2. Схема інвертора на базі біполярного транзистора та його схемотехнічне зображення

Розглянемо роботу схеми елемента І-НЕ технології ТТЛ.

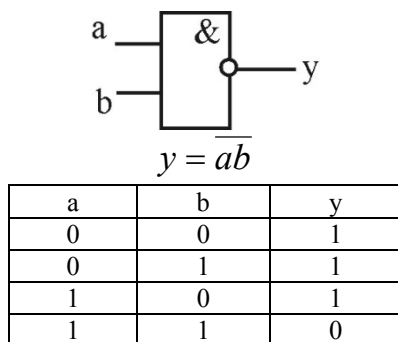


Рис. 2.3. Графічне зображення логічного елемента І-НЕ та таблиця істинності його роботи

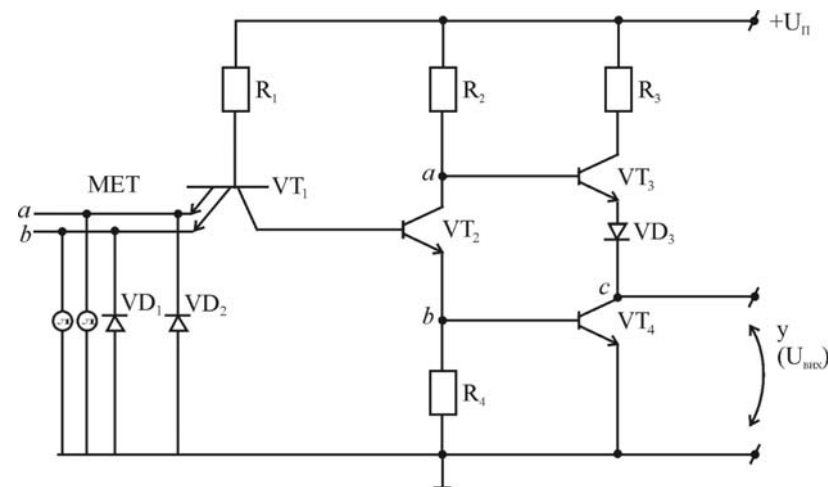


Рис. 2.4. Елемент І-НЕ серії ТТЛ

Якщо подаємо на входи $a = b = 1$, емітерні переходи закриті, струм через R_1 та VT_1 попадає на базу VT_2 . VT_2 відкривається і відкривається VT_4 . У точці a – низький потенціал, тому VT_3 – закритий, $U_{вих} = 0$.

Якщо на вхід логічного елемента І-НЕ подавати одну з комбінацій «00», «01», «10», то у результаті буде відкриватись той емітерний перехід, на котрий прийде «0». У результаті струм протікає по ланцюгу $+U_{П} \rightarrow R_1 \rightarrow VT_{1(B-E)} \rightarrow$ джерело сигналу $\rightarrow$ земля. У ланцюгу колектора VT_1 струм відсутній і VT_2 закритий. У точці a – високий потенціал, у точці b – низький потенціал, VT_3 – відкритий, VT_4 – закритий, на виході отримуємо «1».

$$U_{вих} = U_{П} - I_{R3}R_3 - U_{VT3} - U_{VD3} = \text{«1»}.$$

Діоди VD_1, VD_2 – це зворотно-зміщені антизвонні діоди, які захищають транзистор VT_1 від негативної вхідної напруги. Діод VD_3 ви-

користовується для того, щоб VT_3 був надійно закритий. Для цього необхідно, щоб

$$\begin{cases} |u_a| < |u_c| . \text{ Тобто} \\ u_a = u_{\text{насищення}VT2} \approx 0,2\text{ В} \\ u_c = u_{\text{насищення}ME4} + u_{VD} = 0,2 + 0,2 = 0,4\text{ В} \end{cases}$$

Порівнюючи рівняння, видно, що без діоду $u_a \approx u_c$ і транзистор закритий ненадійно. Поставивши діод, транзистор буде надійно закритий і перешкодостійкість логічного елемента підвищиться.

Розглянемо роботу елемента АБО-НЕ технології ТТЛ.

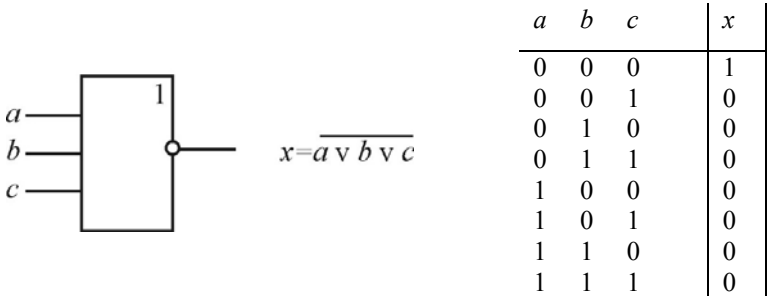


Рис. 2.5. Графічне зображення елемента АБО-НЕ і таблиця істинності його роботи

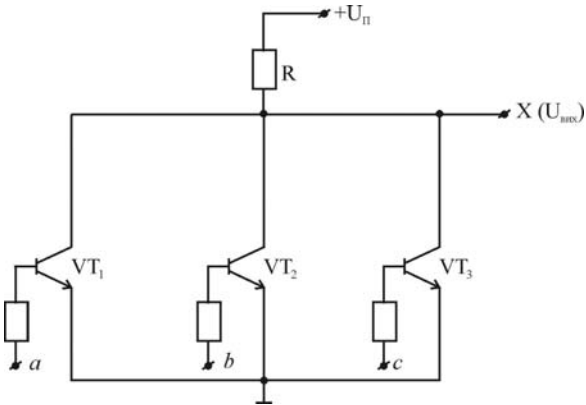


Рис. 2.6. Схема АБО-НЕ ТТЛ-серії

При $x_1 = x_2 = x_3 = 0$, транзистори VT_1, VT_2, VT_3 закриті, на виході високий рівень сигналу. Якщо хоча б на один транзистор подати рівень логічної «1», то відповідний транзистор відчиниться і струм потече по ланцюгу $+U_{\Pi} \rightarrow R \rightarrow VT_{(K-E)} \rightarrow \text{земля}$. Отже, $U_{\text{вих}} = 0$.

Інтегральна мікросхема з дозволом по входу І-НЕ

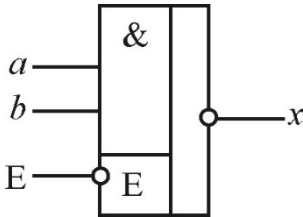


Рис. 2.7. Графічне зображення елемента І-НЕ з дозволом по входу

Логічна функція, що описує роботу даного елемента, записується таким чином:

$$y = a \& b \& \overline{E}$$

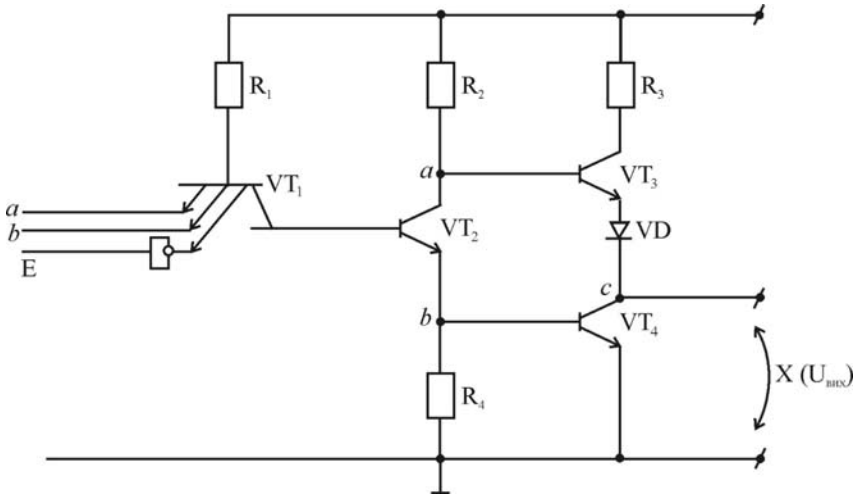


Рис. 2.8. Логічний елемент І-НЕ з дозволом по входу ТТЛ-серії

Якщо на вхід дозволу E подати логічний «0», то $\overline{E} = 1$ і відповідний емітерний перехід закритий і не впливає на роботу схеми. Якщо на вхід дозволу E подати логічну «1», то $\overline{E} = 0$, перехід «база-емітер» відкривається і стає закороченим на землю. У результаті у точці a високий потенціал (транзистор VT_2 закритий), у точці b – низький потенціал, транзистор VT_3 відкривається, а VT_4 – закритий. Таким чином, $U_{вих} = \text{«1»}$ незалежно від значень на інформаційних входах a і b .

Інтегральна мікросхема з дозволом по виходу
 Для логічного відключення схеми від іншої частини мікропроцесорної системи використовують схеми з третім (z , високоімпедансним) станом.

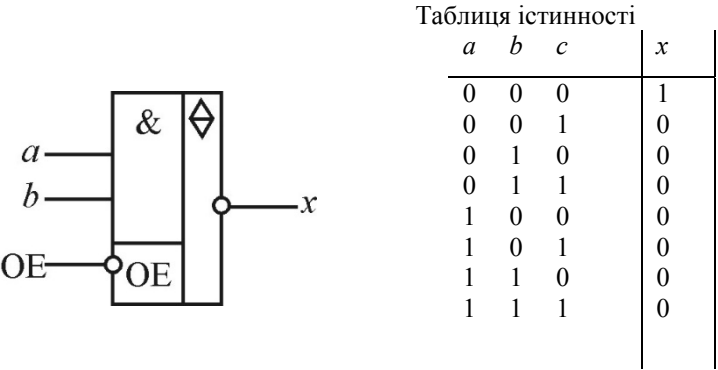


Рис. 2.9. Графічне зображення елемента I-HE з z -станом виходу.

При подачі на $OE = \text{«0»}$, $\overline{OE} = \text{«1»}$, діод закритий, ланцюг дозволу розімкнений і не впливає на роботу схеми. Якщо $\overline{OE} = \text{«0»}$, діод відкривається, у точці a низький потенціал, VT_3 закритий, у точці b також низький потенціал. Точка c виявляється не під'єднаною ні до землі, ні до живлення. Цей стан еквівалентний розриву ланцюга, опір нескінченно зростає і такий стан називається z -станом, або третім станом.

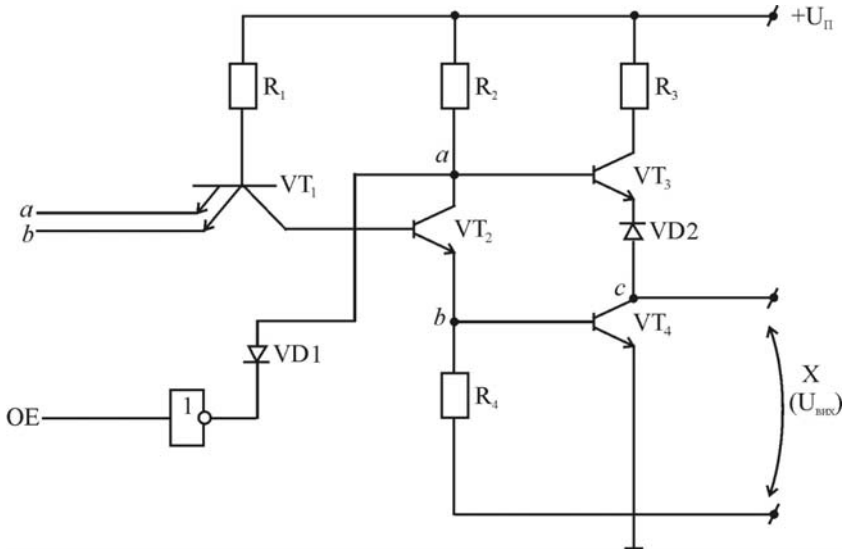


Рис. 2.10. Логічний елемент I-HE з z -станом виходу ТТЛ-серії

2.1.3. Класифікація та система позначень ІС

Параметри, що характеризують інтегральні схеми, діляться на статичні і динамічні.

Динамічні параметри визначають реактивні властивості інтегральної схеми та вимірюються під час перехідних процесів.

Статичні параметри інваріантні до перехідних процесів і вимірюються у статичному режимі.

Статичні параметри поділяються на:

- первинні (це струми, що протікають по виводах інтегральних схем, та відповідні напруги);
- на основі первинних отримують виробничі параметри (споживана потужність, коефіцієнт розгалуження по виходу, перешкодостійкість, опір).

Опис динамічних параметрів наводиться у таблицях довідників, наприклад, час затримки розповсюдження сигналу при ввімкненні, час

затримки розповсюдження сигналу при вимкненні, час збереження достовірного вихідного сигналу тощо.

По мірі складності інтегральні схеми класифікуються виходячи із значень степені інтеграції інтегральної схеми. Степінь інтеграції – це показник міри складності, котрий обчислюють так:

$$K = \lg N,$$

де K – степінь інтеграції,

N – число елементів інтегральної схеми.

Мала інтегральна схема – МІС – це інтегральна схема, яка містить до 100 елементів.

Середня інтегральна схема – СІС – це інтегральна схема, яка містить більше 100, але менше 1000 елементів для цифрових схем, і від 100 до 500 – для аналогових схем.

Велика інтегральна схема – ВІС – це інтегральна схема, яка містить більше 1000 елементів – для цифрових і більше 500 – для аналогових схем.

Надвелика інтегральна схема – НВІС – це ІС, яка містить більше 100000 елементів для цифрових схем і більше 100000 – для аналогових.

Класифікація інтегральних схем по функціональній ознаці

Всі логічні елементи розділені на наступні групи:

1. **Логічні елементи** – це ІС, які реалізують базові логічні функції (АБО, І, НЕ та їх комбінації). Частина таких елементів, окрім логічних операцій, виконує функції підсилювачів потужності.
2. **Драйвери** – це ІС з підвищеною здатністю навантаження, які організують зв'язок з периферійними пристроями. Як правило, цей зв'язок здійснюється через зовнішню двоспрямовану інформаційну шину (магістраль). У таких схемах використовують драйвери з z-станом.
3. **Шифратори** – це ІС, які мають 2^n інформаційних входів і N інформаційних виходів. Шифратор перетворює вхідний код у натуральний двійковий.
4. **Дешифратори** – це ІС, з N входів та 2^n виходів. Вхідний натуральний двійковий код перетворюється в умовно-десятковий.
5. **Демультіплексори** – це пристрої, які направляють один вхідний сигнал на один з m вихідних каналів за заданою адресою. Розрядність $\log_2 m$.

6. **Мультіплексори** – це пристрої, які направляють один з m вхідних сигналів на один вихідний канал за заданою адресою. Розрядність $\log_2 m$.
7. **Арифметичні пристрої** – суматори, арифметично-логічні пристрої (АЛП), схеми контролю парності, компаратори двійкових чисел, помножувачі двійкових чисел.
8. **Тригери** – це ІС послідовного типу, які служать для запам'ятовування логічних станів. Якщо стан тригера змінюється у момент дії синхронного імпульсу, то такий тригер має назву *синхронний*. Якщо вхід синхроімпульсу відсутній і вихід тригера залежить тільки від інформації на його логічних входах, то такий тригер – *асинхронний*.
9. **Регістри** – це ІС, які служать для запису, зберігання, здвику й виводу інформації. Ввід та вивід інформації може відбуватися у послідовному і паралельному коді. Якщо регістр може зрушити інформацію в обох напрямках (ліворуч і праворуч), то він називається *реверсивним*. Зрушення інформації необхідно для операцій додавання й ділення. Регістри, призначені для видачі інформації на зовнішню шину даних, мають третій стан на виході.
10. **Лічильники** поділяються на:
 - асинхронні;
 - синхронні.

В асинхронних лічильниках зміна стану розрядних виходів відбувається у міру поширення вхідної дії від розряду до розряду, що породжує короткочасні неправдиві стани. У синхронних лічильниках зміна стану внутрішніх тригерів здійснюється одночасно, виключаючи тим самим вплив перехідних процесів на стан розрядних виходів.

Лічильники бувають такі, що підсумовують і такі, що віднімають.

Реалізуються на базі тригерів.

Якщо лічильник і підсумовує, і віднімає, то він називається *реверсивним*.

Коефіцієнт перерахунку – це параметр, визначаючий інформаційну ємність лічильника, рівний числу внутрішніх станів.

11. **Запам'ятовуючі пристрої** – ЗП – служать для запису, зберігання і видачі інформації. Поділяються на ПЗП (постійні ЗП) та ОЗП (оперативні ЗП).
12. **Релаксаційні пристрої** – це пристрої, здатні знаходитися у двох станах, один з яких – стійкий. Перехід із стійкого стану в тимчасовий відбувається під дією зовнішнього запускаючого імпульсу. У серіях ТТЛ, ТТЛШ релаксаційні пристрої представлені одновібраторами та мультівібраторами.

Системи позначень інтегральних схем

Приклад мікросхеми тригера типу Д вітчизняної системи позначень:

1 533 ТМ 2.

1 – група конструктивно-технологічного виконання.

533 – порядковий номер серії.

Т – підгрупа.

М – вид.

2 – порядковий номер розробки по функціональному признаку.

Підгрупи й види інтегральних схем наводяться у спеціальних таблицях і довідниках.

Приклад позначення інтегральної схеми, розробленої фірмою Texas Instruments:

SN 74 ALS 20 N.

SN – позначення інтегральних схем ТТЛ, ТТЛШ.

74 – область застосування (54 – військова, 74 – комерційна).

ALS – варіанти схемотехнічної реалізації (S – Schottky, LS – Law-power Schottky, ALS – Advanced Law-power Schottky).

20 – порядковий номер розробки.

N – тип корпусу.

2.1.4. Сполучення інтегральних схем

Спільна робота інтегральних схем різних серій за умови безпосередніх зв'язків між ними потребує розв'язання статичного сполучення.

Статичне сполучення – це такий вибір навантаження інтегральної схеми-передавача, при якій значення вихідних токів та логічних рівнянь інтегральної схеми, що навантажується, не виходять за допустимі границі та зберігаються гарантовані характеристики.

Для визначення числа одиничних навантажень у границях однієї серії обчислюють співвідношення:

$$\frac{I_{вих\ max}^0}{I_{вх}^0}, \frac{I_{вих\ max}^1}{I_{вх}^1},$$

$I_{вих\ max}$ – максимально допустимі токи ІС, що навантажується;

$I_{вх}$ – токи базового вентиля даної серії.

Зі знайдених значень вибирають найменше – це і є значення коефіцієнту розгалуження по виходу ($K_{роз.}$).

$K_{роз.}$ – це число одиничних навантажень, яке можна одночасно підключити до даного виходу. За обчисленнями $K_{роз.}$ для різних серій складаються таблиці, які наводяться у довідниках.

Існують такі інтегральні схеми, навантажувальна здатність яких перевищує розрахункові значення: логічні елементи з відкритим колектором та схеми шинних драйверів. ІС з відкритим колектором потребують підключення зовнішнього резистору, значення опору якого розраховується за спеціальними формулами.

2.2. Проектування цифрових схем комбінаційного типу

2.2.1. Проблеми проектування цифрових схем комбінаційного типу (ЦК)

Функціональні вузли виконують типові для цифрових пристроїв мікрооперації. Мікрооперації відповідають найнижчому ієрархічному рівню внутрішньої мови цифрового пристрою, вони позначені у цій мові і не містять інших операцій, позначених у ньому.

Як і всі цифрові пристрої взагалі, функціональні вузли діляться на комбінаційні та послідовні. Комбінаційні вузли позначають КЛ (комбінаційні ланцюги), а послідовнісні через АП (автомати з пам'яттю). Відмінності між КЛ та АП мають фундаментальний характер.

Вихідні величини КЛ залежать тільки від поточного значення вхідних величин (аргументів). Передісторія значення не має. Після завершення перехідних процесів у КЛ на їхніх виходах установлюються вихідні величини, на які характер перехідних процесів впливу не має. З цієї точки зору перехідні процеси у КЛ безпечні. Але у ЦК в цілому КЛ функціонує сумісно з АП, що кардинально змінює ситуацію. Під час перехідних процесів на виходах КЛ з'являються тимчасові сигнали, не передбачувані описом роботи КЛ і мають назву ризиків. З часом вони зникають і вихід КЛ набуває значення, передбаченого логічною формулою, що описує роботу ланцюга. Проте, ризики можуть бути сприйняті елементами пам'яті АП, безповоротна зміна стану яких може радикально змінити роботу ЦК, не дивлячись на зникнення сигналів на виході КЛ.

Розрізняють статичні й динамічні ризики. Статичні ризики – це короткочасні зміни сигналу, котрі повинні були би залишатись незмінним (одиночними або нульовими, відповідно до чого говорять про 1-ризик або 0-ризик). Якщо згідно логіки роботи КЛ стан виходу повинен змінюватись, але замість одноразового переходу відбуваються багатократні, то має місце динамічний ризик. При динамічних ризиках перший і останній переходи завжди співпадають з алгоритмічними, що передбачені логікою роботи схеми. Статичний ризик такої властивості не має і вважається найбільш несприятливим.

Існують декілька шляхів подолання ризиків.

Перший полягає в синтезі схем, вільних від ризиків, та потребує складного аналізу процесів у схемі і введення надлишкових елементів для виключення ризиків. Цей шлях рідко використовується на практиці.

Другий шлях, основний для сучасної схемотехніки, передбачає *заборону прийняття сигналів КЛ елементами пам'яті на час перехідних процесів*. Прийняття інформації з виходів КЛ дозволяється тільки спеціальним сигналом синхронізації, який подається на елементи пам'яті після закінчення перехідних процесів у КЛ. Таким чином, виключається вплив неправдивих сигналів на елементи пам'яті. Іншими словами, *основна думка тут може бути висловлена як «перечекати неприємності»*. Відповідні структури називаються синхронними.

У загальному випадку потрібно оцінити затримку сигналу на самому короткому шляху як суму мінімальних затримок елементів, які складають даний шлях, та затримку на найдовшому шляху – як суму максимальних.

З наведеного прикладу випливає, що для розрахунку перехідних процесів у ЦК потрібні відомості про максимальні та мінімальні значення затримок елементів. На жаль, виготовлювач часто вказує тільки максимальні значення затримок, нерідко наводяться максимальні і типові значення, і у край рідко є відомості про мінімальні. Якнайповніше описувалися б затримки статистичними характеристиками, але вони, як правило, невідомі.

Якщо дані тільки максимальні затримки, то втрачається можливість порівнювати час проходження сигналів в різних ланцюгах (у будь-якому ланцюгу затримка може бути наскільки угодно малою), а це ускладнює оцінку працездатності схем і може змусити прийняти не найкращі схемотехнічні рішення.

Для ланцюгів із елементів з незалежними затримками відношення $t_{z.max} / t_{z.min}$ дорівнює зазвичай 2...3, для елементів одного кристалу між затримками елементів виникає сильна кореляція і відношення $t_{z.max} / t_{z.min}$ може суттєво знижуватись.

До складу ЦК, як правило, входять типові функціональні вузли і деяка кількість логічних схем, специфічних для даного конкретного проекту (як іноді говорять – довільної логіки). *Проектування довільної логіки комбінаційного типу проводиться по етапах*.

Передусім, задається характер функціонування КЛ. Це може бути зроблено різними способами, зазвичай використовують таблиці функціонування (таблиці істинності), які задають значення шуканих функцій на всіх наборах аргументів. Від таблиці легко перейти до ДДНФ шуканих функцій (ДДНФ – досконала диз'юнктивна нормальна форма, тобто диз'юнкція кон'юнктивних членів однакової розмірності). Для цього складають логічну суму тих наборів аргументів, на яких функція приймає одиничне значення. Наприклад, для належного відтворення функції чотирьох аргументів, заданою таблицею 2.1, одержимо

Таблиця 2.1

X_1	X_2	X_3	X_4	F	X_1	X_2	X_3	X_4	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

$$F = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 x_3 \bar{x}_4$$

Подальші дії залежать від засобів реалізації функцій, до яких у сучасній схемотехніці належать:

1. Логічні блоки табличного типу (LUTs, Look-Up Tables).
2. Логічні блоки у вигляді послідовності матриць елементів І та АБО (PLA, Programmable Logic Array; Programmable Array Logic)/
3. Універсальні логічні блоки на основі мультиплексорів.
4. Логічні блоки, що збираються з логічних елементів деякого базису (SLC, Small Logic Cells).

Комбінаційна логіка реалізується одноктактними схемами та на відмінність від послідовної логіки не залежить від параметру часу.

2.2.2. Логічні елементи

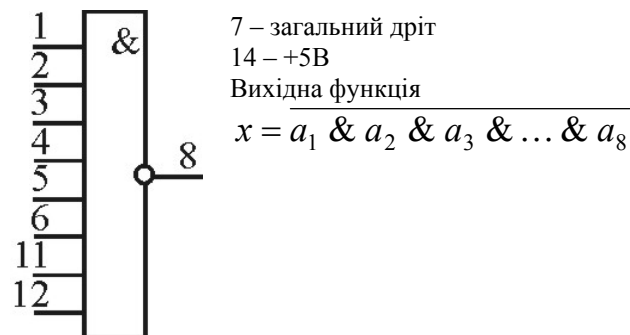
Логічні елементи виконують найпростіші логічні операції. Деякі типові ситуації при побудові цифрових вузлів на стандартних ІС розглянуті у Додатку 7.

Деякі схеми індикації цифрових схем наведені у Додатку 6.

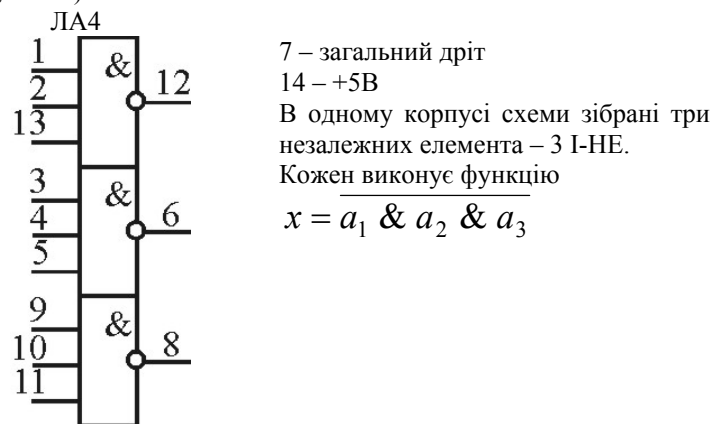
Розглянемо роботу деяких логічних елементів на прикладах конкретних схем. Довідкова інформація по ІС наведена у Додатку 1, Додатку 2.

Схема 8 І-НЕ

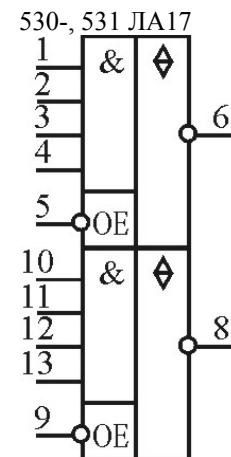
133-, 155-, 530-, 531-, 533-, 555-, 1533 ЛА 2.



3 І-НЕ з відкритим колектором 133-, 155-, 530-, 531-, 533-, 555-, 1533 ЛА 4 (ЛА4, ЛА10, ЛА24).



2 логічних елемента 4 І-НЕ з третім станом виходу.



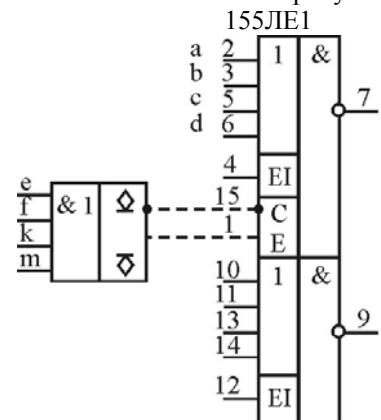
У режимі виконання логічної операції 4 І-НЕ на виході OE повинен бути присутнім рівень логічного «0».

Якщо на вхід OE подати логічну «1», то вихід інтегральної схеми переводиться у z-стан.

Розширювачі

Розширювачі – схеми, що дозволяють розширити функціональні можливості логічних елементів. Розширювачі мають два виходи – з відкритим колектором і закритим емітером (див. Додаток 5). Розглянемо використання розширювачів на прикладі наступних схем.

1. 4 АБО-НЕ зі стробуванням:



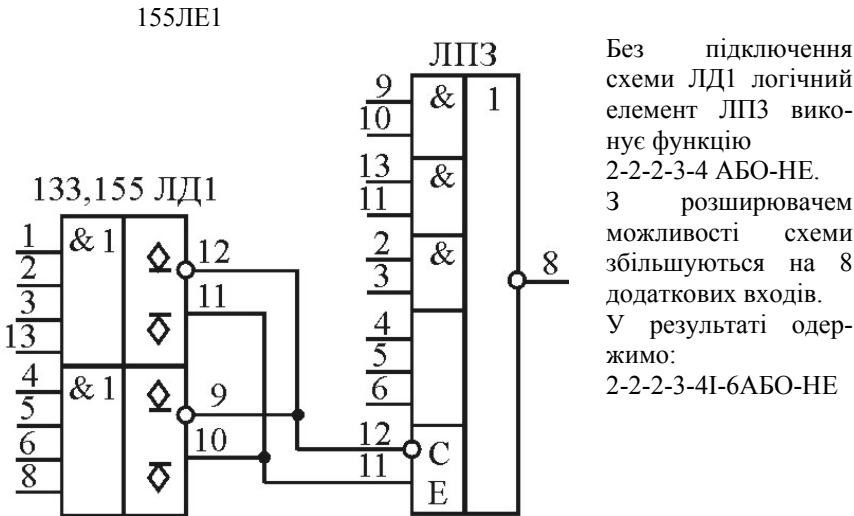
Логічні функції АБО-НЕ реалізуються, якщо на вході стробування установився рівень логічної одиниці. Без розширювача верхня частина схеми ЛЕ2 реалізує функцію

$$Y = (a \vee b \vee c \vee d)EI.$$

При підключенні розширювача (пунктир на схемі) нова функція Y буде виглядати так:

$$Y = (a \vee b \vee c \vee d \vee e \vee f \vee k \vee m)EI$$

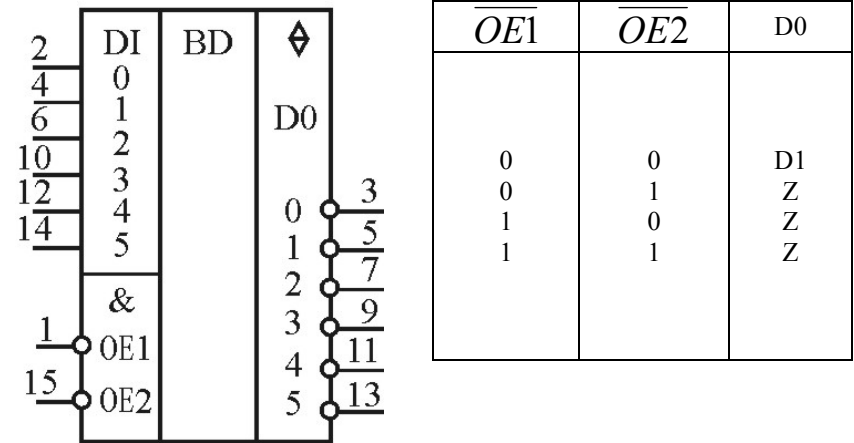
2. Два чотиривходових розширювача по АБО:



2.2.3. Драйвери

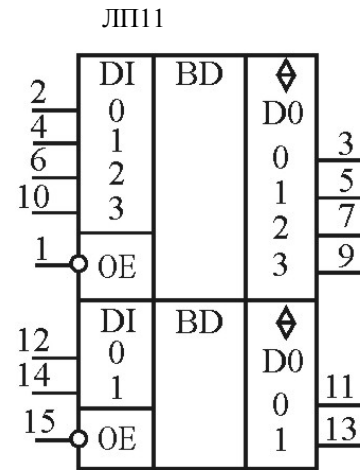
Драйвери – це інтегральні схеми для організації зв’язку з зовнішнім пристроєм.

Шестирозрядний шинний драйвер 155 ЛП 10:



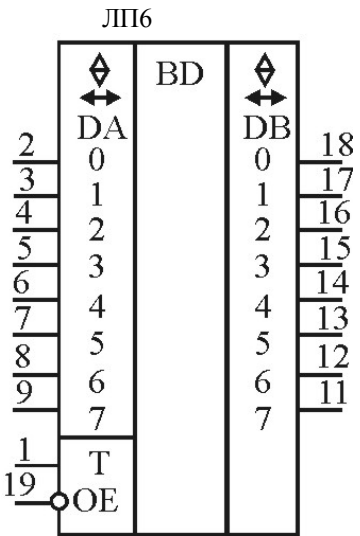
Якщо є хоча б одна одиниця на входах $\overline{OE1}$ або $\overline{OE2}$, то драйвер переходить у третій стан.

Дворозрядний та чотирирозрядний драйвер 155 ЛП 11:



Драйвери працюють незалежно один від одного, тобто якщо один з них знаходиться у z-стані, то це не відіб’ється на роботі іншого.

Восьмирозрядний шинний драйвер 533, 555, 1533 ЛП 6:

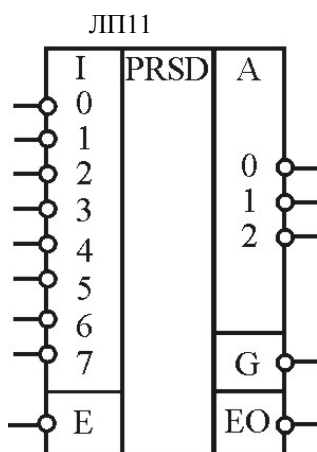


$\overline{OE}$	T	Напрямок передачі
0	0	DB→DA
0	1	DA→DB
1	x	DA=DB=Z

Якщо на вхід $\overline{OE}$ подати «1», то на виході – z-стан; якщо подати «0», то $DB \rightarrow DA$, тобто є В – вхід, А – вихід; якщо на Т подати «1», то $DA \rightarrow DB$, тобто А – вхід, В – вихід.

2.2.4. Шифратори, дешифратори, мультиплексори й демультиплексори

Схеми комбінаційного й послідовного типу наведені у Додатку 3. Восьмирозрядний шифратор пріоритетів 133-, 155-, 533-, 555 ІВ 1:



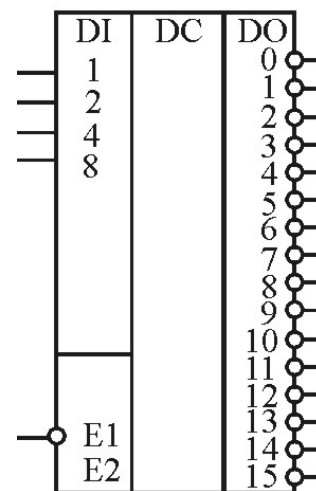
Вихід G – це вихід сигналу присутності на вході хоча б одного логічного «0». Якщо на вході присутня хоча б одна «1», то на виході – «0». $\overline{OE}$ – сигнал відсутності нулів на входах $\overline{10} \dots \overline{17}$.

Таблиця істинності роботи шифратора пріоритетів ІВ1

$\overline{E}$	$\overline{7}$	$\overline{6}$	$\overline{5}$	$\overline{4}$	$\overline{3}$	$\overline{2}$	$\overline{1}$	$\overline{0}$	$\overline{2}$	$\overline{1}$	$\overline{0}$	$\overline{G}$	$\overline{OE}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	x	1	1	0	0	1
0	1	1	1	1	1	0	x	x	1	0	0	0	1
0	1	1	1	1	0	x	x	x	0	1	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

Повний дешифратор

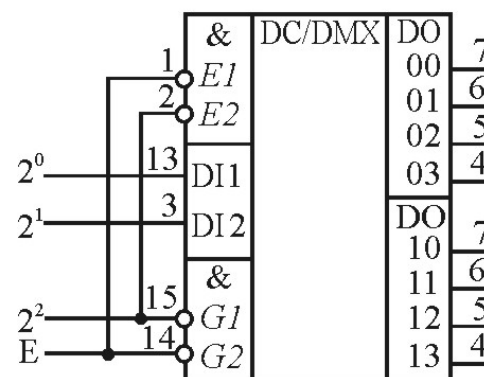
355-, 555-, 1533 ІДЗ



Повний дешифратор має n входів та 2^n виходів. Входи $\overline{E1}$ і $\overline{E2}$ керують режимом роботи дешифратора. Якщо $\overline{E1} \& \overline{E2} = 0$, то на всіх виходах DO буде присутня логічна 1. Умова звичайного режиму роботи $\overline{E1} \& \overline{E2} = 1$.

Два дешифратори-мультиплексори:

ЛП11

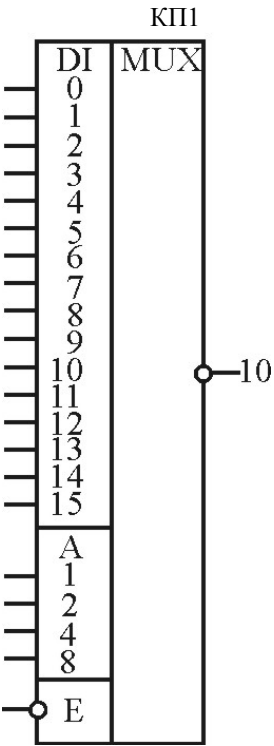


У даній схемі зібрані два дешифратори з об'єднаними інформаційними каналами: DI1 та DI2, та роздільними дозволяючими входами $\overline{E1}$ і $\overline{E2}$ і $\overline{G1}$ і $\overline{G2}$. Ці входи дозволу різняться за логікою керування. Для того щоб працював дешифратор з виходами 01, 02, 03, $\overline{E1} \& \overline{E2} = 1$.

Для того, щоб працював дешифратор з входами 10, 11, 12, 13 повинна виконуватись умова $\overline{G1} \& \overline{G2} = 1$. Така організація входів до-

зволу дозволяє побудувати на базі цієї схеми трирозрядний дешифратор (демультимплексор 1x8). Для цього об'єднують $\overline{G2}$ і $\overline{E1}$ для організації входу стропування. $\overline{G1}$ і $E2$ використовуються у якості старшого розряду 2^2 , $D12-2^1$ і $D11-2^0$ входів дешифратора. $DO\ 00\dots03, 10\dots13$ – восьмирозрядний вихід.

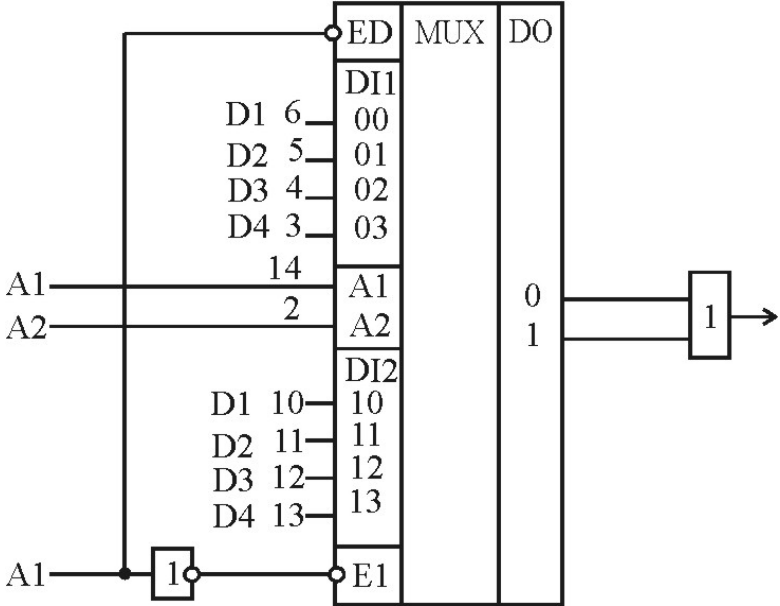
Мультиплексор
133-, 155 КП1.
16-канальний інвертуючий стробуючий мультиплексор з адресним селектором.



Логіку роботи MUX КП1 можна описати через функцію

$$X = \overline{A8A4A2A1DI0} \vee \overline{A8A4A2A1DI1} \vee \overline{A8A4A2A1DI2} \vee \dots \vee \overline{A8A4A2A1DI15}$$

Чотириканальний дворозрядний стробований мультиплексор з адресним селектором
Серії: 133-, 155-, 530-, 531-, 533-, 555-, 1533 КП2.

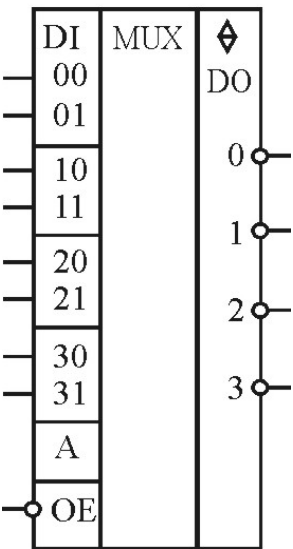


Таблиця істинності для схеми КП2

E0	E1	A2	A1	D0	D1
1	1	x	x	0	0
0	1	0	0	D1	0
0	1	0	1	D2	0
0	1	1	0	D3	0
0	1	1	1	D4	0
1	0	0	0	0	D5
1	0	0	1	0	D6
1	0	1	0	0	D7
1	0	1	1	0	D8

На базі КП2 можна побудувати MUX 8x1 об'єднавши входи $\overline{E0}$ і $\overline{E1}$ через інвертор і використовуючи їх у якості старшого адресного розряду.

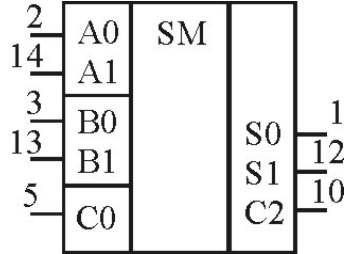
Двоканальний чотирирозрядний інвертуючий мультиплексор з третім станом виходу.



Якщо $\overline{OE} = 0$, то виходи DO 0, 1, 2, 3 будуть переведені у z-стан. Якщо $\overline{OE} = 1$, то за адресою $A = 0$ будуть комутуватись на відповідні виходи канали DI 00, 10, 20, 30, а за адресою $A = 1$ – DI 01, 11, 21, 31.

2.2.5. Арифметичні пристрої

Повний дворозрядний суматор



A0, A1 – входи дворозрядного числа A;
B0, B1 – входи дворозрядного числа B;
C₀ – вхід переносу.

Таблица истинности работы полного суматора

A1	A0	B1	B0	C0	S1	S0	C2
0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0
0	0	0	1	0	0	1	0
0	1	0	1	0	1	0	0
1	1	1	1	0	1	0	1
1	0	1	0	0	0	0	1
0	0	0	0	1	0	1	0
0	1	0	0	1	1	0	0
0	1	0	1	1	1	1	0
1	1	1	1	1	1	1	1
1	0	1	0	1	0	1	1
1	1	1	0	1	0	1	0

Арифметично-логічний пристрій

АЛП – це операційний вузол, що виконує арифметичні та логічні операції над багаторозрядними доданками.

У залежності від слова, яке встановлюється, АЛП повинні задовольняти наступним вимогам:

- 1. виконувати заданий набір операцій;
- 2. забезпечувати порозрядовий перенос та можливість його групування;
- 3. забезпечувати нарощуваність розрядності слів, які обробляються.

АЛП будують на базі:

- 1) напівсуматорів;
- 2) суматорів;
- 3) тригерів (для операцій зсуву).

Дані, що оброблюються, можуть бути представлені у таких кодах:

- 1) прямому;
- 2) зворотному;
- 3) додатковому.

Прямий код:

5 1 1 1
7 1 0 1

Для роботи з від’ємними числами використовується додатковий і зворотній коди.

Додатковий код

Всі нулі змінюються на одиниці, одиниці замінюються нулями і до молодшого розряду додається одиниця.

Приклад:

$-14 = 1.1110 \rightarrow 1.0001 \rightarrow 1.0010$ – число «-14» у додатковому коді.

Розглянемо використання додаткового коду на прикладі десяткової арифметики.

Приклад:

$$63 + (-25) = 38,$$

$$-25_{\text{дод.}} = 100 + (-25) = 75,$$

$$X = 63 + 75 = 138.$$

Відкинувши старшу «1», одержимо результат 38.

Зворотний код

Замінюються нулі на одиниці та одиниці на нулі.

Приклад:

$$-14 = 1.0001 = "-14" \text{ у зворотному коді.}$$

Приклад:

$$12 + (-5).$$

1. У зворотному коді:

$$\begin{array}{r} +12 \quad 0.1100 \\ -5 \quad + 1.1010 \\ \hline 10.0110 \end{array}$$

додаємо перенос до молодшого розряду

$$\begin{array}{r} +7 \quad 0.0111 \end{array}$$

2. У додатковому коді:

$$\begin{array}{r} +12 \quad 0.1100 \\ -5 \quad + 1.1010 \\ \hline 10.0111 \end{array}$$

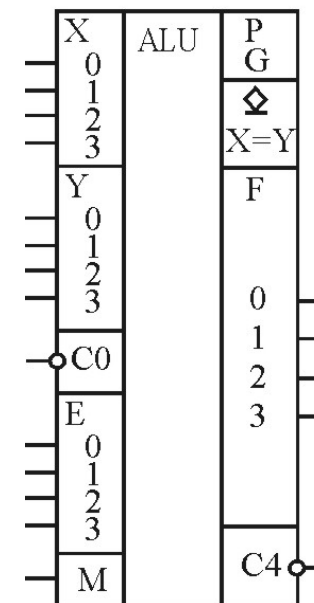
відкидаємо

$$\begin{array}{r} +7 \quad 0.0111 \end{array}$$

При цьому необхідно врахувати, що розряд знаку («0» – додатне число, «1» – від'ємне) при перетворенні числа у додатковий або зворотний код не змінюється.

Чотирирозрядний АЛП

Серії: 133-, 155-, 530-, 531-, 533-, 555-, 1533 ИПЗ



Входи $x_0 \dots x_3, y_0 \dots y_3$ – входи чотирирозрядних операндів.

Вхід C0 – вхід переносу.

Вхід $E_0 \dots E_3$ – код операції.

Вхід M – вхід вибору режиму (арифметичний або логічний).

$F_0 \dots F_3$ – вихід результату (чотирирозрядний).

C4 – вихід переносу.

$X = Y$ (з відкритим колектором) – вихід рівності операндів.

P і G – виходи для організації паралельного переносу при підключенні схем АЛП у каскад.

Приклад:

E3	E2	E1	E0	M = 1	M = 1	
					$\overline{CO} = 1$	$\overline{CO} = 0$
0	0	0	0	$\overline{X}$	X	$X+1$
0	0	1	0	$\overline{X} \& Y$	$X+Y$	$(X+Y)+1$
0	1	1	0	$X \oplus Y$	$X-Y-1$	$X-Y$

Повна таблиця істинності роботи АЛП наведена у Додатку 3.

2.3. Проектування цифрових схем послідовного типу

2.3.1. Проблеми й методики проектування послідовних схем

Вузли і пристрої, які містять елементи пам'яті, належать до класу автоматів з пам'яттю (АП). Наявність елементів пам'яті (ЕП) надає АП властивість мати деякий внутрішній стан Q , якій визначається сукупністю станів усіх елементів пам'яті. У залежності від внутрішнього стану (далі – просто стан), АП по-різному реагує на один і той же вектор вхідних сигналів X . Сприймаючи вхідні сигнали при певному стані, АП переходить у новий стан і виробляє вектор вихідних змінних Y .

Переходи АП з одного стану в інший починаються з деякого початкового стану Q_0 , завдання якого також є частиною завдання автомата. Наступний стан залежить від Q_0 та вхідних сигналів X , що надійшли. В решті решт, поточний стан і виходи автомата залежать від початкового стану і всіх векторів X , які надходять на автомат у попередніх змінах вхідних сигналів. Таким чином, вся послідовність вхідних сигналів визначає послідовність станів та вихідних сигналів. Це пояснює назву «*послідовнісні схеми*», яка також застосовується для позначення АП.

Структурно АП відрізняються від КЛ наявністю в їхніх схемах зворотних зв'язків, в наслідок чого у них проявляються властивості запам'ятовування станів (корисно згадати схеми тригерних елементів, де вказана особливість проявляється доволі наочно). Автомати з пам'яттю у канонічному представленні розподіляють на дві частини: *пам'ять* і *комбінаційний ланцюг*. На входи КЛ подаються вхідні сигнали і сигнали ста-

ну АП. На її виході виробляються вихідні сигнали та сигнали переводу АП у новий стан.

Принциповим є ділення АП на *асинхронні* та *синхронні*. У асинхронних (рис. 2.11 а) роль елементів пам'яті відіграють елементи затримки, через які сигнали стану передаються на входи КЛ, щоб сумісно з новим набором вхідних змінних визначити наступну пару значень Y і Q на входи. Елементи АП перемикаються тут під безпосереднім впливом змін інформаційних сигналів. Швидкість розповсюдження процесу перемикань у ланцюгах асинхронного автомата визначається власними затримками елементів.

У асинхронному АП (рис. 2.11 б) є спеціальні синхросигнали (такуючі імпульси) C , які дозволяють елементам пам'яті приймання даних тільки у певні моменти часу. Елементами пам'яті служать синхронні тригери. Процес обробки інформації упорядковується у часі, і протягом одного такту можливе розповсюдження процесу перемикання тільки у строго певних межах тракту обробки інформації.

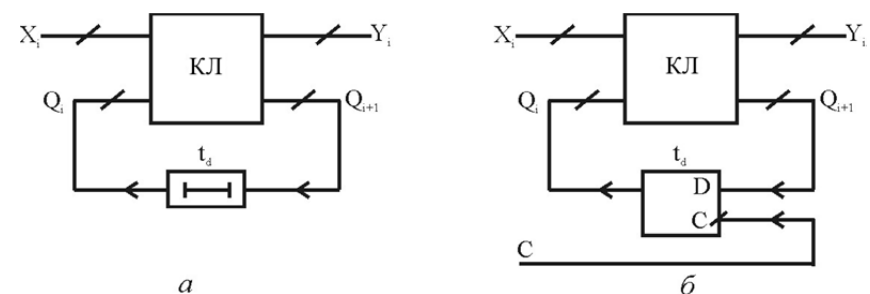


Рис. 2.11. Асинхронний (а) та синхронний (б) автомати з пам'яттю

Практичне застосування асинхронних автоматів істотно ускладнено сильним впливом на їх роботу затримок сигналів у ланцюгах АП, утворюючих статичні та динамічні ризики, конкуренцію елементів пам'яті та ін. У результаті характерною властивістю асинхронного автомата є те, що при переході з одного стійкого стану в інший він зазвичай проходить через проміжні нестабільні стани. Неможна сказати, що методи боротьби з небажаними наслідками ризиків та змагань у асинхронних АП відсутні, та все ж забезпечення передбачуваної поведінки АП – складна проблема. У більш або менш складних АП асинхронні схеми зустрічаються доволі рідко, а у найпростіших схемах застосовуються. Прикладом можуть бути асинхронні RS-тригери.

У синхронних автоматах кожен стан стійкий і перехідні часові стани не виникають. Концепція боротьби з наслідками ризиків та змагань у

синхронних автоматах проста – прийом інформації в елементи пам'яті дозволяється тільки після завершення у схемі перехідних процесів. Це забезпечується параметрами синхроімпульсів, що задають інтервали часу для завершення тих чи інших процесів. У порівнянні з асинхронними, синхронні АП значно простіші у проектуванні. [16-20]

На сьогоднішній день і досить тривалу перспективу основним шляхом побудови АП слід вважати застосування тактування, тобто синхронних автоматів.

У працях вітчизняних та зарубіжних учених розробляється напрям, що має назву проектування пристроїв, що самосинхронізуються, у яких тактові імпульси проходять із змінною частотою, яка залежить від тривалості реального перехідного процесу у схемі. Однак перспективність цього напрямку ще не до кінця ясна. У теорії автоматів проводиться їх класифікація за рядом ознак. Не вдаючись у подробиці, відмітимо, що у схемотехніці переважають автомати Мура, виходи яких є функціями тільки стану автомата. Для цього автомата $Q_n = f(Q, X)$ та $Y = \varphi(Q)$. Залежність виходів і від стану автомата, і від вектора вхідних змінних властива автоматам Мілі.

Деякі функціональні вузли належать до числа *автономних автоматів*, котрі не мають інформаційних входів, і під впливом тактових сигналів переходять із стану у стан по алгоритму, який визначається структурою автомата.

Проектування автоматів

Проектування АП включає такі етапи:

- вихідне завдання функціонування;
- формалізоване завдання функціонування;
- мінімізація станів;
- кодування станів;
- складання таблиці переходів;
- визначення функцій збудження елементів пам'яті (тригерів);
- мінімізація функцій збудження тригерів;
- перехід до базису вибраної для реалізації схемотехнології;
- складання логічної схеми;
- зборка та перевірка автомата.

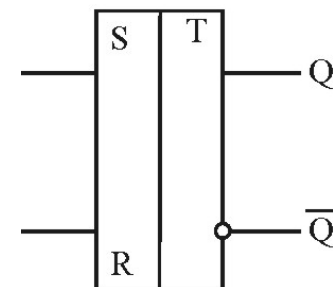
2.3.2. Тригери

Тригер – це перемикаючий пристрій, який має два стійких стани – нуля та одиниці.

Тригери використовуються для побудови часових логічних схем. На базі тригерів будують схеми лічильників та регістрів. Розглянемо логіку роботи наступних типів тригерів:

- RS-тригер (що керується нулем, що керується одиницею);
- синхронний RS-тригер;
- MS-тригер (двоступінчатий);
- Т-тригер (синхронний, асинхронний);
- D-тригер;
- JK-тригер.

RS-тригер, що керується одиницею (з прямим керуванням)



S – set (установка);

R – reset (скидання).

S	R	Q	$\bar{Q}$
0	0	зберігання	зберігання
0	1	0	1
1	0	1	0
1	1	заборона	заборона

При одиниці на вході Set тригер встановлюється у одиницю. При одиниці на вході Reset тригер встановлюється у нуль.

При комбінації $R = 0, S = 0$ відбувається зберігання інформації на входах $Q, \overline{Q}$.

Подавати дві одиниці неможливо, оскільки при подачі двох одиниць вихід рівноймовірно встановлюється або у нуль, або у одиницю.

RS-тригер будується на елементах АБО-НЕ з введенням зворотних зв'язків між ними.

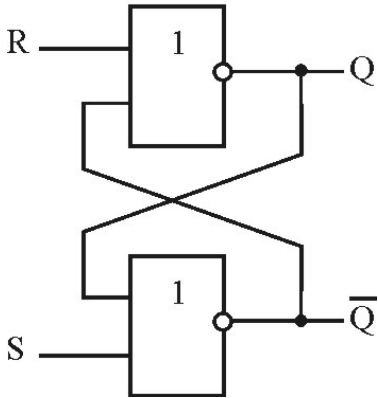
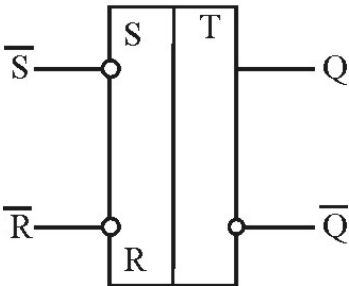


Рис. 2.12. RS-тригер на базі логіки АБО-НЕ

Повна таблиця істинності роботи RS-тригера з прямим куруванням

S	R	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	заборона
1	0	1	

RS-тригер, що керується нулем (з інверсним керуванням)



S	R	Q
0	0	заборона
0	1	1
1	0	0
1	1	зберігання

Даний тригер будується на елементах І-НЕ.

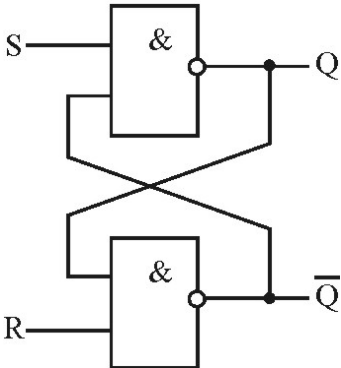


Рис. 2.13. Схема RS-тригера на базі логіки І-НЕ

S	R	Q_t	Q_{t+1}
0	0	0	заборона
0	0	1	
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

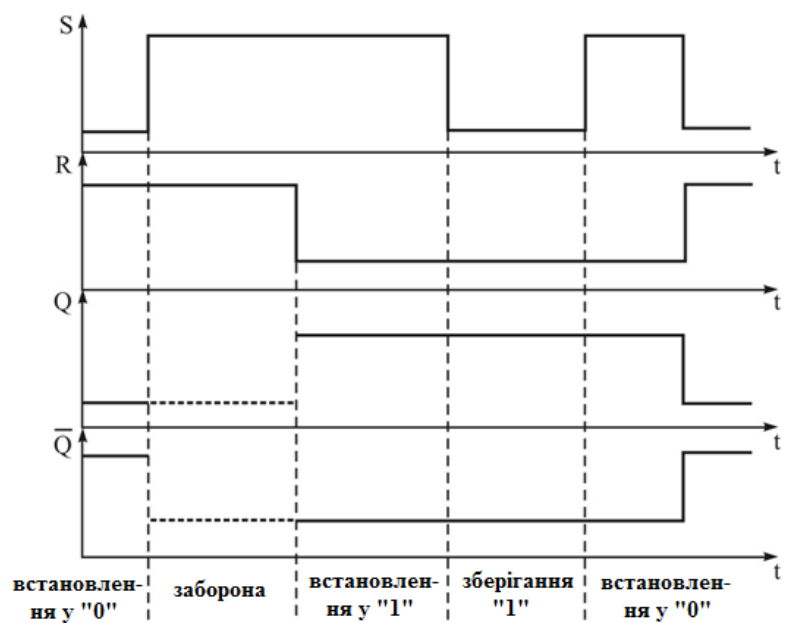


Рис. 2.14. Часова діаграма роботи RS-тригера з прямим керуванням

S	R	Q_t	Q_{t+1}
0	0	0	зберігання
0	0	1	зберігання
0	1	0	зберігання
0	1	1	0
1	0	0	зберігання
1	0	1	1
1	1	0	заборона
1	1	1	заборона

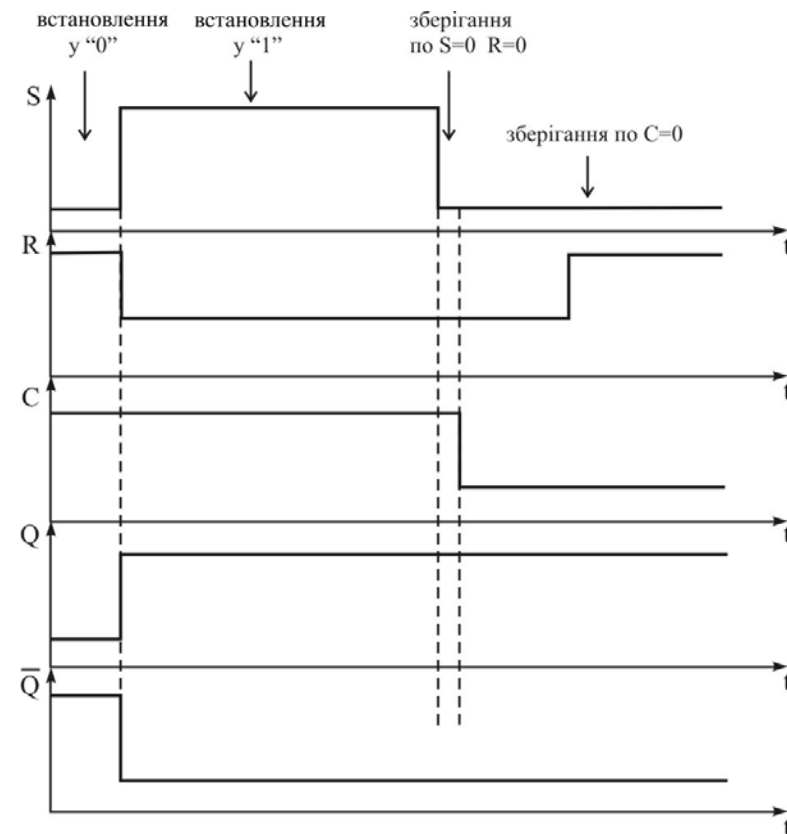


Рис. 2.16. Часова діаграма роботи синхронного RS-тригера на базі RS-тригера з прямим керуванням

Синхронний RS-тригер

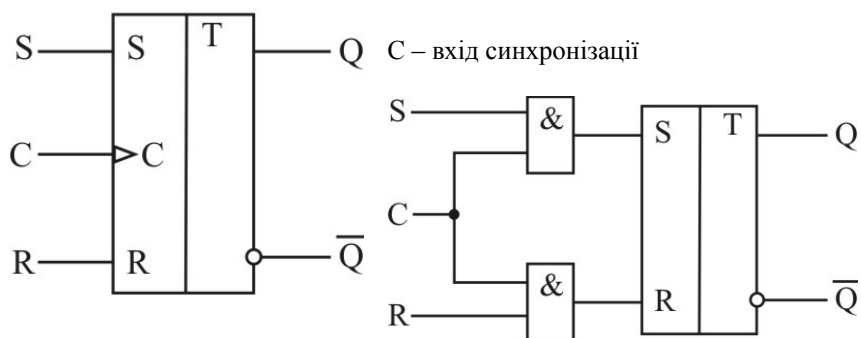


Рис. 2.15. Синхронний RS-тригер на базі RS з прямим керуванням

Побудова синхронного RS-тригера, що керується нулем, на базі ІМС 155 ЛА3

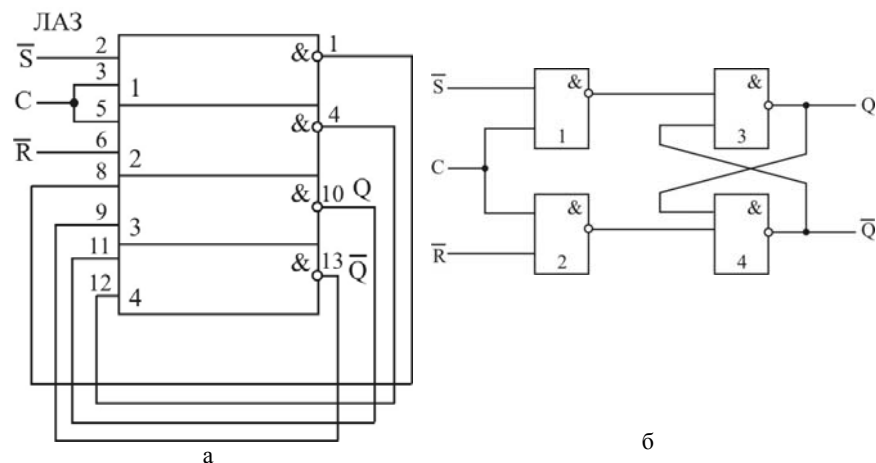


Рис. 2.17. Синхронний RS-тригер:
а – на базі мікросхеми 155ЛА3; б – у базисі І-НЕ

MS-тригер (двоступінчатий)

Двоступінчатим може бути будь-який тип тригеру, який складається з двох ступенів: М (master) і S (slave)

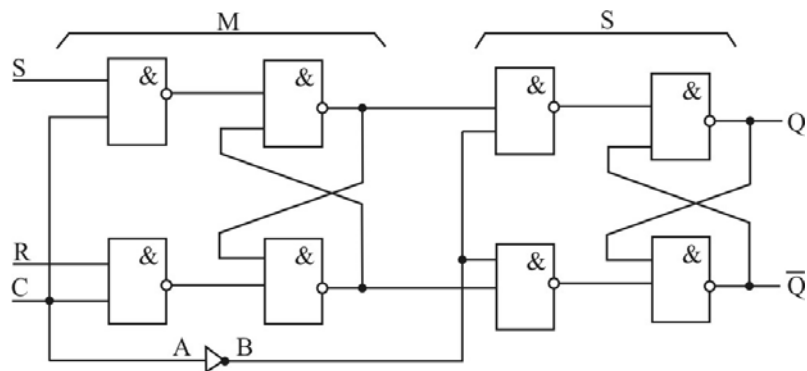


Рис. 2.18. MS-тригер на базі RS-тригера, який керується нулем

Двоступінчаті тригери використовуються для більш стійкої роботи схем.

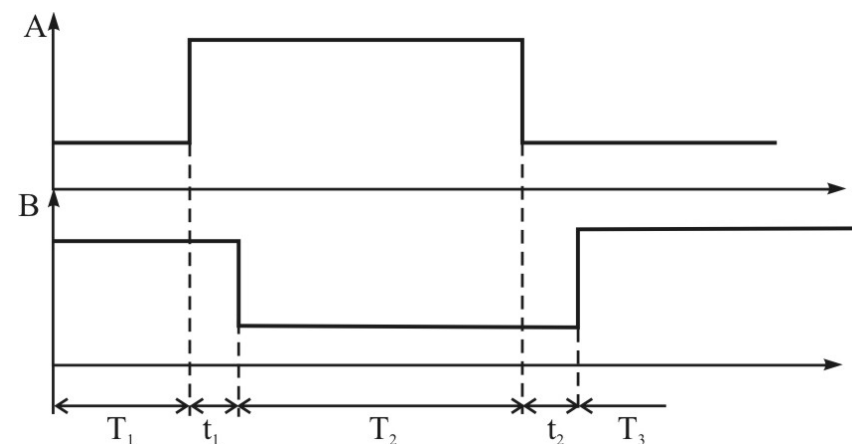


Рис. 2.19. Часова діаграма роботи ступенів М і S

У період T_1 ($A = 0$, $B = 1$) буде працювати ступінь S. Ступінь S відкрит, ступінь М знаходиться у стані зберігання. Потім, при передачі на вхід С логічної одиниці у момент часу τ_1 відбувається відключення S від М.

У період T_2 відчиняється ступінь М і відбувається запис інформації у М (при цьому S закрита). При подачі на вхід С нуля відбувається підключення ступені S до М, і при цьому здійснюється перезапис інформації з М у S (у момент часу τ_2).

У момент часу T_3 ступінь S відчинена, М зачинена і т.д.

Т-тригер (з рахунковим входом)

T (toggle) – релаксатор.

Т-тригер буває двох типів:

- синхронний;
- асинхронний.

На базі Т-тригерів будуються лічильники.

Асинхронний Т-тригер

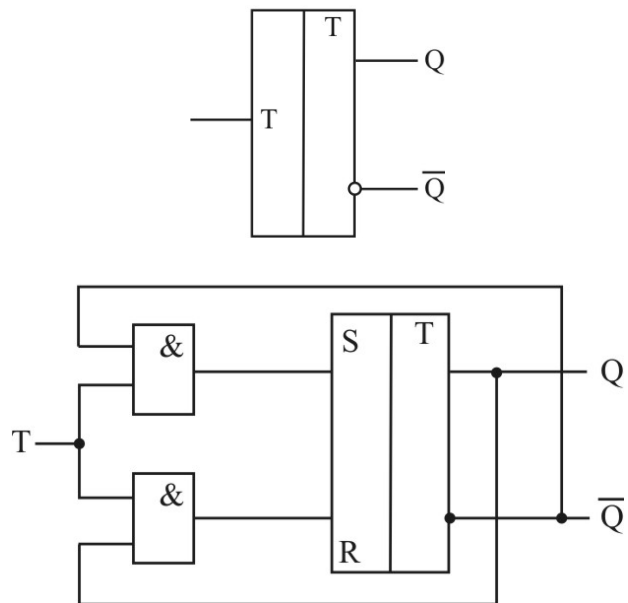


Рис. 2.20. Схема Т-тригера на базі RS з прямим керуванням

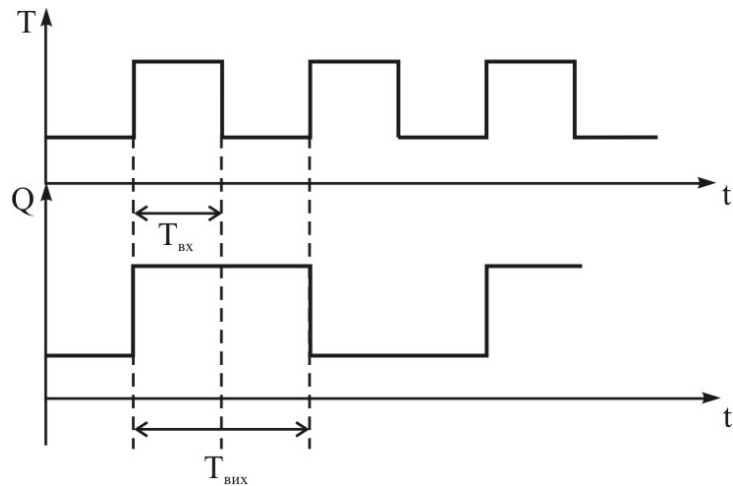


Рис. 2.21. Часова діаграма роботи Т-тригера

$$T_{вих} = 2T_{вх}.$$

З діаграми видно, що період вихідного сигналу у 2 рази більше періоду вхідного сигналу. Ця властивість використовується для побудови лічильників.

Синхронний Т-тригер

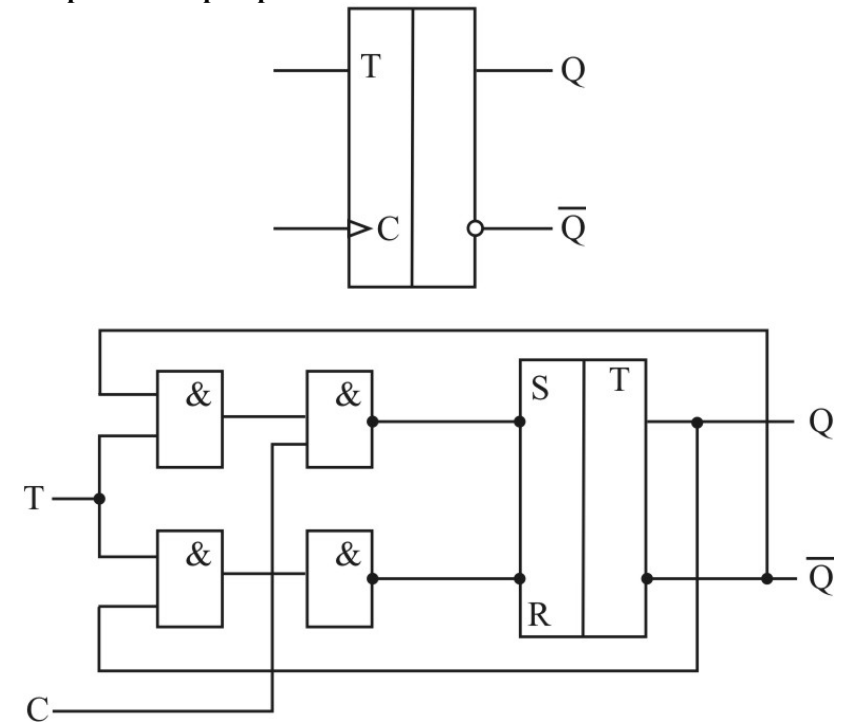


Рис. 2.22. Синхронний Т-тригер на базі RS-тригера з інверсним керуванням

Таблиця істинності роботи синхронного Т-тригера

T	C	S	R	Q
0	x	1	1	зберігання
x	0	1	1	зберігання
1	1	1	0	0
1	1	0	1	1

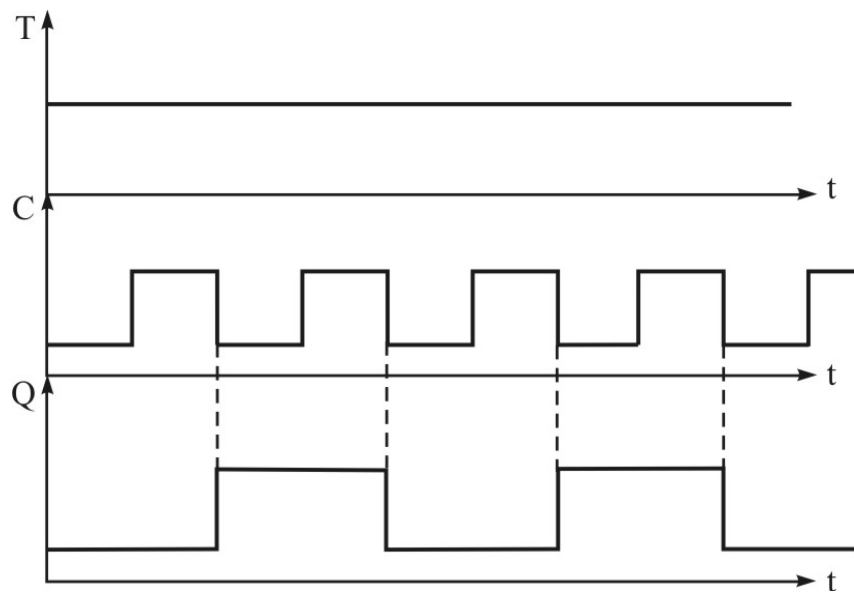


Рис. 2.23. Часова діаграма роботи синхронного Т-тригера, що спрацьовує по від'ємному фронту синхросигналу

Д-тригер (тригер затримки)

D – delay.

D-тригери поділяються на два типи:

1. D-тригер;
2. D-тригер з динамічним керуванням.

D-вхід даних. По синхроімпульсу D-тригер приймає на вході Q той стан, який він має на вході, але з затримкою по часу. На базі D-тригера будуються лічильники та регістри.

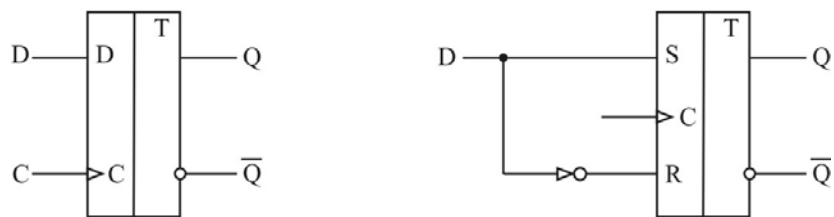


Рис. 2.24. D-тригер на базі RS-тригера

D	C	Q
0	0	зберігання
0	1	0
1	0	зберігання
1	1	1

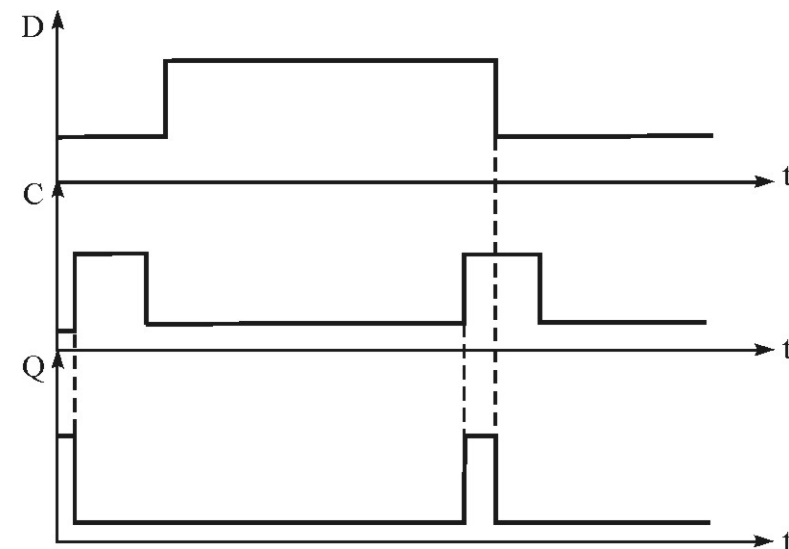


Рис. 2.25. Часова діаграма роботи D-тригера

Д-тригер з динамічним керуванням

Вихідний сигнал D-тригера з динамічним керуванням перемикається тільки під час додатного або тільки під час від'ємного фронту сигналу C на вході. Напрямок зміни C, по якому записується інформація, визначається нахилом риски на схемі.



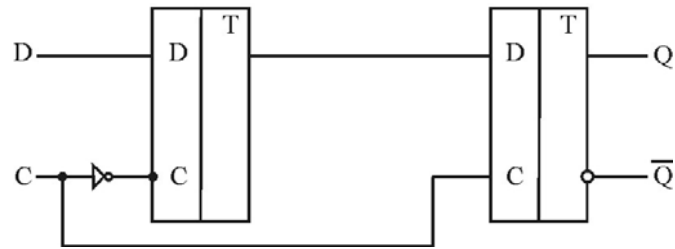


Рис. 2.26. Структура динамічного D-тригера по додатному перепаду

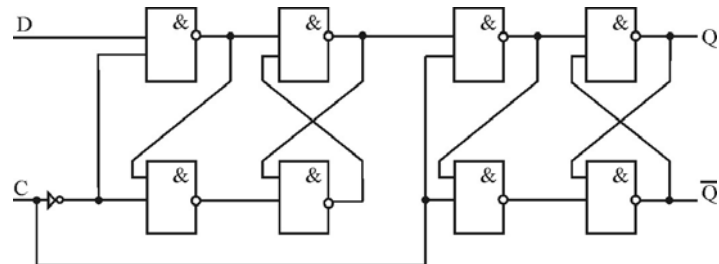


Рис. 2.27. D-тригер на базі RS з інверсним керуванням (керування по додатному фронту)

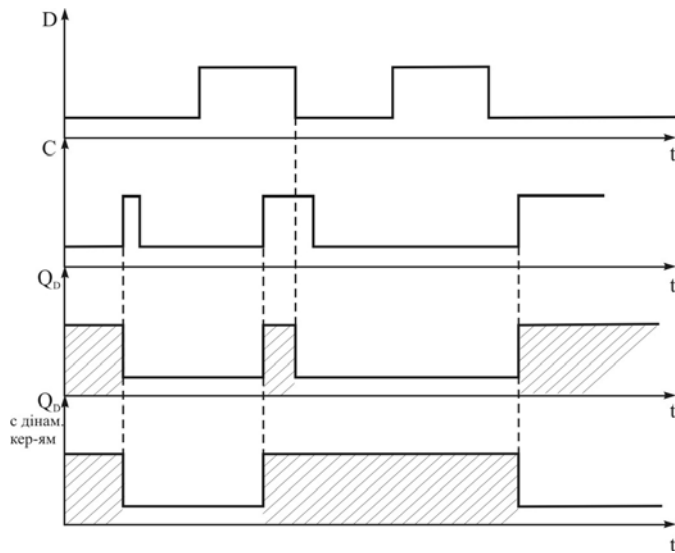
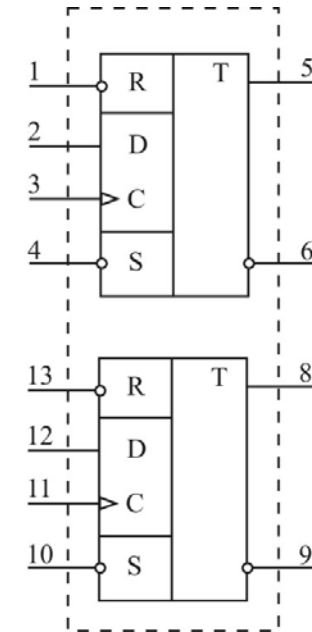


Рис. 2.28. Часова діаграма

К 555 ТМ 2



Таблиця істинності роботи схеми К555ТМ2

Режим роботи	Входи				Виходи	
	$\overline{S}$	$\overline{R}$	D	C	Q	$\overline{Q}$
1. асинхронний, який установився	0	1	x	x	1	0
2. асинхронний	1	0	x	x	0	1
3. невизначеність	0	0	x	x	1	1
загрузка «1»	1	1	1	↑	1	0
загрузка «0»	1	1	0	↑	0	1

Логічна структура одного D-тригера містить:

- основний асинхронний RS-тригер;
- додатковий синхронний RS-тригер запису логічної одиниці у основний тригер;
- додатковий синхронний RS-тригер запису логічного нуля у основний тригер.

Входи $\overline{S}$ і $\overline{R}$ працюють незалежно від сигналу на тактовому входу.

Асинхронна установка D-тригера здійснюється подачею взаємoprотилежних сигналів на входи $\bar{S}$ і $\bar{R}$. У цей час входи D і C на роботу схеми не впливають. Якщо на $\bar{S}$ і $\bar{R}$ одночасно подати логічні нулі, то на виходах будуть логічні одиниці. Після зняття цих сигналів з $\bar{S}$ і $\bar{R}$ стан тригера буде невизначеним (на виході рівноймовірно установиться якесь стійке значення, тому $\bar{S} = \bar{R} = 0$ заборонено).

JK-тригер (універсальний RS-тригер)

JK-тригер працює аналогічно RS-тригеру, але при подачі забороненої комбінації перекидається у протилежний стан.

Абревіатура JK-тригера утворена від слів: jerk – швидко ввімкнути; kill – швидко вимкнути.

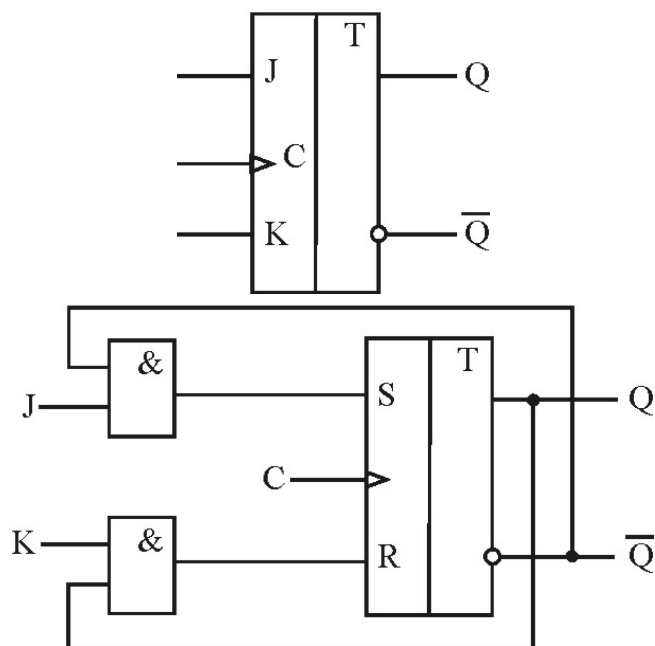


Рис. 2.29. Схема JK-тригера на базі синхронного RS та його графічне зображення

Таблиця істинності роботи JK-тригера

J	K	Q_t	$\bar{Q}_t$
0	0	зберігання	зберігання
0	1	0	1
1	0	1	0
1	1	$\bar{Q}_{t+1}$	Q_{t+1}

Практикум 6

Задача 1

Побудувати тригерну схему керування ліфтом на два поверхи, використовуючи наступні типи вхідних сигналів:

- виклик на перший поверх K_{1B} ;
- виклик на другий поверх K_{2B} ;
- наявність пасажирів у ліфті $K_{ПАС}$;
- знаходження ліфта на першому поверсі $K_{НЛ1}$;
- знаходження ліфта на другому поверсі $K_{НЛ2}$.

Задача 2

Побудувати схему асинхронного запуску двох систем контролю. За сигналом $a=1$ і натисканні кнопки «Set» запускається система 1. За сигналом $a=0$ і натисканні кнопки «Set» запускається система 2. Відключення обох систем робиться асинхронно кнопкою «Reset». Сигнали від кнопок є короткочасними.

Задача 3

Вивести формули для логічних функцій (на виходах Q і $\bar{Q}$), які описують роботу:

- 1) RS-тригера, що керується «1»;
- 2) RS-тригера, що керується «0».

Задача 4

На базі RS-тригера побудувати схему за наступними логічними умовами: індикатор 1 повинен вмикатися при появі короткочасного сигналу a^+ та наявності b , а індикатор 2 – при короткочасній появі d^+ та наявності c . Одночасно індикатори 1 і 2 горіти не повинні. Виключена ситуація, коли $a=b=c=d$.

Задача 5.

На базі JK-тригера побудувати схему ввімкнення механізму М1 та механізму М2 одною пусковою кнопкою К за умовами: якщо в момент натискання на кнопку вхідні сигнали a і b рівнозначні, то вмикається М1, якщо рівнозначні c і d – М2. Якщо при цьому рівнозначні обидві пари сигналів одночасно (a, b і c, d), то ввімкнений механізм М відключається, а відключений вмикається. При інших комбінаціях a, b, c, d натискання на кнопку нічого не змінює.

Задача 6.

Побудувати схеми на базі RS-тригера з прямим та інверсним керуванням за заданою функцією:

$$x = (a\bar{b} \vee x)\bar{c}\bar{d}$$

Задача 7.

Перетворити типи тригерів:

1. RS-тригер, що керується «1» в асинхронний Т-тригер;
2. D-тригер у асинхронний Т-тригер;
3. JK-тригер у D-тригер;
4. RS-тригер, що керується «1» у JK-тригер;
5. JK-тригер у асинхронний Т-тригер.

2.3.3. Регістри

Регістр – це операційний вузол, який складається з елементів пам'яті та комбінаційних схем і призначений для вводу, зберігання, перетворення та видачі числа, а також для виконання найпростіших порозрядових операцій і вироблення інформаційних сигналів, які зберігаються у регістрі.

На відмінність від пристрою, що запам'ятовує, регістр здійснює короткочасне зберігання інформації.

Регістри загального призначення (РЗП) утворюють надоперативний запам'ятовуючий пристрій (КЕШ-пам'ять).

Оснóву регістрів складають тригерні схеми: кількість тригерів у регістрі визначає розрядність слів, які записуються та зберігаються. Кожен тригер використовується для запису одного розряду слова.

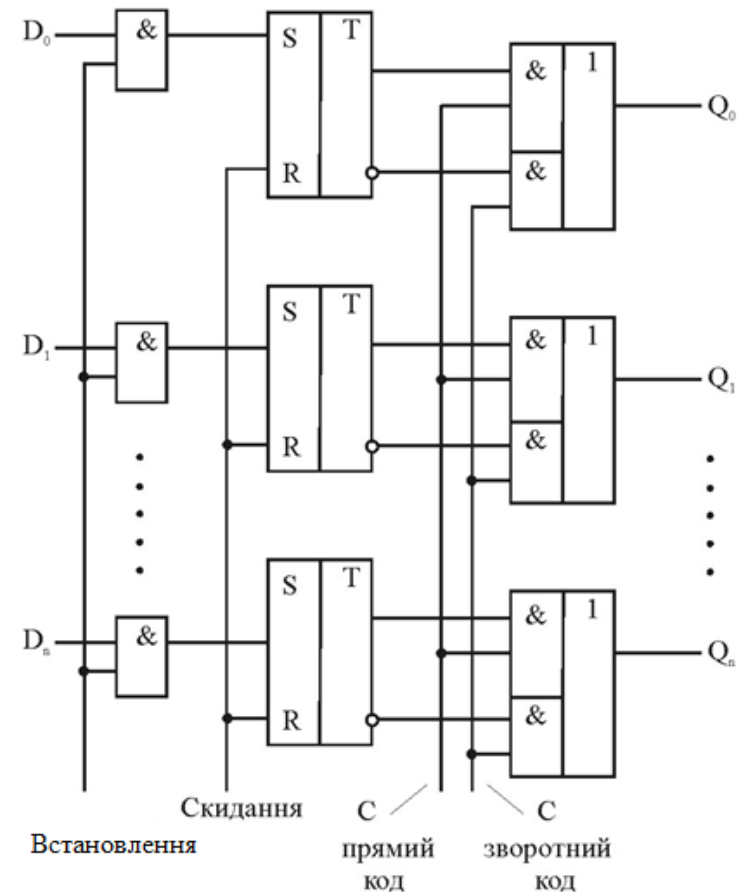


Рис. 2.30. Загальна функціональна схема регістра

Головною класифікаційною ознакою регістрів є засіб прийому та видачі даних. За цією ознакою регістри поділяються на:

1. паралельні або статичні регістри (прийом та видача слів робиться по всім ознакам одночасно);

2. послідовні або ті, що зрушують регістри (дані приймаються та видаються розряд за розрядом);
3. послідовно-паралельні або універсальні регістри.

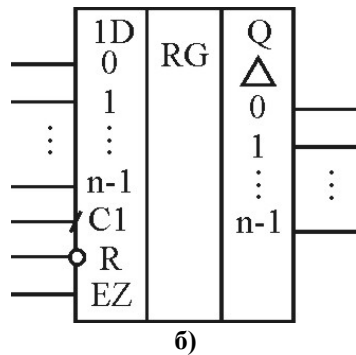
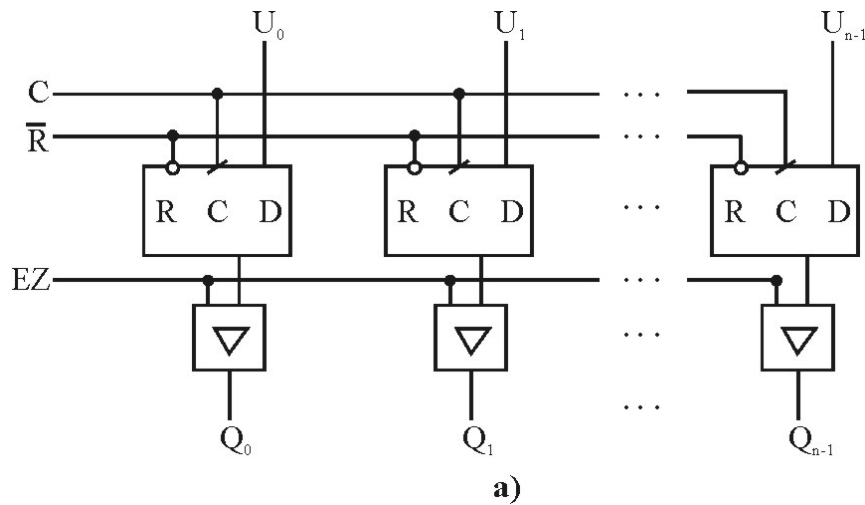


Рис. 2.31. Статичний регістр:
а – схема; б – умовне графічне зображення

У сучасних схемах регістри взагалі будуються на базі D-тригерів з динамічним керуванням і, як правило, мають z-стан виходу.

Зі статичних регістрів будують блоки регістрової пам'яті – регістрові файли.

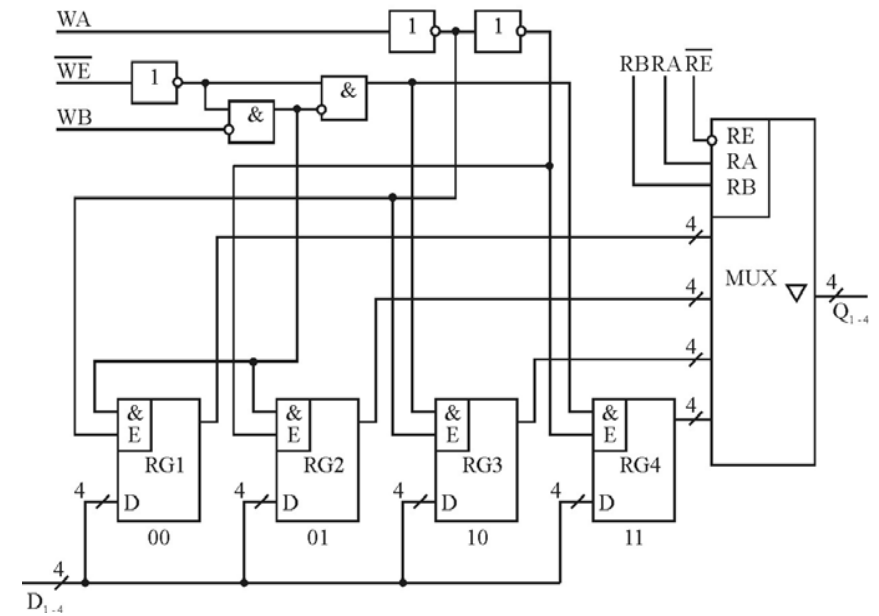


Рис. 2.32. Схеми регістрового файлу

Входи WA , WB – входи адреси запису. Вони дозволяють адресувати один з чотирьох регістрів за адресами 00, 01, 10, 11.

$\overline{WE}$ – це вхід дозволу запису. Якщо на $\overline{WE}$ подавати «0», то запис дозволений і дані надходять у один з регістрів у відповідності із заданою адресою на входах WA і WB . Якщо на $\overline{WE}$ подавати «1», то входи для даних та адрес будуть заборонені.

Виходи регістрів надходять на схеми мультиплексування для того, щоб вибрати один з чотирьох розрядних виходів регістра за адресами RA , RB .

Вхід $\overline{RE}$ використовується для переводу виходів Q_{0-4} у z-стан.

Регістри зсуву

Регістри зсуву можуть зсувати інформацію ліворуч, праворуч або в обох напрямках (тоді регістр має назву реверсивного).

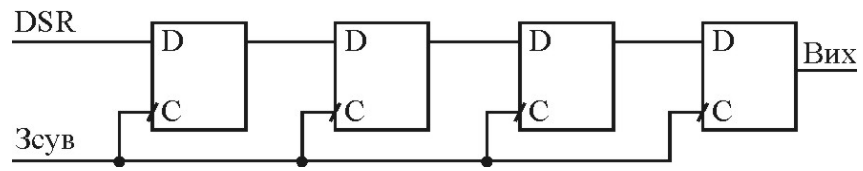


Рис. 2.33. Схема регістру зсуву праворуч

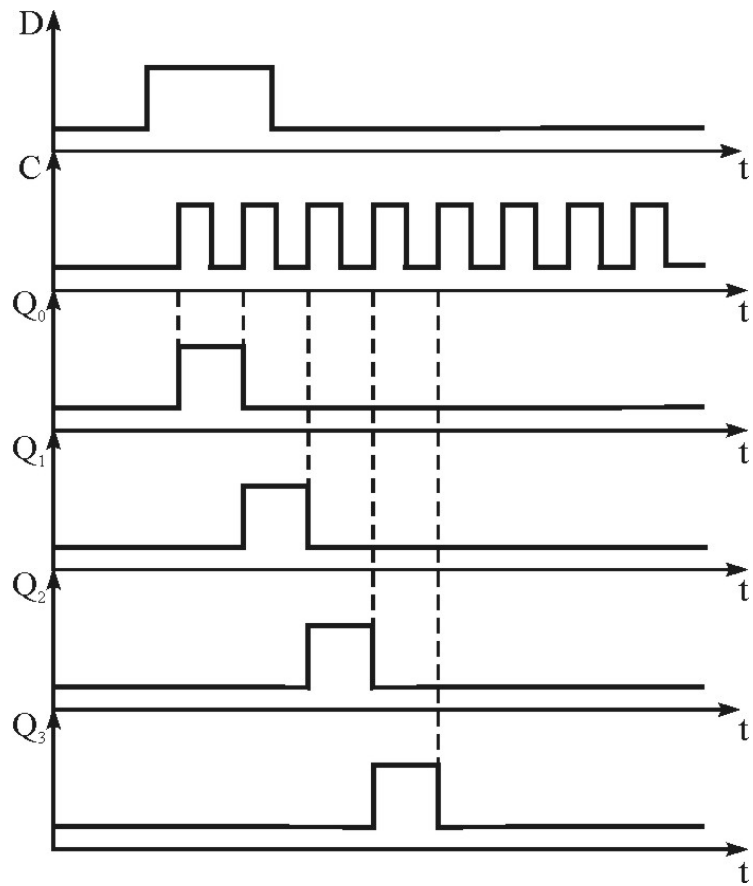


Рис. 2.34. Часова діаграма роботи регістру зсуву праворуч

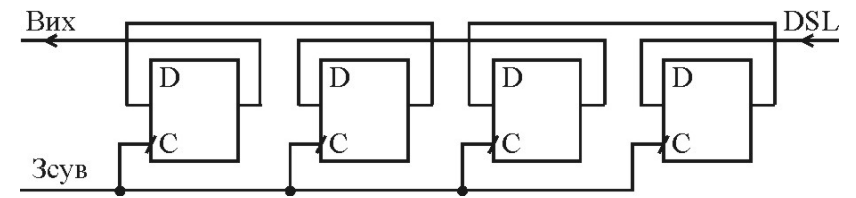


Рис. 2.35. Схема регістру зсуву ліворуч

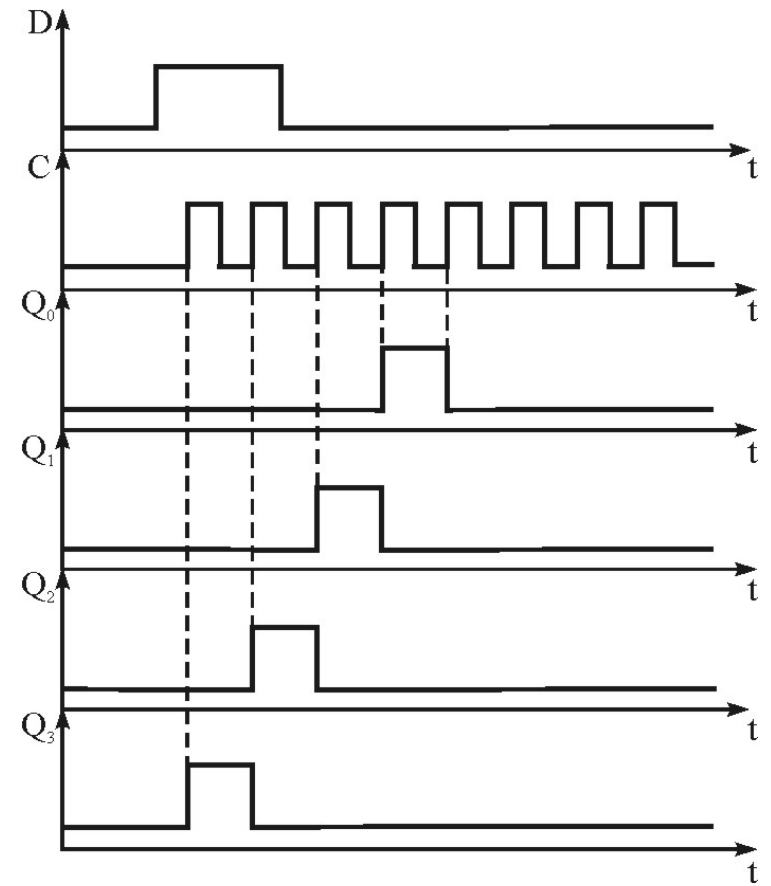


Рис. 2.36. Часова діаграма роботи регістру зсуву ліворуч

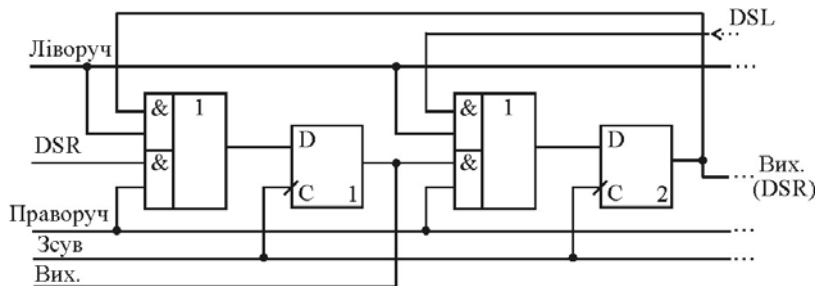


Рис. 2.37. Схема реверсивного регістру

Існують багатотактні зсуваючі регістри, котрі керуються декількома синхросигналами. Найбільш широко застосовуються двотактні регістри, побудовані на простих одноступінчатих тригерах, керованих рівнем.

Універсальний регістр

У серіях інтегральних схем ТТЛ, ТТЛШ існують багато варіантів регістрів. Зокрема, багаторежимні (багатофункціональні, універсальні) регістри, що виконують набір мікрооперацій.

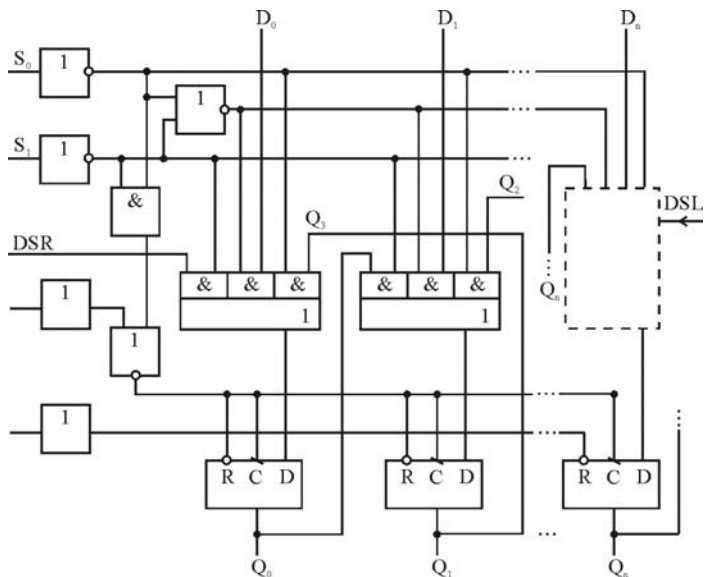


Рис. 2.38. Схема багаторежимного регістру

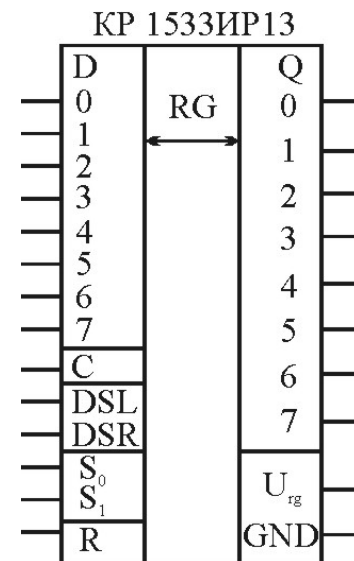


Рис. 2.39. Умовне графічне зображення універсального регістру КР 1533ІР13

Таблиця істинності для регістру КР 1533ІР13

Режим	Входи							Виходи						
Скидання	C	$\overline{R}$	SO	S1	DSR	DSL	D _n	Q ₀	Q ₁	...	Q ₆	Q ₇		
Зберігання	X	L	X	X	X	X	X	L	L	...	L	L		
Зсув		H	L	L	X	X	X	Q ₀	Q ₁	...	Q ₀	Q ₇		
Зсув ліворуч		H	H	L	X	L	X	Q ₁	Q ₂	...	Q ₇	L		
Зсув праворуч		H	H	L	X	H	X	L	Q ₀	...	Q ₆	Q ₆		
Паралельне завантаження		H	L	H	H	X	X	H	Q ₀	...	Q ₆	Q ₆		
		H	H	H	X	X	D _n	D ₀	D ₁	...	D ₆	D ₇		

На базі універсальних регістрів можна побудувати перетворювачі паралельного коду у послідовний і навпаки.

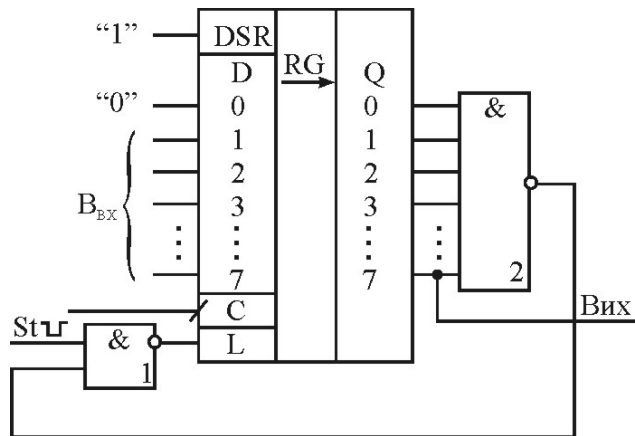


Рис. 2.40. Схема перетворювача паралельного коду у послідовний

2.3.4. Лічильники

Лічильник – це цифрова схема, котра під дією вхідних імпульсів переходить з одного стану в інший, фіксуючи тим самим число імпульсів, що надійшли на її вхід, у тому чи іншому коді.

Основною операцією лічильників є зміна вмісту лічильника на одиницю (іноді умовну). Якщо одиниця додається, то лічильник називається таким, що підсумовує та виконує операцію інкрементації. Якщо лічильник одиницю віднімає, то він називається від'ємним та виконує операцію декрементації. Якщо лічильник і підсумовує, і віднімає, то він називається реверсивним.

Головна характеристика лічильника – модуль (коефіцієнт перерахунку). Модуль визначає максимальне число можливих станів лічильника.

Класифікація лічильників

1. За методом роботи у часі:
 - 1.1. синхронні;
 - 1.2. асинхронні.
2. По засобу кодування:
 - 2.1. двійкові лічильники (лічильники з груповою структурою);
 - 2.2. двійково-кодовані лічильники з довільним модулем;
 - 2.3. лічильники з недвійковим кодуванням:
 - лічильники у коді Грея;
 - лічильники у коді «1 з n»;
 - 2.4. поліноміальні лічильники.

Загалом лічильники будуються на тригерах типу JK та типу T.

Двійкові лічильники

Двійковий лічильник – це лічильник, що має модуль перерахунку $M = 2^n$, де n – ціле число та має у стані рахування послідовні коди чисел на виходах.

Асинхронний підсумовуючий лічильник

$M=8$

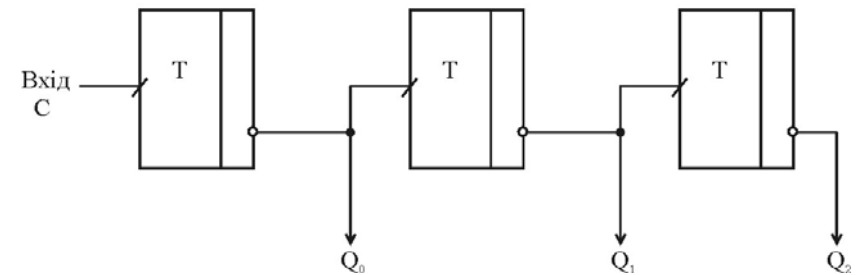


Рис. 2.41. Схема асинхронного підсумовуючого лічильника

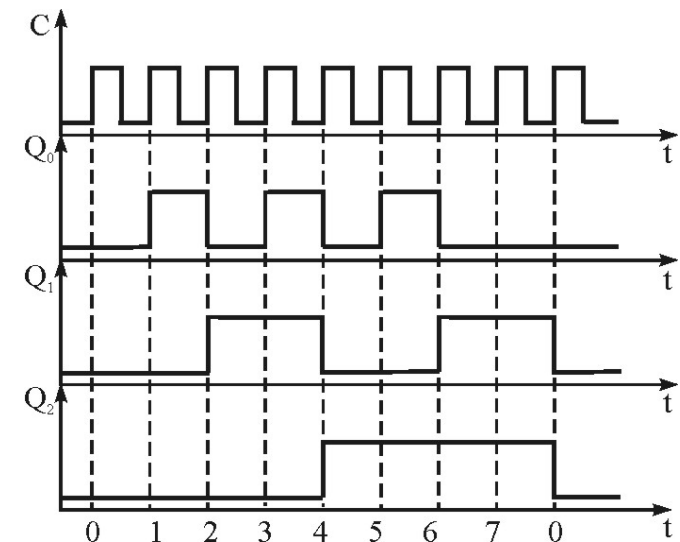


Рис. 2.42. Часова діаграма роботи асинхронного підсумовуючого лічильника

Асинхронний віднімаючий лічильник

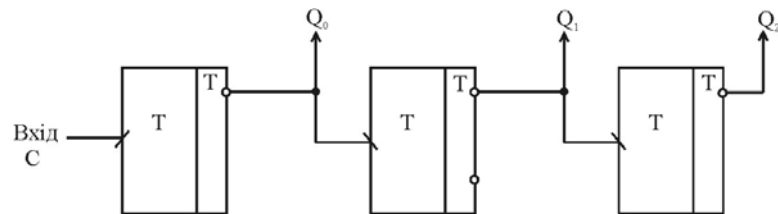


Рис. 2.43. Схема асинхронного віднімаючого лічильника

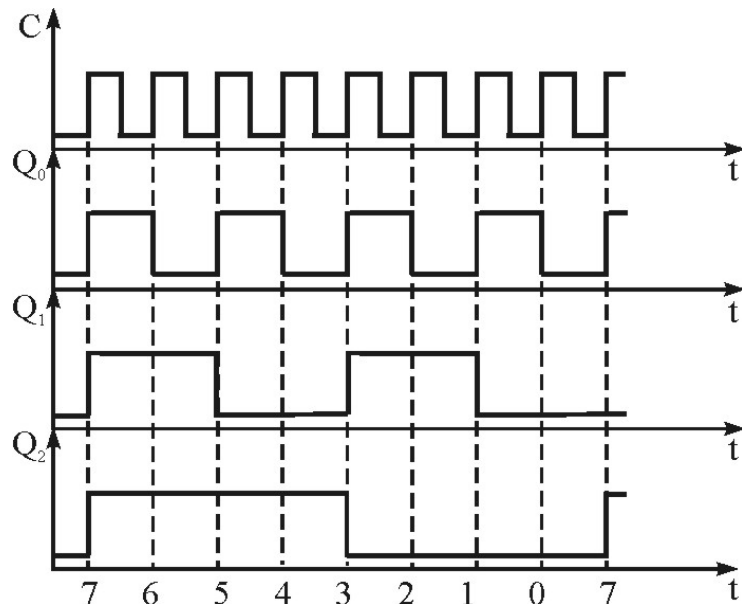


Рис. 2.44. Часова діаграма роботи асинхронного віднімаючого лічильника

Реверсивний лічильник

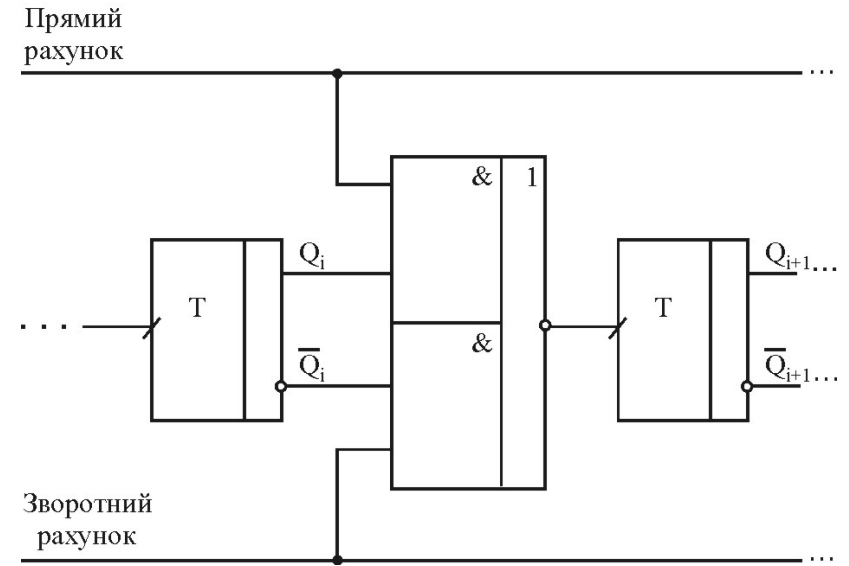


Рис. 2.45. Схема реверсивного лічильника

Всі здобуті схеми належать до асинхронних лічильників, оскільки в них кожен тригер перемикається вихідним сигналом попереднього, і ці перемикання відбуваються не одночасно.

Особливістю послідовних лічильників є виникнення у перехідних процесах неправдивих станів із-за затримок перемикання тригерів.

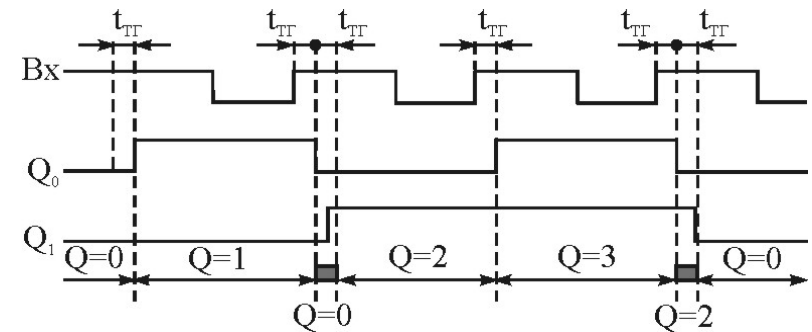


Рис. 2.46. Часові діаграми роботи послідовного двійкового лічильника

Синхронні лічильники з паралельним переносом мають максимальну швидкодію. У них відсутні такі неправдиві стани.
M=16

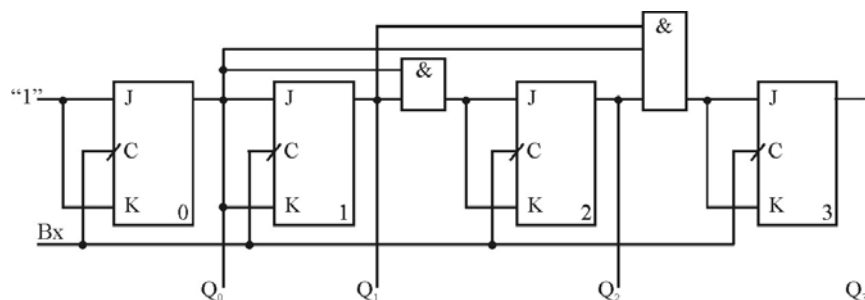


Рис. 2.47. Схема паралельного лічильника

Зі збільшенням числа розрядів реалізація таких лічильників ускладнюється, оскільки у схемі встановлюються вентиля з великим числом входів, таким чином зростає навантаження на виходи тригерів.

Розглянемо застосування лічильника для побудови конкретної схеми розділювача вхідної частоти на 100.

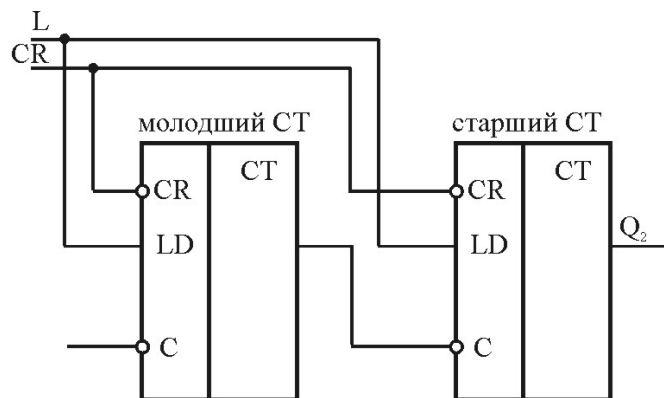


Рис. 2.48. Схема розділювача частоти на 100

Ця схема виробляє один синхроімпульс на виході на кожні 100 вхідних синхроімпульсів.

Входи:

L – завантаження;

CR – скидання;

C – синхроімпульс.

При CR = 0 лічильник встановлений у початковий стан.

Якщо CR = 1, LD = 0 і при цьому сигнал синхронізації не змінюється, то схема знаходиться у стані зберігання.

Якщо CR = 1 та LD = 0, лічильник збільшує свій стан на одиницю при кожному від'ємному фронті синхросигналу.

Перші 10 вхідних синхроімпульсів переполюють молодший лічильник, при цьому вихід Q1 змінюється з одиниці на нуль. Цей перепад викличе збільшення вмісту старшого лічильника на одиницю. Старший лічильник переполюється після 100 вхідних синхроімпульсів.

Частота виходу:

$$f_{вих} = \frac{f_{вх}}{100}.$$

Лічильники з груповою структурою

Для того, щоб здолати обмеження на побудову паралельних лічильників великої розрядності, використовуються схеми лічильників з груповою структурою. При цьому лічильник розбивається на групи, що зв'язані ланцюгами міжгрупового переносу.

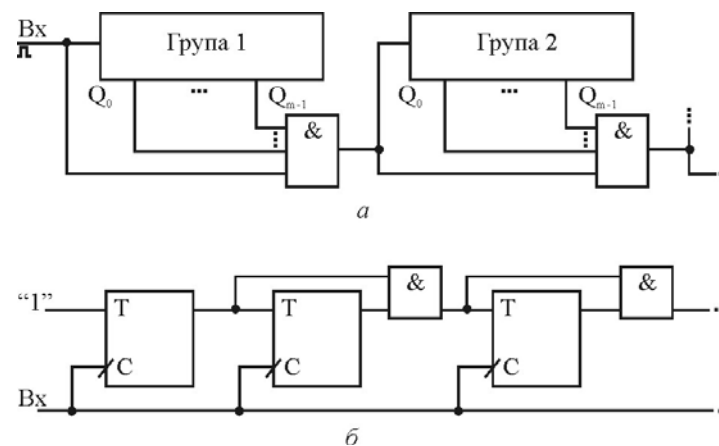


Рис. 2.49. Схеми лічильників групової структури (а, б)

Двійково-кодовані лічильники з довільним модулем

Двійково-кодовані лічильники з довільним модулем – це лічильники з модулем, нерівним цілій степені числа 2. Для кожної конкретної задачі розроблюється своя схема, при цьому можливе використання декількох способів побудови:

1. модифікація мікрозрядних зв'язків;
2. керування скиданням.

Побудова лічильника першим способом

Побудову лічильника першим способом проілюструємо прикладом для $M = 5$, почавши з таблиці:

Вихідний стан			Наступний стан			Функція збудження					
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	0	0	0	X	1	0	X	0	X

При знаходженні функції збудження тригерів застосована таблиця істинності, яка враховує часовий фактор. Маючи на увазі, що замість символу довільного сигналу X можна підставляти будь-яку змінну (0 або 1), з урахуванням таблиці запишемо: $J_2 = Q_1 Q_0$ (у стовпці J_2 залишена тільки одна одиниця), $J_1 = Q_0$, $J_0 = \overline{Q_2}$. Для функцій K_i ($i = 0, 1, 2$) виберемо варіанти з найбільшим числом констант, щоб менше навантажувати джерела сигналів.

Прийmemo, що $K_2 = 1$, $K_1 = J_1$ та $K_0 = 1$.

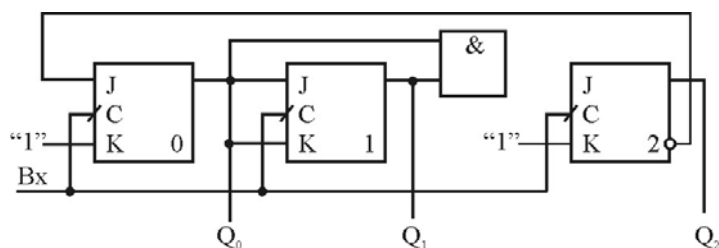


Рис. 2.50. Схема лічильника з модулем 5

У спроектованій схемі лічильника зайві стани виключені у тому понятті, що вони не використовуються при нормальному функціонуванні лічильника. Але при збоях або після подачі на схему напруги живлення у початку її роботи *можуть виникати зайві стани*. Тому корисно визначити поведінку схеми (автомата), у котрій виник зайвий стан. Маючи схему, можна повністю передбачити поведінку схеми у всіх можливих ситуаціях. Зробимо це для схеми лічильника з модулем 5.

Взявши кожен зайвий стан, знайдемо для нього функції збудження тригерів, які визначають їх переходи у наступний стан. При необхідності знайдемо таким же способом наступний перехід і т.д. Для взятого прикладу зайвими є стани 101, 110 та 111.

У стані 101 $Q_2 = 1$, $Q_1 = 0$ та $Q_0 = 1$. Знаючи функції збудження тригерів, знаходимо, що $J_0 = 0$, $K_0 = 1$, $J_1 = K_1$, $J_2 = 0$, $K_2 = 1$. Таким чином, тригери 0 і 2 скинуться, а тригер 1 перемкнеться у протилежний поточному стан та з зайвого стану 101 лічильник перейде у стан 010.

Аналогічним способом можна отримати результати для станів 100 та 111. У результаті зручно побудувати діаграму станів лічильника (граф переходів), в котрій врахований не тільки робочий цикл (його стани покажемо колами), але й поведінка автомата, що потрапив у невикористовуванні стани (ці стани показані прямокутниками). Така діаграма станів показана на рис. 2.51. З діаграми видно, що лічильник, який розглядається, має *властивість самозапуску* (самовідновлення після збою) – незалежно від вихідного стану він приходить у робочий цикл після початку роботи. Ця властивість є не у всіх схем. У деяких схемах автоматичний вхід у робочий цикл не відбувається.

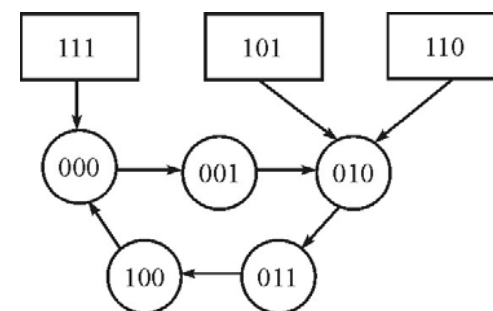


Рис. 2.51. Діаграма станів лічильника з модулем 5

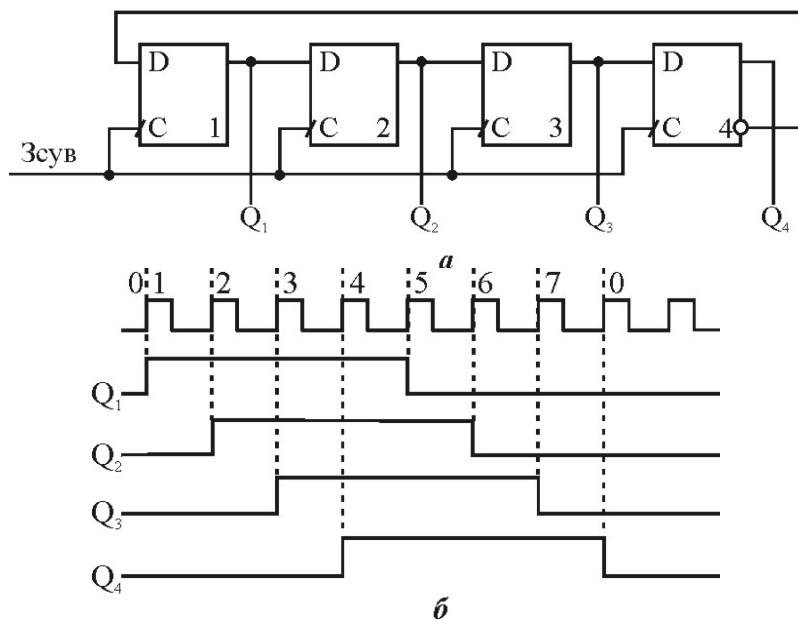


Рис. 2.53. Схема лічильника Джонсона (а) та часові діаграми його роботи (б)

Поліноміальні лічильники

Поліноміальні лічильники – це зрушуючі регістри з лінійними зворотними зразками, генератори псевдовипадкових послідовностей. Використовуються у пристроях тестового діагностування цифрових пристроїв, для вирішення математичних задач методом Монте-Карло, при моделюванні систем з урахуванням випадкового розкиду їх параметрів і т.і.

2.4. Електронна пам'ять

2.4.1. Класифікація й система параметрів запам'ятовуючих пристроїв

Пам'ять – це функціональна частина мікропроцесорної системи, яка використовується для зберігання оброблюваних даних, результатів операцій, що виконуються, для зберігання інформації про стан процесора і т.д. [20-25]

Мікросхеми пам'яті постійно удосконалюються у сфері схемотехніки та в області їх архітектури. Загальні параметри запам'ятовуючих пристроїв часто знаходяться у протиріччі, тому сучасним системам пам'яті притаманна багатоступінчата ієрархічна структура.

Можна виділити такі рівні:

1. регістрові запам'ятовуючі пристрої (знаходяться у складі процесора або інших пристроїв);
2. КЕШ-пам'ять – використовується для зберігання скопійованої із загальної пам'яті інформації для збільшення продуктивності роботи системи;
3. загальна пам'ять: оперативна, постійна, напівпостійна;
4. спеціалізовані види пам'яті;
5. зовнішня пам'ять.

Параметри запам'ятовуючих пристроїв

1. Інформаційна ємність – максимально можливий об'єм інформації, що зберігається.
2. Ширина вибірки (розрядність) – кількість розрядів, що записуються до пам'яті або вибираються з пам'яті за одне звернення.
3. Організація запам'ятовуючого пристрою – це добуток числа слів, які зберігаються, на їх розрядність.
4. Швидкість. Характеризується часом зчитування та часом запису.
5. Споживана потужність.
6. Енергонезалежність – здатність зберігати інформацію при відхиленні живлення.
7. Час доступу – це затримка появи дійсних даних на виході схем пам'яті відносно початку циклу читання.

Будь-яка схема пам'яті має такі сигнали:

1. n-розрядний вхід адреси;

2. m -розрядний вхід даних;
3. m -розрядний вихід даних;
4. сигнал читання запису;
5. сигнал вибору мікросхеми.

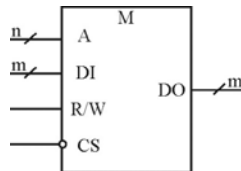


Рис. 2.54. Схема пам'яті

Класифікація запам'ятовуючих пристроїв

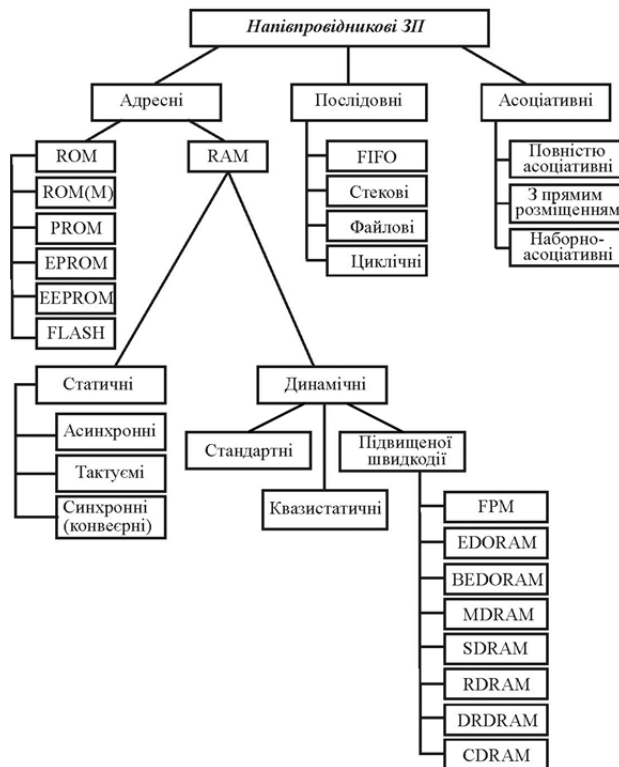


Рис. 2.55. Класифікація запам'ятовуючих пристроїв

2.4.2. Побудова оперативної пам'яті

Основна або оперативна пам'ять використовується для оперативного обміну інформацією (командами та даними) між процесорами, зовнішньою пам'яттю та периферійними пристроями.

Вимоги до оперативної пам'яті:

1. великий обсяг;
2. швидкодія та продуктивність;
3. висока надійність зберігання даних.

Найбільший об'єм пам'яті зберігає DRAM, що будується на базі конденсаторів), у нього нижче вартість та вище щільність упаковки. DRAM вимагає процесу регенерації (постійне оновлення інформації).

Переваги DRAM: найкраще поєднання високої щільності упаковки та ціни.

Недоліки DRAM: невисока швидкодія.

Для підвищення швидкодії використовують SRAM (елементною базою є тригери). У SRAM висока ціна, тож невелика степінь упаковки (відносно DRAM).

Для підвищення швидкодії оперативної пам'яті використовують:

1. конвеєр (pipeline) – дані передаються частинами одночасно і на виході збираються у єдине ціле;
2. пакетний цикл (burst cycle) – фаза адреси існує тільки у початку циклу, а наступні дані передаються без неї за рахунок автоматичної зміни адреси.

SRAM (статична оперативна пам'ять)

Статична пам'ять (КЕШ-пам'ять) будується за дворівневою схемою:

1. КЕШ першого рівня (КЕШ 1L). Вбудовується у процесор та працює на його частоті.
2. КЕШ другого рівня (КЕШ 2L). Загалом розташовується на системній платі (може розташовуватись на одній платі з процесором).
3. КЕШ третього рівня (КЕШ 3L). Розташовується на системній платі.

КЕШ-пам'ять може бути організована:

1. Роздільний КЕШ (під команди і під дані окремо).
2. Загальний КЕШ (разом команди і дані).

Існує три види архітектури КЕШ-пам'яті (асоціативна пам'ять):

1. КЕШ прямого відображення.
2. Наборно-асоціативний КЕШ.
3. Повністю асоціативний КЕШ.

По способу запису даних існують 2 алгоритми запису:

1. Наскрізний запис (write through-WT). При WT запис даних відбувається одночасно і у КЕШ, і в основну пам'ять.

Недоліки алгоритму: при кожній операції запису доводиться очікувати закінчення більш повільного запису в основну пам'ять. Рішення проблеми: застосовується відкладена буферизація запису (дані в основну пам'ять записуються через буфер типу FIFO під час вільних тактів шини).

Перевага алгоритму: проста реалізація.

2. Зворотний запис (write back-WB). Запис даних в основну пам'ять відбувається після переповнення Кеш-пам'яті.

Недоліки алгоритму: більш складна реалізація, потребує обробки додаткових інтерфейсних сигналів, у багатопроцесорних системах збільшується потік даних на системній шині при передачі від одного процесора до іншого.

Перевага алгоритму: висока ефективність. Кількість операцій запису на основній шині зменшується.

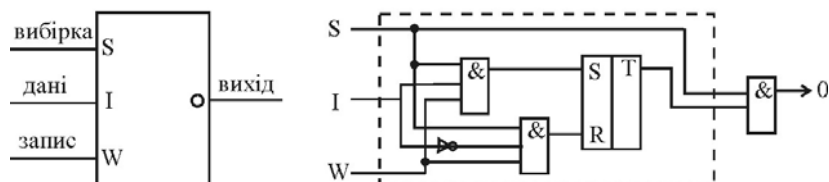


Рис. 2.56. Схема «Базова комірка пам'яті»

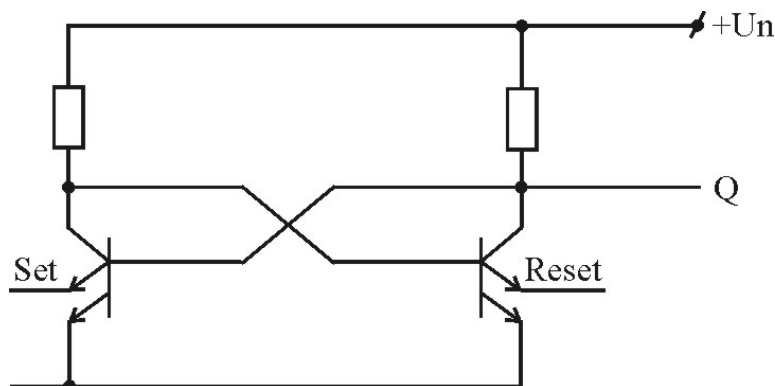


Рис. 2.57. Схема «Базова комірка пам'яті на біполярних VT»

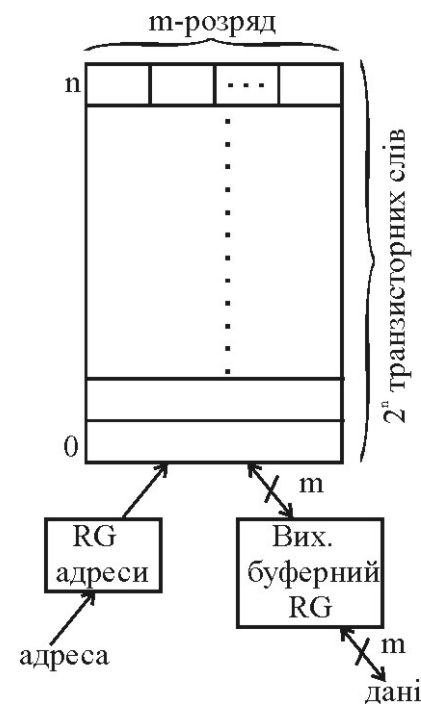


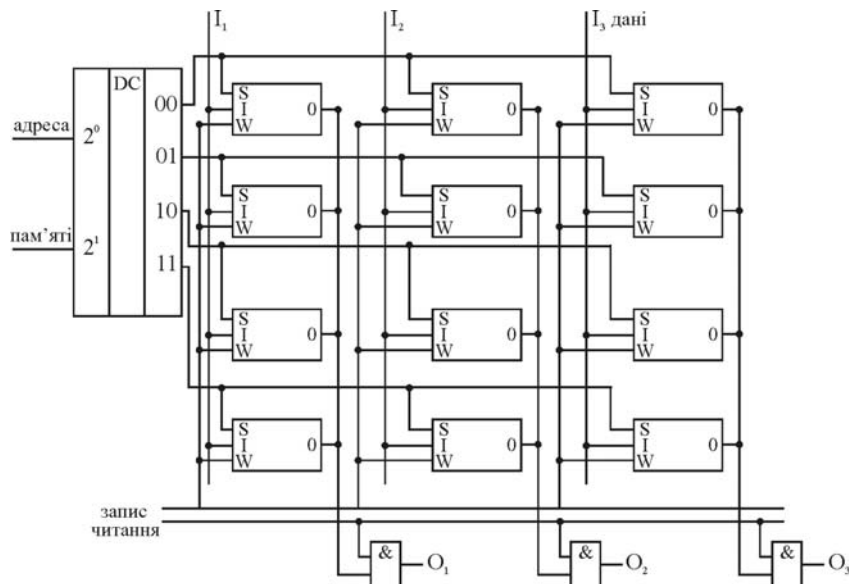
Рис. 2.58. Структурна схема організації статичної пам'яті

Види статичної пам'яті

1. *Асинхронна SRAM*. Головна особливість – в асинхронних запам'ятовуючих пристроях сигнали керування можуть задаватися як імпульсами, так і рівнями логічних сигналів.
2. *Синхронна SRAM*. Оптимізована під виконання операцій обміну. Використовувані сигнали тільки імпульсні.
3. *Конвеєрна SRAM*. Це удосконалення синхронної SRAM. Конвеєром є додатковий внутрішній регістр даних, який дозволяє отримувати дані без затримки.

Запам'ятовуючі пристрої (ЗП) можна організувати за такими видами структури:

1. 2D – двомірна матриця ЗП;
2. 3D – тримірна матриця ЗП;
3. 2DM – двомірна модифікована ЗП.



Види динамічної пам'яті

Мікросхеми EDO застосовні як у основній пам'яті, так і у відео-пам'яті графічних адаптерів.

2.4.3. Постійна пам'ять

Flash Memory відноситься до класу EEPROM, але використовує особливу технологію побудови запам'ятовуючих комірок.

Flash Memory має високу щільність упаковки, енергонезалежне зберігання, електричне стирання та запис, низьке споживання, високу надійність і невисоку вартість.

Розрізняють три покоління Flash Memory. Останні розробки флеш-пам'яті використовують нову технологію побудови запам'ятовуючих комірок: у одній комірці можна зберігати два біти інформації замість одного.

Програмовані логічні матриці

ПЛМ поділяються на:

- матриці добутків;
- матриці сум.

У ПЛМ, на відміну від ROM, програмуються не тільки дані, але й адреси.

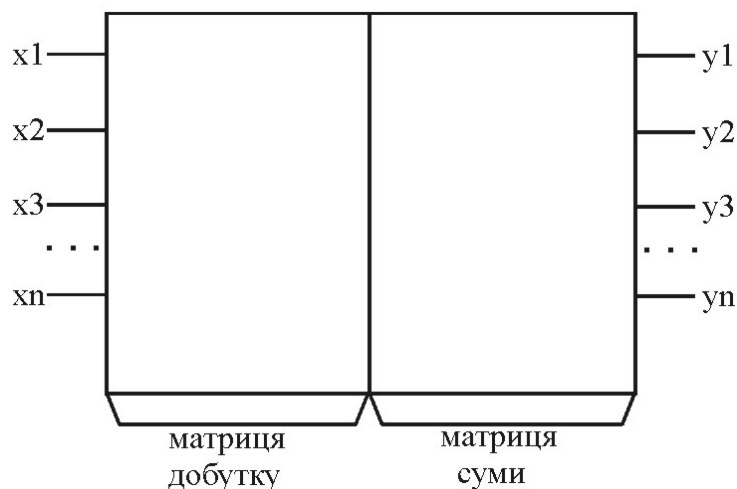


Рис. 2.60. Структура ПЛМ

ROM та ПЛМ розрізняються за системою адресації, за розподіленням інформаційних копій, за можливістю одночасного опитування декількох перехідних функцій.

У ПЛМ здійснюється надлишкова вільна адресація, а у ROM – жорстка ненадлишкова адресація (тобто одній адресі відповідають одні дані).

Число елементів у ПЛМ менше у 3-10 разів.

ПЛМ використовують у випадку, коли немає необхідності здійснювати дешифрацію всіх можливих комбінацій, що надходять на схему.

Різні адреси можуть адресувати різні області даних, одні й ті ж області даних або жодної.

Спрощене зображення схем ПЛМ

Схеми ПЛМ достатньо громіздкі, тому зображувати їх бажано з максимально можливими спрощеннями. Використовуються зображення, у яких багатовходові елементи І, АБО умовно замінюються одновходовими.

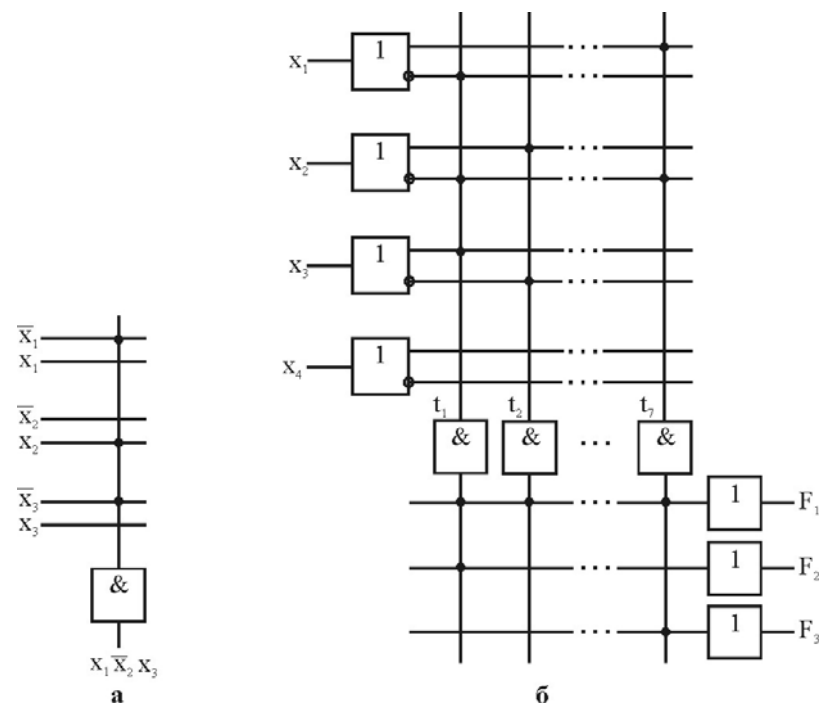


Рис. 2.61. Спрощене зображення схеми багатовходового логічного елемента (а) та ПЛМ (б)

Єдина лінія входу таких елементів перетинається з декількома лініями вхідних змінних. Якщо перетин відмічений точкою, ця змінна подається на вхід елемента, що зображується, якщо точки немає, то змінна на елемент не подається. Приклад багатовходового кон'юнктора із вхо-

дами $\overline{x_1 x_2 x_3}$ показаний на рис. 2.60, а. Схема рис. 2.60, а в новому спрощеному зображенні має вид, що наведений на рис. 2.60, б.

Відтворення дужкових форм перемикаючих функцій

За допомогою ПЛМ можна відтворити не тільки диз'юнктивні нормальні форми перемикаючих функцій, але й дужкові форми. У цьому випадку спочатку отримують вираз у дужках, а потім вони розглядаються як аргументи для отримання остаточного результату. У схемі з'являються зворотні зв'язки – проміжні результати з виходу знову подаються на входи, логічна глибина схеми збільшується, затримка вироблення результату зростає. Нехай, наприклад, необхідно отримати функцію:

$$F = x_1 x_2 \vee (x_1 x_2 \vee \overline{x_2} \overline{x_1}) x_3.$$

Для цього слід застосувати включення ПЛМ за схемою (рис.2.62).

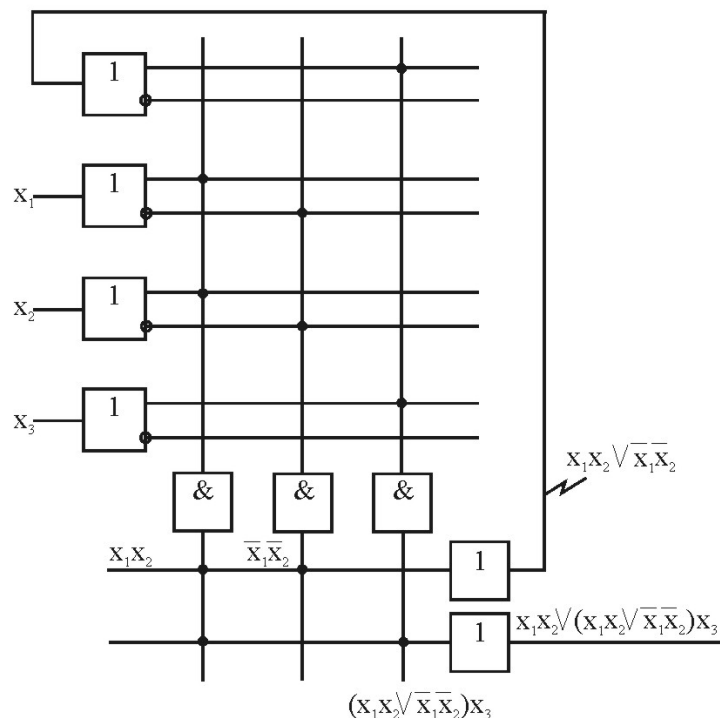
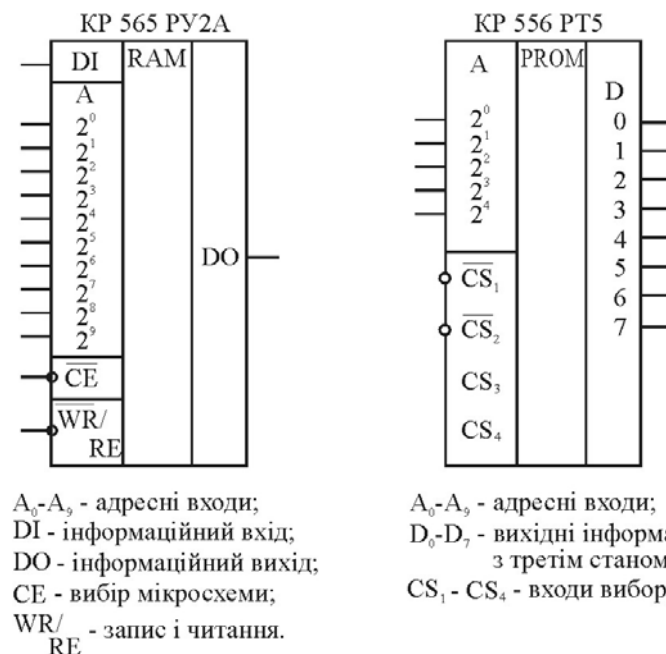


Рис. 2.62. Схема включення ПЛМ при відтворенні дужкових форм перемикаючих функцій

Послідовні ЗП

1. FIFO буфер працює за принципом «перший ввійшов-перший вийшов», тобто інформація записується на групу запам'ятовуючих елементів і зчитується у її кінці у порядку надходження.
2. Стек – послідовний вид пам'яті, у якому дані зчитуються у порядку, зворотному запису. Стекова пам'ять використовується у системі переривань комп'ютерних систем.
3. Файлові ЗП. Діють за принципом FIFO. Дані на виході з'являються з затримкою, рівній кількості запам'ятовуючих елементів у схемі.
4. Циклічні ЗП (принцип дії як у файлових ЗП). Дані на виході з'являються з затримкою, рівній ємності схеми пам'яті.



2.5. Релаксаційні пристрої

2.5.1. Система синхронізації

Синхронізація заснована на забезпеченні сигналів керування з періодичним сигналом (тактова послідовність).

Система синхронізації – це сукупність засобів, які забезпечують правильну передачу інформації від однієї регістрової структури до іншої безпосередньо або через комбінаційні схеми.

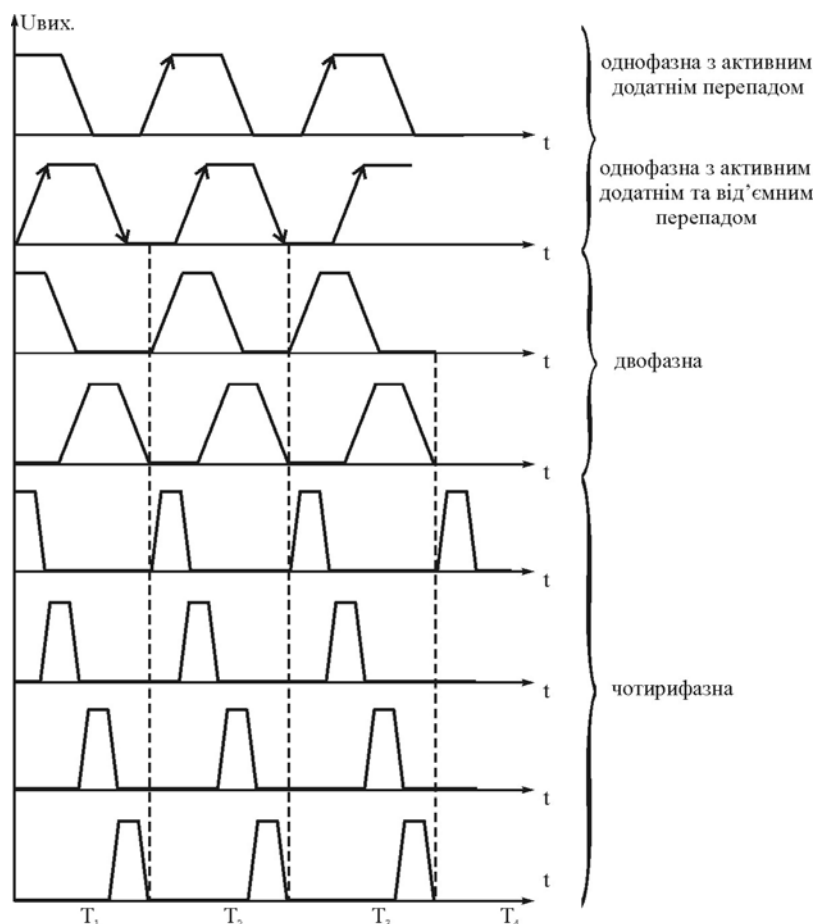


Рис. 2.63. Системи синхронізації

У залежності від кількості фаз синхронізації, які використовуються протягом одного такту, розрізняють:

- однофазні (інформаційні входи регістрових структур стробуються у один і той же момент часу протягом такту);
- двофазні (стробування відбувається у різні моменти часу протягом такту);
- багатофазні системи синхронізації.

Синхронізація роботи ЕОМ – це точне часове узгодження роботи всіх частин ЕОМ для забезпечення виконання заданих операцій.

Система синхронізації сумісно з дешифратором коду операції складають основу пристроїв керування.

Конкретна побудова системи синхронізації залежить від архітектури процесора та його елементної бази.

Вузли системи синхронізації виконуються або у вигляді окремих мікросхем, або у складі великої інтегральної схеми (ВІС) керування або процесора.

2.5.2. Генератори та формувачі імпульсів

Тригер Шмітта

Тригер Шмітта – це пристрій з двома стійкими станами, одним входом та одним виходом, який керується як цифровими, так і аналоговими сигналами. [26-28]

Тригер Шмітта має додатний зворотний зв'язок (вхідний сигнал та напруга зворотного зв'язку знаходяться у фазі), глибина якого розрахована так, щоб отримати вигляд петлі гістерезису.

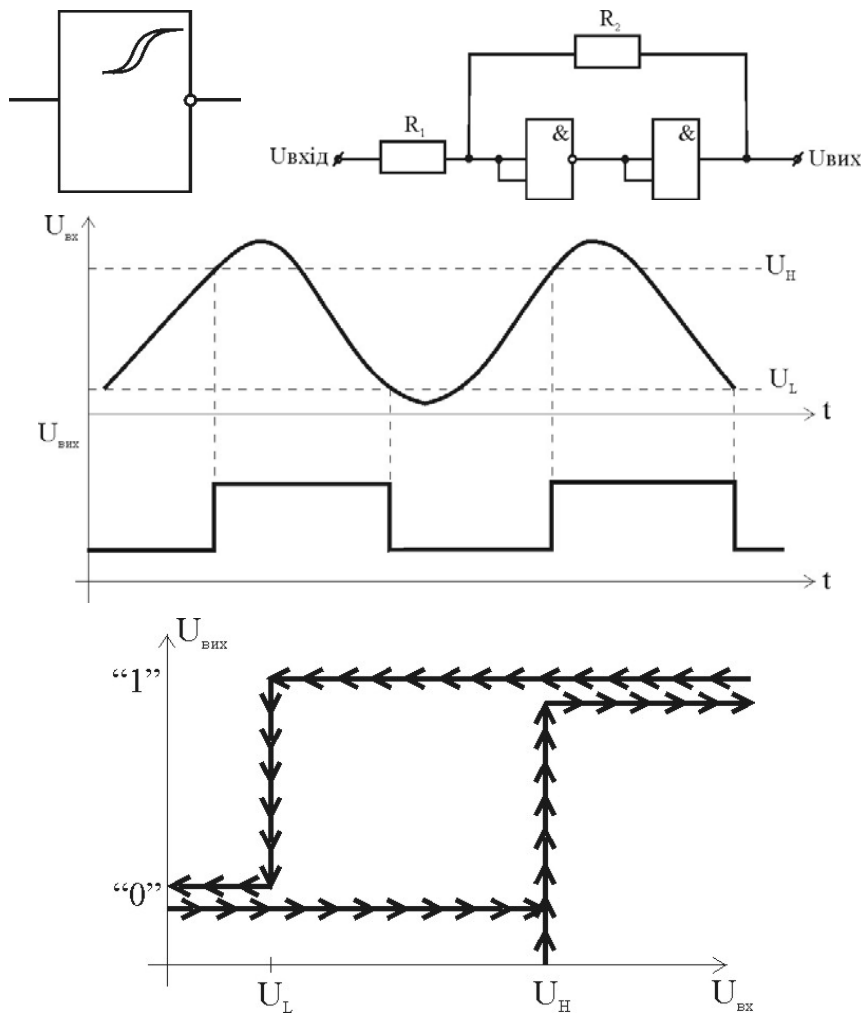


Рис. 2.64. Тригер Шмітта. Умовне графічне позначення, схема на ЛЕ та діаграма роботи

Генератор поодиноких імпульсів

Генератор поодиноких імпульсів (мультивібратор, що чекає) – це схема, що виробляє імпульс певної тривалості при короткочасному сигналі на вході.

Після вироблення імпульсу схема переходить в режим очікування. Генератори імпульсів відносяться до групи релаксаційних пристроїв. Розглянемо конкретні схеми ТТЛ-технології.

Серії 133-, 155-, 533-, 555-, 1533 АГЗ

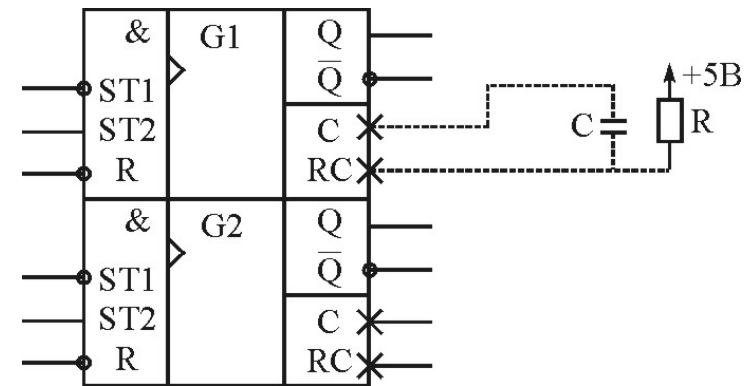


Рис. 2.65. Два одновібратори з перезавпуском

C, RC – нелогічні входи;

RC – ланцюжок, що задає тривалість вихідного імпульсу.

Кожен генератор G має два стартових входи – ST1, ST2 та вхід обнуління R, які об'єднані логікою 3І.

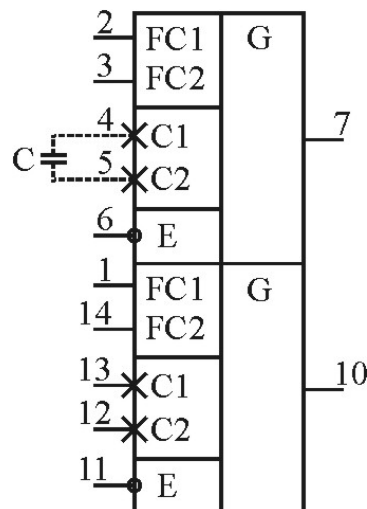
Можливий випуск у трьох варіантах:

1. $\overline{ST1} = 0$, $\overline{R} = 1$. Вихідний імпульс генерується по додатному фронту імпульсу ST2.
2. $\overline{ST2} = \overline{R} = 1$. Вихідний імпульс формується по додатному фронту на вході ST1.
3. $\overline{ST1} = 0$, $\overline{ST2} = 1$. Запуск відбудеться по додатному фронту на вході $\overline{R}$.

Для примусового закінчення дії вихідного імпульсу на $\overline{R}$ необхідно подати 0.

Чим більше значення опору і ємності, тим тривалість вихідного імпульсу більше.

Два керованих мультивібратори



ІС з двох мультивібраторів, кожен з яких виробляє послідовність прямокутних імпульсів.

FC1 та FC2 – це входи для подачі напруги для регулювання за частотою.

Входи C1 та C2 використовуються для підключення зовнішнього резонатора або конденсатора.

E – вхід дозволу.

Якщо E = 0, то реалізується режим генерації. Якщо E = 1, то генерація заборонена.

Деякі типи генераторів також наведені у Додатку 4.

Глава 3. НАВЧАЛЬНИЙ ПРОЕКТ

Підготовка інженерів-схемотехніків включає як засвоєння теоретичного матеріалу та вміння розв'язувати технічні задачі, так і обов'язкове набуття навичок практичної реалізації теоретичних розробок. Дуже важливим є вміння втілювати рішення у проектні розробки, що готові до практичного впровадження [1-5].

Ця мета досягається шляхом проведення студентами повного циклу розробки, починаючи з прийняття рішення щодо поставленого навчального завдання й завершуючи навчальним проектом, що включає всі основні елементи технічного проекту.

Навчальне завдання до студентської проектної роботи має бути функціонально зрозумілим та мати чітке практичне спрямування.

3.1. Зміст та мета роботи

Одною з важливих обов'язкових функцій інформаційно-обчислювальних систем є перетворення аналогових сигналів, що надходять від датчиків, у форму, придатну для їхнього безпосереднього виміру та подальшого використання у системі.

Ця функція реалізується спеціальними блоками або підсистемами.

Мета роботи – розробка функціонально закінченої підсистеми перетворення аналогового сигналу у дискретний сигнал заданого типу, використовуючи мінімально необхідний асортимент електронних вузлів і блоків.

3.2. Загальні положення

Характеристиками аналогового сигналу від датчика є:

– амплітудні показники (безпосередньо амплітуда, а також її екстремальні значення, величина модуля, миттєві значення – вибірка й ін.);

- часові показники (частота або період, тривалість імпульсу або паузи між імпульсами й ін.);
- фазові показники.

Дана робота обмежується амплітудними й часовими характеристиками аналогового сигналу.

Первинне перетворення аналогового сигналу включає:

- одержання напруги по заданому струму датчика або одержання струму по заданій напрузі;
- підсилення (інверсне й неінверсне) струмів і напруги;
- підсумовування;
- обмеження й детектування сигналів;
- порівняння сигналу із заданим рівнем або для декількох сигналів – один з одним;
- формування із вхідних сигналів – сигналів заданої форми;
- генерація сигналів і т.д.

Вторинне перетворення аналогового сигналу включає:

- перетворення аналогового сигналу в цифровий код (двійковий, двоїчно-десятковий і ін.);
- перетворення аналогового сигналу в послідовність імпульсів, довжина якої пропорційна деякому параметру аналогового сигналу та інші види.

Отримані сигнали можуть бути безпосередньо виміряні або організовані тим або іншим способом для формування потоків даних, що надходять на обчислювальний конвеєр. З погляду електроніки, спроектована підсистема повинна бути виконана на основі змішаної схемотехніки, що включає як аналогові, так і цифрові й цифро-аналогові вузли.

У початкових даних задаються характер або форма сигналу, що надходить, діапазон вимірюваних амплітуд, параметри джерела сигналу (внутрішній опір і ін.). (Додаток 8) Для імпульсного сигналу задаються тривалість імпульсу, період або шпаруватість імпульсів, вид індикації (наприклад, світлодіодна, семісегментна), кількість розрядів, що індукуються і (або) необхідна точність вихідної інформації.

3.3. Варіанти типових завдань

Тема 1.

Завдання. Спроектувати обладнання для цифрового виміру амплітуди аналогового сигналу [9-14].

Для одержання результату виміру у вигляді двійкового коду найпростіше використати аналого-цифровий перетворювач (АЦП).

Основними характеристиками АЦП є:

- роздільність;
- точність;
- швидкодія.

Роздільність визначається розрядністю й максимальним діапазоном вхідної напруги.

Точність визначається абсолютною похибкою повної шкали й нелінійністю перетворення.

Швидкодія визначається часом перетворення.

В АЦП використовується спосіб виміру амплітуди методом послідовного підрахунку.

Існує інший еквівалентний метод. При цьому сигнал вибірки подають на один із входів компаратора, у той час як на інший вхід подають вхідний сигнал цифро-аналогового перетворювача (ЦАП) лічильника, що перетворює коди імпульсів тактового генератора. При рівності обох сигналів рахунок зупиняється. Вихідним сигналом служить код лічильника, який можна розглядати як безпосередній результат виміру й відображати тим або іншим способом як перетворений аналоговий сигнал. Для побудови схеми потрібне знання схемотехніки тактових генераторів, лічильників, а також знання мікросхеми ЦАП, а також способи їх включення.

Ще один спосіб виміру амплітуди можна використовувати в тому випадку, якщо вихідний аналоговий сигнал наведений у вигляді послідовності імпульсів. У цьому випадку необхідно вимірювати частоту проходження імпульсів, тобто число імпульсів за секунду. Для цього необхідні лічильник і таймерна (стробуюча) схема.

Як приклад, на рис. 3.1 показано можливий варіант функціональної схеми приладу.

Вхідний сигнал після підсилення ПС, детектування Д, формування Ф і вибірки Виб подається на один із входів компаратора К. Вибірка здійснюється сигналом «ПУСК» П, який обнулює лічильник і розблокує генератор Г тактових імпульсів. Код лічильника Ліч перетворюється в аналоговий сигнал ЦАП і подається на інший вхід компаратора. Після спрацювання компаратора вибірка скидається й зупиняється підрахунок шляхом блокування генератора. Результат висвітлюється на індика-

торі Інд. Пускову схему можна виконати на основі RS-тригера й набору комбінаційних вентилів.

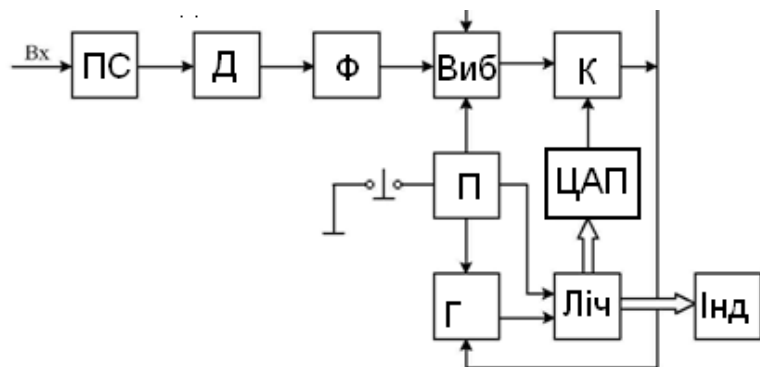


Рис. 3.1. Функціональна схема приладу 1

Тема 2.

Завдання. Спроекувати обладнання для цифрового виміру тривалості імпульсного сигналу або тривалості паузи.

Для виміру або представлення у цифровій формі тривалості імпульсу, тривалості паузи між імпульсами й періоду проходження імпульсів, заповнюють відповідний часовий інтервал послідовністю коротких імпульсів тактового генератора й перелічують кількість імпульсів у цій послідовності.

Для цього необхідно сформувати пару сигналів, що збігаються з початком і закінченням рахунку (старт-стопна комбінація) і побудувати просту комбінаційну схему для комутації цих сигналів. Наприклад, для виміру тривалості імпульсу, короткий стартовий імпульс, за часом відповідний фронту аналізованого імпульсу, повинен обнулити лічильник, перед тим записавши його вміст у буферний регістр, і забезпечити подачу імпульсів тактового генератора на вхід лічильника. Імпульс, відповідний зрізу аналізованого імпульсу, повинен обірвати підрахунок (наприклад, шляхом блокування сигналів тактового генератора). Ці прості методи будуть роз'яснені пізніше під час обговорення принципових схем конкретних задач. Функціональна схема приладу показана на рис. 3.2.

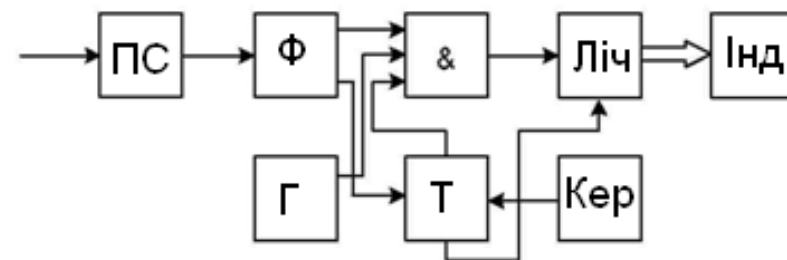


Рис. 3.2. Функціональна схема приладу 2

Передбачається одноразовий вимір з пульта керування Кер шляхом, наприклад, натискання кнопки. Тригерна схема або одиночний RS-тригер Т забезпечує обнуління лічильника й розблокування генератора. Закінчення імпульсу змінює стан тригера й блокує генератор.

Тема 3.

Завдання. Спроекувати обладнання для цифрового виміру частоти проходження імпульсів.

Для виміру або представлення у цифровій формі частоти проходження імпульсів необхідно, як і при вимірі амплітуди, підрахувати число імпульсів в одиницю часу (секунду). Схемотехнічна основа цієї процедури – лічильник і таймер, вже розглянуті вище.

Функціональна схема приладу показана на рис. 3.3.

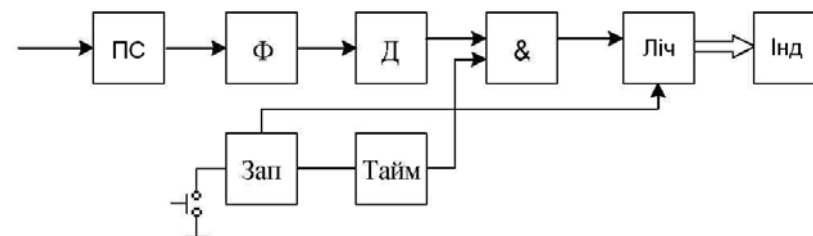


Рис. 3.3. Функціональна схема приладу 3

Схема запуску Зап використовується для обнуління лічильника й старту формування часового інтервалу таймером Тайм. Вимір може бути як одноразовим, так і періодичним.

3.4. Типові перетворювачі аналогового сигналу

Попередня обробка аналогового сигналу проводиться за допомогою блоків на основі операційного підсилювача (ОП). Схемотехніка типових блоків показана на рис. 3.4.

Схема на рис. 3.4 а являє собою інвертуючий підсилювач напруги з коефіцієнтом передачі, рівним $(-R_2/R_1)$, причому R_1 є внутрішнім опором джерела сигналу.

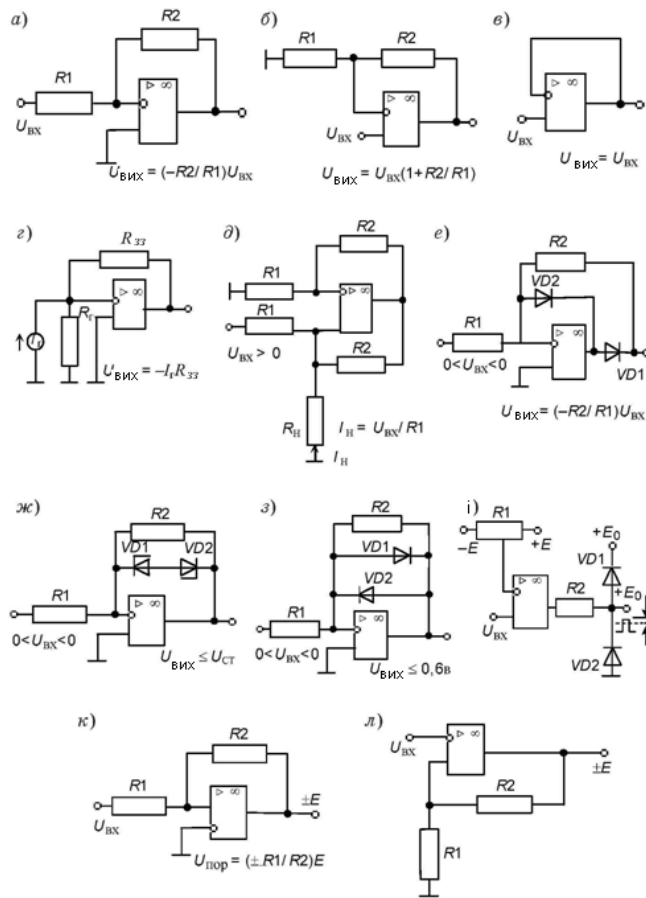


Рис. 3.4 Схемотехніка типових блоків

У схемі на рис. 3.4 б неінверсний коефіцієнт передачі визначається як величина, зворотна глибині від'ємного зворотного зв'язку.

Схема на рис. 3.4 в є окремим випадком попередньої схеми й називається повторювачем напруги.

У схемі на рис. 3.4 г вихідна напруга утворюється вхідним струмом, а резистор зворотного зв'язку R_{33} виконує роль навантаження. Крім того повинна виконуватись умова $R_{\Gamma} \gg R_{33}$ і $R_{\Gamma} \gg R_{\text{вх}}$ ($R_{\text{вх}}$ – вхідний опір ОП).

У схемі на рис. 3.4 д вихідний струм визначається із вхідної напруги. Помітимо, що в схемі присутній позитивний зворотний зв'язок, глибина якого $(R_1+R_{\text{н}})/(R_2+R_{\text{н}})$ має бути менша за глибину від'ємного зворотного зв'язку $R_1/(R_2+R_1)$. У протилежному випадку можна очікувати самозбудження підсилювача.

У схемі детектора на рис. 3.4 е зі знакозмінної вхідної напруги виділяються позитивні імпульси напруги. Діод VD2 використовується для зниження коефіцієнта передачі майже до нуля при позитивній вхідній напрузі.

Схеми на рис. 3.4 ж, з являють собою обмежники сигналу з використанням двох стабілітронів з напругою U , включених послідовно, або двох кремнієвих діодів у зустрічно-паралельному включенні.

Схеми на рис. 3.4 и, к, л, які іноді називають тригерами Шмитта, використовуються як компаратори й дискримінатори рівня вхідної напруги.

Основні параметри деяких часто використовуваних ОП наведені у табл. 3.1.

Як впливає з таблиці, ці параметри можуть суттєво різнитися. Можна відзначити швидкодіючі ОП (КІ54УД3, КР544УД2), ОП із гранично низьким споживанням струму (КІ40УД12), ОП з високим вхідним опором (КРІ40УД3 і ін.). Таким чином, вибір ОП необхідно ретельно зіставляти з умовами завдання на проектування.

Для вибірки й запам'ятовування миттєвого значення аналогового сигналу в процесі перетворення його в цифрову форму використовуються прилади вибірки-зберігання, що являють собою аналогові запам'ятовувальні пристрої. Звичайно такі прилади являють собою високоомні інтегруючі ОП й кілька ключів на основі польових транзисторів. На рис. 3.5 показана мікросхема вибірки-зберігання типу КР1100СК2, що містить два ОП із вхідним опором більш 10 МОм і ключову схему керування.

Таблиця 3.1

Основні параметри ОП

Мікросхема	$K_U, 10^3$	$U_{ЗН}, мВ$	$I_{ВХ}, на$	$f_1, МГц$	$V_U, В/мкс$	$\pm U_{ДЖ}, В$	$U_{ВІХ}, В$	$I_{СПС}, мА$
КР140УД1	2	10	8103	5	0,5	12,6	6	8
КР140УД5	1	5	104	14	6	12,6	6,5	12
К140УД7	50	6	200	0,8	1	15	11,5	2,8
КР140УД8	50	20	0,2	1	5	15	10	2,8
К140УД12	200	5	10	1	0,3	(1,5...18)	1...10	0,1
КР140УД17	200	0,1	10	0,4	0,1	15	12	5
К153УД3	35	5	350	1	2	12,6	10	8
КР544УД1	10	9	200	10	80	15	12	7
КР544УД1	50	30	0,15	1	5	15	10	3,5
КР544УД2	20	50	0,6	15	20	15	12	7
КР574УД2	100	25	1,0	3	25	15	10	10

У табл. 3.1 наведені значення:

- K_U – коефіцієнта підсилення напруги;
- $U_{ЗН}$ – напруги зсуву нуля;
- $I_{ВХ}$ – вхідного струму;
- f_1 – частоти одиничного посилення;
- V_U – швидкості наростання вхідної напруги;
- $U_{ДЖ}$ – напруги джерела живлення;
- $U_{ВІХ}$ – максимальної вихідної напруги;
- $I_{СПС}$ – споживаного струму.

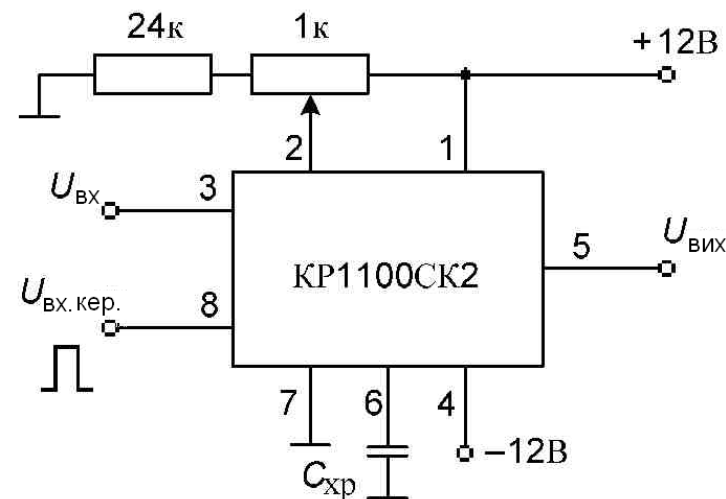


Рис. 3.5 Мікросхема вибірки-зберігання

Аналізована напруга зберігається на ємності $C = 20 \dots 1000$ пФ. Час вибірки перебуває в межах $5 \dots 10$ мкс, а швидкість спаду напруги, що зберігається, за рахунок розряду C не вдається зробити нижче $0,2$ В. Звідси неважко оцінити необхідну швидкість перетворення. Наприклад, якщо час аналого-цифрового (АЦ) перетворення напруги 1 В становить 100 мкс, то величина спаду напруги складе не менш $0,2 \cdot 10^{-4}$ В, що відповідає похибці $0,002\%$. Для керування використовується позитивний імпульс напруги амплітудою $3 \dots 7$ В (стадія вибірки).

Аналоговий сигнал постійного рівня або вибірка мінливого в часі сигналу можна перетворити в послідовність імпульсів певної частоти, що залежить від рівня сигналу. Рис. 3.6 а, б, в пояснює загальний принцип перетворення напруга-частота (U-F) (а), а також включення мікросхеми КР1108ПП1 у якості перетворювача U-F (б) і зворотного перетворювача F-U (в). При зарядці інтегруючої ємності C_1 до рівня опорної напруги $U_{оп}$ спрацьовує компаратор К, після чого запускається моностабільний формувач (одновібратор) МФ, вихідний імпульс якого використовується як перетворений сигнал, а також для розрядки ємності C . Мікросхема КР1108ПП1 перетворює позитивну напругу $0 \dots 10$ В у частоту $0 \dots 10$ кГц із крутістю перетворення 1 кГц/В і нелінійністю характеристики перетворення не більш 10^{-4} , при цьому $R_1 = 34$ кОм; $R_2 = 560$ Ом; $C_1 = 10$ нФ; $C_2 = 36$ нФ (рис. 3.6 б).

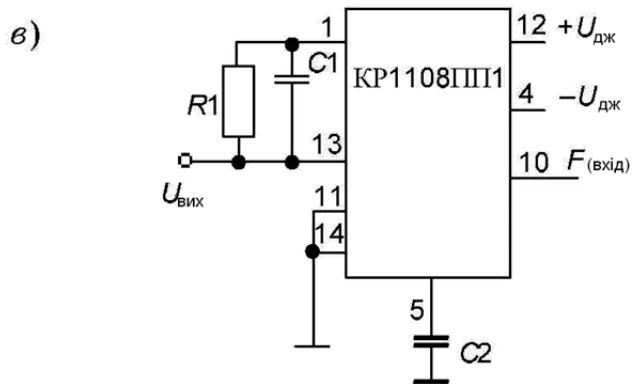
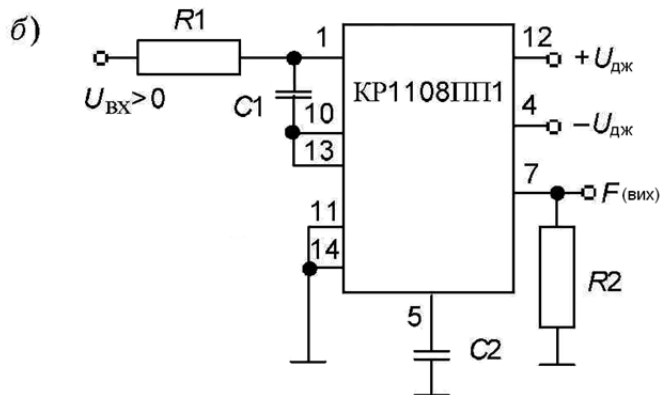
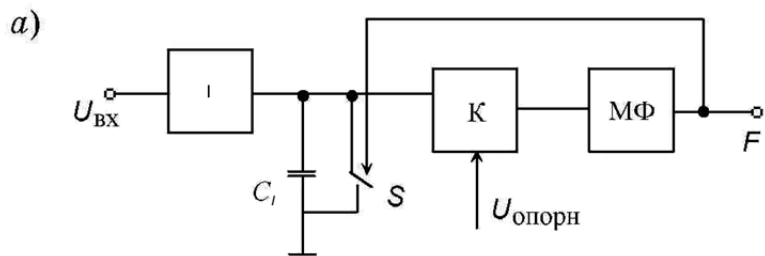


Рис. 3.6 Схеми перетворювачів

Зворотне перетворення (рис. 3.6 в) із крутістю характеристики 1 В/кГц здійснюється при $R_1 = 34 \text{ кОм}$; $C_1 = 20 \text{ пФ}$, $C_2 = 3,6 \text{ нФ}$.

Живлення $U = \pm(12 \dots 19) \text{ В}$, споживаний струм $I_{\text{спож}} = 8 \text{ мА}$, амплітуда вихідного сигналу до U . Зрозуміло, що обидва методи включення мікросхеми мають різні вихідні точки.

3.5. Вимір амплітуди сигналу

У вимірювальній техніці процедура виміру амплітуди сигналу припускає перетворення її значення в цифровий код з метою подальшого його використання або в обчислювальних пристроях (нагромадження інформації, обчислення середніх значень, формування сигналів керування об'єктом і т.д.), або для пред'явлення користувачеві у вигляді показань цифрових індикаторів.

У завданнях на курсове проектування передбачаються такі варіанти розв'язків:

- цифрова індикація результатів вимірів з використанням перетворення «напруга-частота» (U/f) або за допомогою інтегральних схем цифрових вольтметрів;
- формування двійкового коду, пропорційного значенню амплітуди сигналу з використанням аналого-цифрових перетворювачів.

У першому випадку аналоговий сигнал представляється у вигляді послідовності імпульсів, частота проходження яких, пропорційна його амплітуді.

Функціональна схема подібного вимірювача зображена на рис. 3.7.

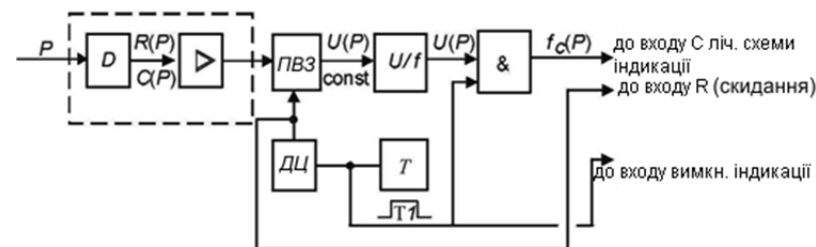


Рис. 3.7. Функціональна схема вимірювача

Тут D – датчик, що перетворює значення вимірюваного параметру у якусь електричну величину $R(P)$ або $C(P)$. Надалі перетворювальна схема формує вихідний сигнал у вигляді аналогової напруги $U(P)$, яка лінійно залежить від P (у необхідних межах виміру). Обладнання вибірки зберігання ПВЗ забезпечує сталість значення $U(P)$ у заданому тимчасовому інтервалі T . Значення $U(P)$ за допомогою перетворювача U/f перетворюється в послідовність прямокутних імпульсів частотою $f(P)$, які підводяться через ключ & до рахункового входу схеми індикації.

Керування роботою схеми виміру здійснюється за допомогою таймера T , що формує якусь тимчасову послідовність $T1, T2$ (рис. 3.8). ДЦ – ланцюг, що диференціює, формує короткочасний імпульс, що забезпечує запуск ПВЗ і скидання лічильників схеми індикації.

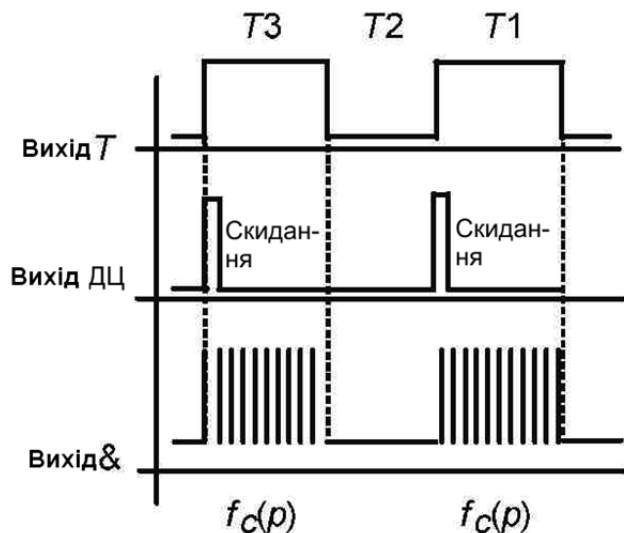


Рис. 3.8. Керування роботою схеми виміру

У проміжок часу $T1$ (коли на виході таймера T присутня напруга високого рівня) ключ & відкритий, і імпульси послідовності $f(P)$ надходять на вхід лічильника молодшого розряду схеми індикації, збільшуючи його вміст. Одночасно високий рівень $T1$ забороняє засвічення індикаторів. У проміжок часу $T2$ низький рівень на виході таймера замикає ключ & (підрахунок припиняється) і дозволяє засвічення індикаторів, тобто

вміст лічильників виводиться на індикацію. Вибір часу $T1$ визначається, з одного боку, залежністю від $U(P)$ і тим значенням параметра P , яке необхідно навести у вигляді результату виміру.

Наприклад, вимірюваною величиною P є тиск повітря й за допомогою датчика D і підсилювально-перетворювальної схеми отримане значення $U(P) = 10$ В, яке відповідає тиску 700 мм рт.ст. Причому $U(P)$ лінійно змінюється в межах зміни тиску від 600 до 800 мм рт.ст. Схема перетворювача U/f при подачі на вхід $U(P) = 10$ В забезпечує частоту $f(P) = 10$ кГц. Період сигналу $T(P) = 1/(P) = 0,1$ мс і лінійно залежить від відповідних значень $U(P)$, тобто від значень тиску в заданих межах його виміру. Для індикації значення P у мм рт. ст. необхідно задати час рахунку $T1$, рівний $T1 = 700$. $T_c(P) = 700 \cdot 0,1$ мс = 70 мс. При цьому за час $T1$ у лічильниках схеми індикації накопиться двійково-десятькове число, що відповідає 700 (в десятичних одиницях) і у період $T2$ забезпечиться засвічування вказаної величини. При необхідності забезпечити показання в мілібарах необхідно відповідним чином змінити (збільшити) тривалість $T1$. Оскільки тиск повітря залежить від висоти, наведена схема може бути основою для побудовання цифрового висотоміра, тоді шляхом вибору значення $T1$ можна отримувати показання в одиницях висоти, наприклад у метрах. Час $T2$, тобто час спостереження показів обирається з ергономічних міркувань, частота надання показів спостерігачу повинна перевищувати значення 40 Гц.

Для побудови таймера розумно скористатися мікросхемою КР1006ВІ1, схема включення якої в режимі генератора послідовності $T1, T2$ наведена на рис. 3.9.

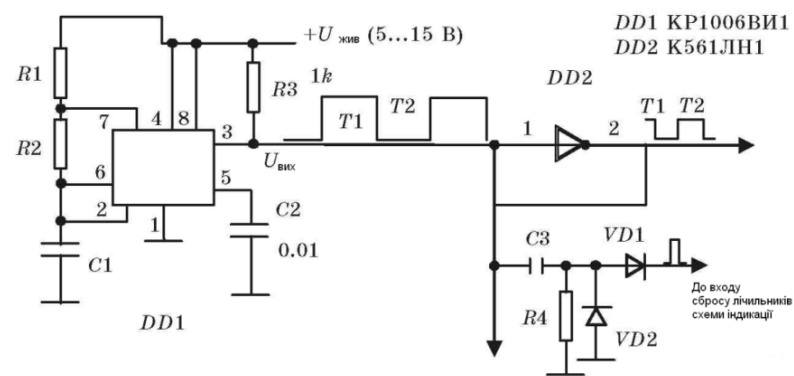


Рис. 3.9 Схема включення мікросхеми КР1006ВІ1

Значення $T_1 = 0,69(R_1 + R_2)C_1$ і $T_2 = 0,69 R_2 C_1$ можна задавати в широких межах. Як видно $T_1 > T_2$. Для одержання послідовності $T_2 > T_1$ слід інвертувати вихідний сигнал таймера за допомогою інвертора DD2. Амплітуда вихідного сигналу лежить у межах (5...15)В залежно від напруги живлення. Формування сигналу скидання лічильників схеми індикації здійснюється за допомогою ланцюга C3, R4, VD1, VD2. Звичайно його тривалість становить величину порядку 10 мкс і визначається значеннями C3, R4. VD1, VD2 – малопотужні кремнієві діоди. Для вибірки й запам'ятовування миттєвого значення аналогового сигналу в процесі перетворення його в частоту можна використовувати мікросхему ПВ3 КР1100СК2 (рис. 3.5). Перетворення напруги $U(P)$ у частоту $f_C(P)$ можна здійснити за допомогою мікросхеми КР1108ПП1 або її аналогів (рис. 3.6). Іншим способом представлення амплітуди сигналу у вигляді показань цифрових індикаторів є застосування для цієї мети мікросхем цифрових вольтметрів, прикладами яких є мікросхеми КР572ПВ2 та КР572ПВ5 або їх закордонні аналоги. Схема включення КР572ПВ2, призначеної для роботи зі світлодіодними (LED) індикаторами із загальним анодом (ЗА), зображена на рис. 3.10.

Призначення входів мікросхеми такі: C_1 – ємність інтегратора; C_T – ємність генератора; R_T – резистор генератора; R_I – резистор інтегратора; C – опорний конденсатор. Замість R_T , C_T між выводами 39 і 40 можна включити кварцовий резонатор. Зовнішній генератор підключається до виводу 40. Частота внутрішнього або зовнішнього генератора дорівнює 50 кГц. Цифровий відлік проводиться на 3, 5-декадному індикаторі в семисегментному коді. Шкали вимірюваного сигналу від 1.999 до 1999 мВ визначаються величиною опорної напруги. Стабільна опорна напруга задається як потенціал стоку транзистора КР1103Е, що використовується як параметричний стабілізатор струму. Для значень резисторів, зазначених на схемі, стоковий потенціал дорівнює 200 мВ (корегується резистором 100 Ом), а межа виміру – 199.9 мВ. Ланцюг, що містить резистор на 10 Ом і ємність 1000 мкФ, призначений для затримки подачі напруги на індикатори мікросхеми. Живлення передбачається від мережі та від батарей. Вхідний опір аналогового входу – 20 МОм; час перетворення – 300 мкс (може бути зменшений шляхом збільшення тактової частоти); диференціальна нелінійність шкали – $\pm 1\%$.

При збільшенні $U_{оп}$ до 2 В межа виміру збільшується до 1999 мВ. При перевищенні $U_{вх}$ верхньої межі вимірів (наприклад, значення 1999 мВ) показання індикаторів не змінюються; при $U_{вх}$ менших 999 мВ старший розряд (103) індикатору гасне.

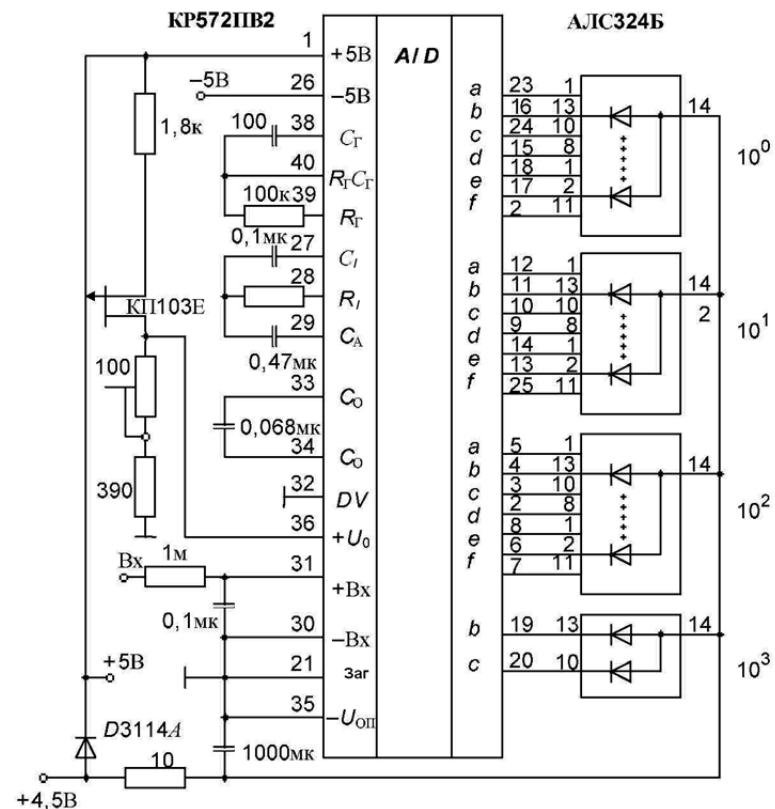


Рис. 3.10. Схема включення КР572ПВ2

При використанні схем цифрових вольтметрів необхідно враховувати наступне. Якщо, як і в попередньому випадку, значення вимірюваного параметра P становить 700 мм рт. ст., то для одержання показів у необхідних одиницях виміру напруга, що підводиться до входу, $U(P) = 700$ мВ, а $U_{оп} = 2$ В; при цьому старший розряд індикатору можна не підключати (якщо $U(P)$ лежить у межах 600...800 мВ і відповідає зміні тиску в межах 600...800 мм рт. ст.). У такий спосіб при вимірах фізичних параметрів (тиску, температури, вологості і т.д.) за допомогою цифрових вольтметрів необхідно при синтезі вимірювальної схеми забезпечити точну відповідність між значеннями вимірюваного параметра P у заданих одиницях виміру, значень $U(P)$, що підводиться до входу мікросхеми, $U_{оп}$ і розрядності індикаторів, що підключаються до її виходів.

Час перетворення для мікросхеми КР572ПВ2 визначає доцільність використання ПВЗ для запам'ятовування значення $U(P)$. Мікросхема КР572ПВ5 є аналогом КР572ПВ2, але призначається для використання з рідкокристалічними (LCD) індикаторами.

Для формування коду, пропорційного значенню амплітуди сигналу з метою введення його значень в обчислювальні (мікропроцесорні) пристрої доцільно використовувати функціонально завершені АЦП, здатні працювати в автономному режимі, тобто не потребуючі додаткових зовнішнього обладнання (прийнятні значення часу перетворення (t_{NP}), розрядність вихідного коду (n) і його рівні). Оптимальну комбінацію цих параметрів має мікросхема К1113ПВ1, що виконує функцію 10-розрядного аналого-цифрового перетворення одне або біполярного вхідного сигналу з наведенням результатів перетворення у паралельний двійковий код (рис. 3.11).

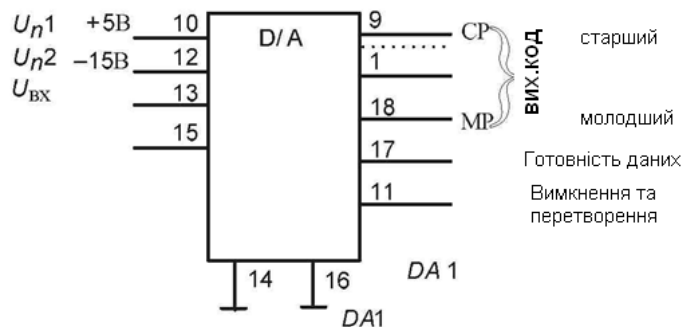


Рис. 3.11. Мікросхема КР1113ПВ1

Запуск процедури перетворення здійснюється при подачі на вивід 11 низького рівня сигналу від зовнішнього таймера (t_1). Через час, необхідний для перетворення t_2 ($t_{NP} \sim 30$ мкс), на виводі 17 з'являється сигнал низького рівня. Інформація надходить на цифрові виводи в інтервалі часу $t_2 \dots t_3$ і дозволяє читання вихідного коду. У момент часу t_3 (високий рівень на 11) інформація витирається і АЦП підготовлюється до нового циклу (рис. 3.12).

Перетворювач може працювати з однополярними (позитивними) вхідними сигналами $U_{VX \text{ MAX}} = 11$ В і двополярними (± 5.5 В). У першому випадку вхід 15 не використовується, у другому – заземлюється. Особливістю мікросхеми КР1113ПВ1 є відповідність рівнів вихідних (виводи 1...9, 18 і 17) і вхідних (вивід 11) сигналів ТТЛ.

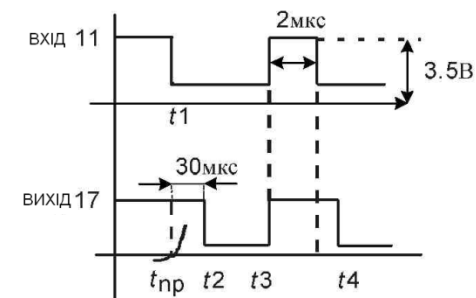


Рис. 3.12. Цикл роботи мікросхеми

3.6. Вимір часових параметрів сигналів

Ряд завдань на курсове проектування припускає розробку схем, що забезпечують представлення в цифровій формі з наступним виводом на індикацію деяких часових характеристик імпульсних або періодичних сигналів. Наприклад, потрібно зробити підрахунок числа імпульсів, що надходять із відповідних датчиків у заданому часовому інтервалі. Таке завдання виникає при визначенні кількості обертів вала двигуна, крильчатки вимірника швидкості потоку повітря за допомогою фото- або магнітних датчиків (магнітрезисторів, датчиків Холу) і т.д. Наприклад, вимір частоти сигналу. В інших випадках потрібне представлення у вигляді цифрового коду періоду проходження сигналу, тривалості імпульсу або паузи між сусідніми сигналами.

У завданнях на курсове проектування приводяться, як правило, параметри вихідного сигналу, такі як:

- діапазон амплітуд і полярність сигналу;
- наявність постійної складової в сигналі і його форма;
- діапазон тривалості й/або частота проходження;
- значення вихідного опору джерела сигналу.

На початковому етапі проектування необхідно зробити синтез схеми (і розрахунки її параметрів), що забезпечує перетворення вихідного сигналу в «цифрову» форму, тобто перетворений сигнал повинен являти собою послідовність імпульсів (тимчасових інтервалів) прямокутної форми, позитивної полярності, амплітуда яких повинна змінюватися в строго визначеному інтервалі.

Максимальне U_{MAX} і мінімальне U_{MIN} значення амплітуди визначаються типом (технологією) мікросхем, на яких виконується цифрова частина схеми, а саме для ТТЛ-технології (серії 155, 555 або 74) $U_A = 17\text{ В} > 3.5\text{ В}$. Відповідно для КМОН-технології (серії 176, 561, CD4000) ці значення становлять $U = U_B \sim U_{жив}$, а $U_{MIN} = U = 0$, де $U_{жив} = +9 \dots 15\text{ В}$.

На рис. 3.13 показана принципова схема виміру швидкості v потоку повітря, що реєструється за допомогою датчика D.

Вихідним сигналом датчика є послідовність імпульсів, число яких $n(v) = 80$ відповідає 1 л об'єму повітря, що проходить через нього. За умовами завдання потрібно забезпечити індикацію швидкості потоку v у л/хв (запуск процедури виміру – однократний) і можливість прокачування заданого об'єму повітря в межах $0 \dots 15$ л, причому цифрова частина схеми повинна бути виконана на мікросхемах КМОН-серій при напрузі живлення $U = 10\text{ В}$.

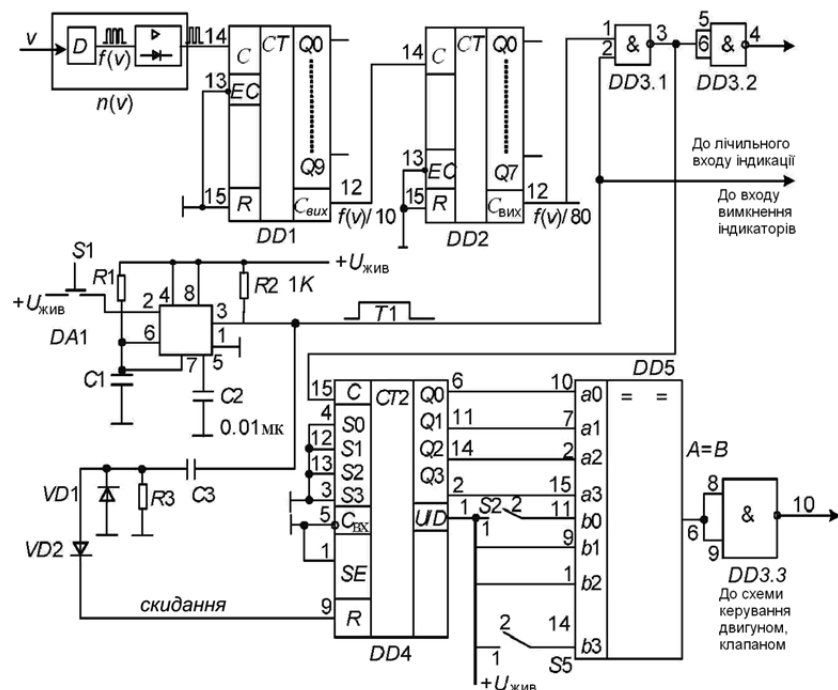


Рис. 3.13. Принципова схема виміру швидкості потоку повітря

Відповідно до умов завдання вихідний сигнал датчика за допомогою підсилювально-перетворювальної схеми перетвориться в послідовність прямокутних імпульсів, із частотою $f(v)$ і амплітудою $0 \dots 10\text{ В}$, які надходять на вхід дільника частоти, виконаного на мікросхемах DD1, DD2. DD1 (мікросхема K561IE8) виконує функцію ділення частоти $f(v)$ на 10, сигнал якої з'являється на виході переносу $C_{вих}$ DD1 і надходить на рахунковий вхід DD2 (мікросхема K561IE9) частоти, що забезпечує ділення, на 8. У такий спосіб на виході переносу $C_{вих}$ DD2 частота проходження складе 80, тобто один період цього сигналу відповідає 1 л прокачаного повітря. Для виміру швидкості потоку в л/хв необхідно сформувавши часовий інтервал $T1 = 1\text{ хв}$, що забезпечується таймером DA1 на основі мікросхеми КР1006ВІ1, запуск якого проводиться замиканням кнопки S1. Значення B1 розраховуються виходячи зі співвідношення $T1 = 1.13\text{ с}$. Схема «I», виконана на DD3.2 (мікросхема 561IA7), забезпечує проходження на вхід схеми індикації числа періодів протягом часу $T1$, що у свою чергу забезпечує показання індикаторів в одиницях швидкості потоку (л/хв).

Дана схема фактично є вимірником частоти сигналу: якщо цифровий сигнал, частота якого вимірюється, підвести до входу 1 DD3.1, а тривалість «часових воріт» $T1$ задати рівної 1, то показання індикаторів будуть рівними числу періодів у секундному інтервалі, що відповідає частоті сигналу.

На елементах DD4 і DD5 виконана схема завдання об'єму перекачаного повітря. DD4 (лічильник 561IE11) робить підрахунок імпульсів частоти $f(v)$. Його вихідний код $Q0 \dots Q3$ подається на входи $a0 \dots a3$ чотирьохрозрядного цифрового компаратора DD5 (мікросхема K561KP2), де порівнюється із значенням, заданим на входах $b3b2b1b0$. Значення B задаються перемикачами S2, S5; положенню 1 перемикача відповідає подача 1 на відповідний вхід; положення 2 визначає рівень 0. При замиканні кнопки S1 імпульси $f(v)/80$ надходять з DD4 на вхід DD5 і збільшують його вміст. Одночасно за допомогою ланцюжка C3, R3, VD1, VD2 формується імпульс скидання DD4. Поки вихідний код DD4 ($A = a3a2a1a0$) на вході DD5 відповідає умові $A < B$, вихід DD5 ($A = B$) містить 0. Відповідно вихід 10 інвертора DD3.3 – 1, що забезпечує роботу двигуна повітряної прокачки, клапана і т.д. При $A = B$, що при $B = 1001$ відповідає 9 літрам прокачаного повітря, вихід $A=B$ DD5 устанавлюється в 1, а вихід 10 DD3.3 в 0. Це може служити керуючим сигналом для зупинки двигуна, закриття клапана і т.д. При необхідності розрядність A і B може бути збільшена за допомогою нарощування розрядності лічильника й компаратора.

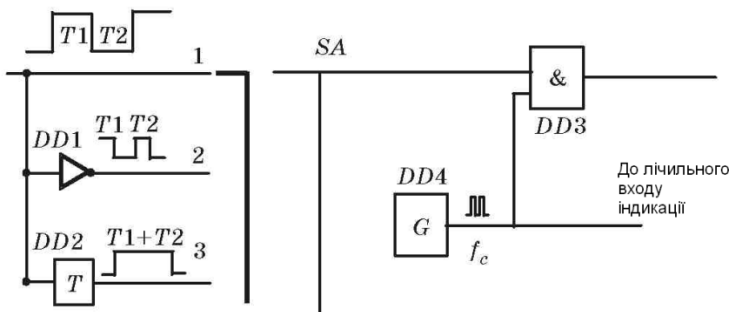


Рис. 3.14 Функціональна схема обладнання

Принцип «часових воріт» лежить і в основі процедури виміру тривалості, періоду проходження й паузи цифрового сигналу, роль яких у цьому випадку виконує сам сигнал. На рис. 3.14 показана функціональна схема обладнання, що дозволяє залежно від положення перемикача (SA) виміряти тривалість T_1 , паузу T_2 і період проходження T_1+T_2 цифрового сигналу. Відкритий стан ключа & DD3 забезпечується:

- протягом часу T_1 у положенні 1;
- протягом часу T_2 у положенні 2 (DD1 – інвертор);
- протягом періоду T_1+T_2 у положенні 3 (DD2 – рахунковий тригер – дільник частоти).

Відкритий ключ DD3 дозволяє проходження на рахунковий вхід схеми індикації рахункової частоти f_c , вироблюваної генератором DD4. Період f_c ($T_c=1/f_c$) визначається або необхідною точністю або заданою одиницею виміру, як правило $T_c=1$ мкс або 1 мс. Розрядність схеми індикації залежить від значень T_1 і/або T_2 і T_c .

При складанні принципів схем вимірників необхідно, як і в попередніх випадках, забезпечити скидання лічильників на початку циклу підрахунку й гасіння індикаторів.

При розробці схем селекції, наприклад селекції імпульсів по тривалості, можна застосувати раніше розглянуту схему з використанням цифрових компараторів.

3.7. Комутатори сигналів

У ряді завдань на проектування ставиться завдання синтезу багатоканальних вимірювальних схем, наприклад, призначених для виміру яких-небудь параметрів у різних точках об'єкта. У цьому й цілому ряді інших випадків має місце на увазі послідовна передача даних від декількох джерел на загальний вихід, що підключається до приймача даних. Це досягається застосуванням різних комутаційних схем.

Для комутації цифрових і аналогових сигналів застосовують у першу чергу мікросхеми ключів, виконані по КМОН-технології. Так, практично, аналогічні мікросхеми K176КТ1 і K561КТ3 являють собою комутатори, виконані у вигляді чотирьох окремих ключів, кожний з яких має вхід і вихід сигналу й вхід керування, високий рівень сигналу на якому забезпечує замкнений стан ключа. Канал провідності ключів двонаправлений і пропускає цифрові рівні з амплітудою до напруги живлення $U_{жив}$ або аналогові з амплітудою $\pm U_{жив}/2$. Мікросхема K561КП2 (рис. 3.15) являє собою 8-канальний цифроаналоговий демультиплексор.

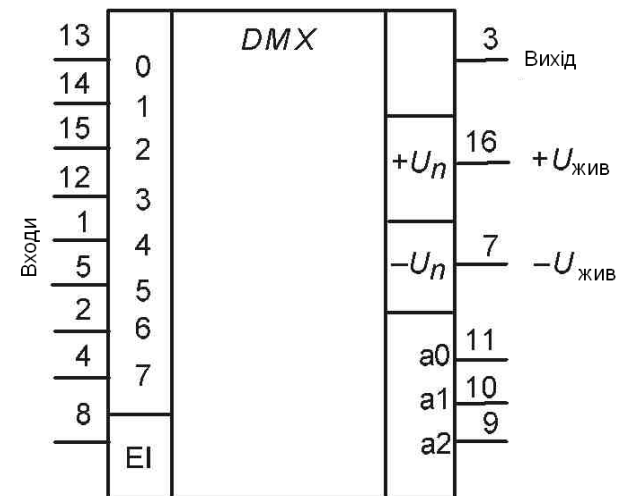


Рис. 3.15. Мікросхема K561КП2

Керування передачею сигналів з виходів 0...7 на вихід, здійснюється трьохрозрядним двійковим кодом $A = a_2 a_1 a_0$; при цьому, якщо $A = 000$, на вихід передається сигнал з виходу 0; при $A = 001$ з виходу 1 і т.д. Вхід EI виконує функцію дозволу роботи: при $EI = 1$ усі канали (незалежно від значення A) розмикаються. При подачі позитивної напруги живлення $+U_{жив} = +15$ В допускається комутація сигналів з амплітудою до $+15$ В; якщо додатково подати $-U_{жив} = -15$ В (вивід 7 мікросхеми), те допускається комутація двополярних сигналів амплітудою до $\pm 7,5$ В.

Мікросхеми серій 590, 591 так само являють собою цифроаналогові демультіплексори, призначені для комутації сигналів амплітудою $\pm 5 \dots \pm 20$ В з різними варіантами організації ключів. На рис. 3.16 наведена функціональна схема комутатора на основі мікросхеми K591KH3.

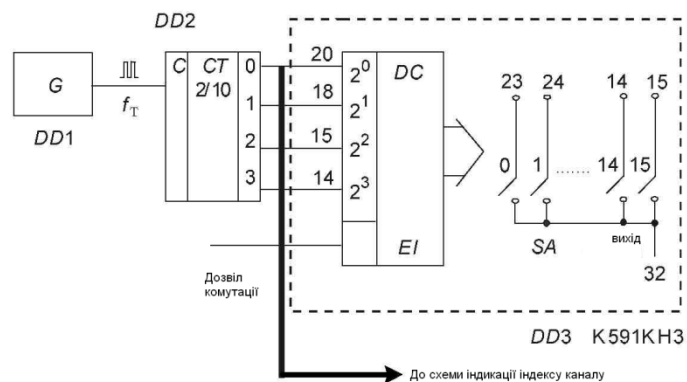


Рис. 3.16 Функціональна схема комутатора

Тут G – генератор тактових імпульсів, період яких обумовлює періодичність замикання ключів і відповідно комутації джерел сигналів; CT – лічильник, вихідний код якого використовується для керування комутатором, $DD3$ – комутатор, що складається з дешифратора (DC) і шістнадцяти цифроаналогових ключів (0...15), що мають загальний вихід (вивід 32). При використанні чотирирозрядного двійкового лічильника забезпечується керування всіма шістнадцятьма ключами, т. е комутація шістнадцяти джерел сигналів; якщо лічильник працює в десятичному форматі, здійснюється керування ключами з індексами 0...9, відповідно число каналів, що комутуються, зменшується до 10. В останньому випадку вихідний код лічильника можна безпосередньо використовувати для цифрової індикації індексу каналу, що підключається до виходу.

3.8. Схеми індикації

Для представлення результатів вимірів параметрів сигналів (амплітуди, частоти, тривалості і т.д.) використовують семисегментні декадні світлодіодні (LED) або рідкокристалічні (LCD) індикатори. Схема індикації одного десяткового розряду містить три функціональні елементи, а саме: десятковий лічильник, дешифратор, тобто перетворювач вихідного коду лічильника (4 розряди) у код керування індикатором (7 сегментів), і індикатори.

Серед світлодіодних найбільше поширення одержали індикатори із загальним анодом (ЗА), що підключаються безпосередньо до джерела живлення з напругою $+5$ В, наприклад АЛС324Б, АЛС342Б.

При реалізації схеми керування індикатором у ТТЛ-технології можна використовувати лічильник 155ІЕ6 і дешифратор 514ІД2, при цьому в ланцюг кожного сегмента включається резистор величиною 68 Ом (рис. 3.17).

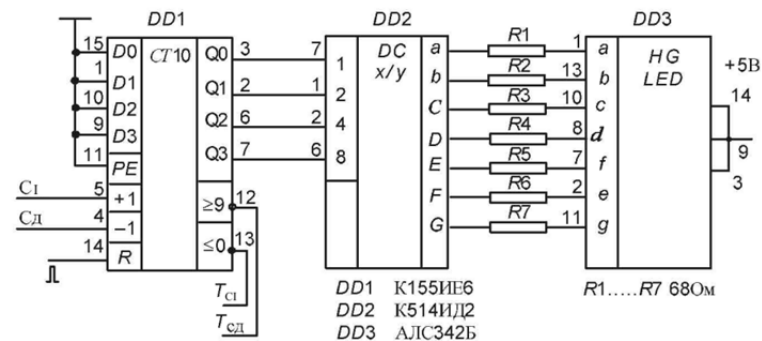


Рис. 3.17. Схема керування індикатором

Тут входи попереднього встановлення лічильника $DD1$ ($D0 \dots D3$) і вхід дозволу записи (PE) не використовуються. Входи C призначені для подачі рахункових імпульсів, які збільшують $C1$ або зменшують $Cд$ вміст лічильника. Виходи T_{c1} й $T_{cд}$ служать для збільшення розрядності індикації.

Для управління роботи індикаторів зі струмами сегментів не більш 5 мА можна використовувати мікросхеми, виконані по КМОН-технології, наприклад, 176ІЕ4, яка містить у собі як десятковий лічильник, так і дешифратор, що спрощує схему вузла індикації (рис. 3.18).

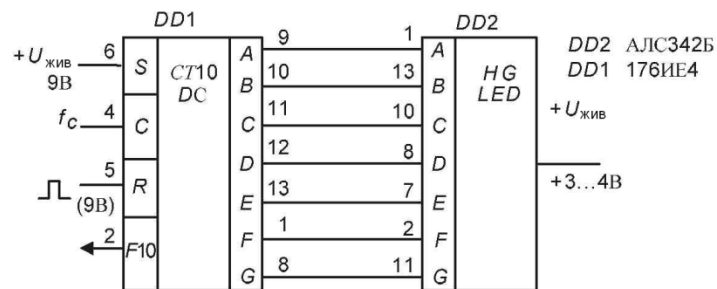


Рис. 3.18. Схема вузла індикації

На вхід S лічильника подається напруга живлення $U = +9\text{ В}$, що забезпечує його роботу з LED індикаторами із загальним анодом. У якості індикаторів можна використовувати АЛС342Б, АЛС324Б при зниженій до 3...4 В напрузі живлення, що, однак, знижує яскравість їх засвічення. Рахункова послідовність f_c подається на вхід С лічильника DD1, скидання забезпечується подачею сигналу високого рівня на вхід R, а вихід F/10 служить для збільшення розрядності шляхом підключення до входу С лічильника наступного десятичного розряду.

Більшу навантажувальну здатність має мікросхема дешифратора К176ИД2 (рис. 3.19), що допускає застосування індикаторів із загальним анодом при номінальній (+5 В) напрузі живлення.

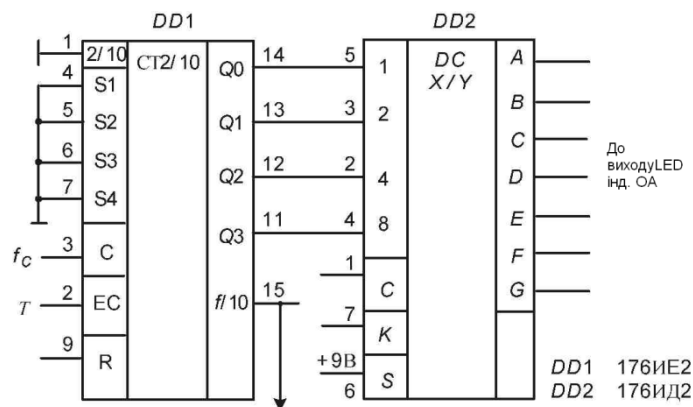


Рис. 3.19 Схема формування коду керування

Вхід К мікросхеми використовується для дозволу індикації: при подачі напруги високого рівня індикатор гасне; низький рівень на вході К дозволяє індикацію. При подачі на додатковий вхід С низького рівня відбувається запам'ятовування сигналів на входах, тобто показання індикатора не змінюються; високий рівень дозволяє роботу дешифратора. Для формування коду керування в схемі на рис. 3.19 застосовано лічильник К176ИЕ2, що працює як десятичний; можливе застосування інших десятичних лічильників, виконаних по КМОН-технології. Поряд з рахунковим входом С, куди подаються рахункові імпульси f_c , схема містить вхід дозволу підрахунку ЕС (підрахунок дозволяється при подачі високого рівня), який дозволяє робити підрахунок у заданому часовому інтервалі Т. Вихід 10 лічильника, як і у попередніх випадках, використовується для збільшення розрядності індикації.

Для керування роботою рідкокристалічних (LCD) індикаторів допускається використання мікросхем 176ИЕ3, 176ИЕ4 і дешифраторів 564ИД4 і 564ИД5 без яких-небудь додаткових елементів.

3.9. Проектування схем джерел живлення

Ряд завдань на курсове проектування містить вимогу розробки блоку живлення, що забезпечує роботу схеми від мережі 220 В, 50 Гц або 110 В, 400 Гц. Функціонально такі блоки живлення складаються з понижувального трансформатора; випрямлячів змінних напруг, що знімаються з його вторинних обмоток, фільтрів, що згладжують; стабілізаторів постійної напруги й вихідних ємнісних накопичувачів.

У якості понижувальних доцільно використовувати стандартні трансформатори типу ТПП-220-50 або ТПП-110-400. Особливістю трансформаторів цього типу є наявність декількох секцій вторинної обмотки, кожна з яких забезпечує певне значення напруг U і струму I . При послідовному з'єднанні секцій забезпечується додавання напруг, тобто $U = U_{n,n+1} + U_{k,k+1}$, при цьому «кінець» попередньої секції (старша цифра її індексу) повинен з'єднуватися з «початком» наступної (молодша цифра індексу), а значення U секцій можуть бути будь-якими. При паралельному з'єднанні секцій, що забезпечують однакові $U_{ном}$, поєднуються початки й кінці обмоток і забезпечується додавання струмів $I_{ном}$. Сумарна вихідна потужність трансформатора виражається параметром Р.

Для живлення аналогових і цифрових мікросхем використовують стандартні стабілізовані значення живлячих напруг: симетричне $\pm 15\text{ В}$ и уніполярні (+5,+9,+12,+15)В при струмах навантаження, що лежать у межах (0,2...1,5)А. У якості стабілізаторів напруги можна використовувати

мікросхеми серії KP142EH5 – EH9, що забезпечують зазначені значення живлячих напруг з коефіцієнтом стабілізації не нижче 0,05% В. Параметри мікросхем серії KP142EH і схеми їх включення наведені в довідковій літературі. Слід зазначити, що для живлення вузлів індикації, підсилювачів потужності й т.п. стабілізації живлячої напруги, як правило, не потрібно, що спрощує схемний розв'язок блоку живлення.

Розглянемо приклад схеми блоку живлення, що забезпечує на виходах:

- а) стабілізовану напругу ± 15 В при струмі навантаження 80 мА, призначену для живлення мікросхем ОП;
- б) стабілізовану (уніполярну) напругу +9 В при струмі навантаження 60 мА, призначену для живлення цифрових мікросхем;
- в) нестабілізовану напругу +5 В, призначену для живлення цифрових індикаторів; максимальний струм навантаження складає 210 мА (при повному засвіченні індикаторів).

Живлення здійснюється від мережі змінного струму 220 В, 50 Гц. Стабілізовані напруги (± 15 В і 9 В) відносяться до стандартних, і в якості стабілізаторів можна скористатися мікросхемами KP142EH6 і KP142EH8A, основні параметри яких наведені в табл. 3.2.

Таблиця 3.2

Основні параметри мікросхем

Тип мікросхеми	$U_{ВХ}$, В	$I_{Н\text{ MAX}}$, А	$I_{ВХ\text{ MAX}}$, В	$K_{СТ}$, % В	$I_{ПОТР}$, мА	$(U_{ВХ} - U_{ВХ})_{MIN}$, В
KP142EH6	$(\pm 15) \pm 0,3$	0,2	± 30	0,002	$\pm 7,5$	$\pm 2,2$
KP142EH8A	$(+9) \pm 0,27$	1,5	35	0,05	10	2,5

Тут: $K_{СТ}$ – коефіцієнт стабілізації; $I_{ПОТР}$ – струм, споживаний самої мікросхемою без урахування струму, що віддається, $(U_{ВХ} - U_{ВХ})_{MIN}$ – мінімальне спадання напруги на мікросхемі.

Враховуючи вимоги завдання (значення струмів у навантаженні) і значення вхідних напруг мікросхем стабілізаторів, вибираємо трансформатор типу ТПП – 235 -220 – 50, електричні параметри якого наведені в табл. 3.3.

Таблиця 3.3

Електричні параметри трансформатора

$P_{НОМ}$, ВА	$I_{НОМ}$, мА	Напруга на виводах секцій вторинної обмотки					
		11-12	13-14	15-16	17-18	19-20	21-22
9	105	20	20	20	20	5	5

Тут: 11-12, 13-14 і т.д. – індекси секцій вторинної обмотки (молодша цифра індексу – початок, старша – кінець секції). Для забезпечення симетричної напруги ± 15 В за допомогою мікросхеми KP142EH6 з'єднаємо послідовно дві секції, розраховані на $U_{НОМ} = 20$ В (наприклад, 15-16 і 17-18); при цьому їхній загальний вихід (16 і 17) утворює середню точку. Для підключення мікросхеми KP142EH8A досить однієї секції з $U_{НОМ} = 20$ В (наприклад, 11-12). Нестабілізовану напругу +5 В при струмі навантаження $I_{Н} = 210$ мА можна одержати за допомогою паралельного з'єднання секцій 19-20 і 21-22; при цьому забезпечується струм, що віддається в навантаження, рівний подвоєному номінальному значенню.

Для випрямлення напруг, що знімаються із вторинних обмоток трансформатора, скористаємося діодними збірками КЦ407А і КЦ412А, дані про які надані в табл. 3.4.

Таблиця 3.4

Електричні параметри трансформатора

Тип	$U_{ВХ\text{ MAX}}$, В	$U_{КЗ}$, В	$I_{ВИПР}$, мА
КЦ407А	300	2,5	300
КЦ412А	50	1	1500

Тут: $U_{ВХ\text{ MAX}}$ – максимальне значення змінної вхідної напруги, $U_{КЗ}$ – спадання напруги на збірці при струмі в навантаженні 200 мА, $I_{ВИПР}$ – максимальне значення випрямленого струму, що віддається в навантаження. Обидві збірки, які є діодними матрицями, що з'єднані за схемою двополуперіодного випрямляча, задовольняють вихідним даним як по $U_{ВХ\text{ MAX}}$, так і по $I_{ВИПР}$. Однак для живлення індикаторів розумно використовувати збірку КЦ412А, що має запас по струму.

Принципова схема блоку живлення наведена на рис. 3.20.

Значення ємностей С3 і С4 визначаються типовою схемою включення KP142EH6; значення накопичувальних ємностей С5, С6, С8 визначаються характером струму у відповідному навантаженні й звичайно вибираються в межах 10...100 мкФ (піковий характер струму вимагає більших значень накопичувальних ємностей у запобігання виходу з ладу мікросхем стабілізаторів). Ємності С1, С2, С7, а також С3 утворюють фільтри, що згладжують, і призначені для зменшення пульсацій випрямлених напруг. Їхні значення, зокрема, залежать від величини струму, що віддається в навантаження, і звичайно лежать у межах 100...1000 мкФ при струмах, що не перевершують 1 А.

Для одержання стабілізованих напруг живлення, значення яких відрізняються від стандартних, можна використовувати мікросхеми KP142EH1 – EH4, у яких регулюється в межах (3...30) В при струмах

навантаження $I_{\text{НОМ}} = (0,15 \dots 1) \text{ А}$, або схемами параметричних стабілізаторів з підвищеною навантажувальною здатністю. Відзначимо також, що для одержання симетричного живлення відповідна обмотка трансформатора може не мати середньої точки, що підключається до загального виходу. У цьому випадку штучна середня точка забезпечується ємностями фільтра $C1, C2$. Приклад схемного розв'язку з використанням параметричних стабілізаторів наведений на рис. 3.21.

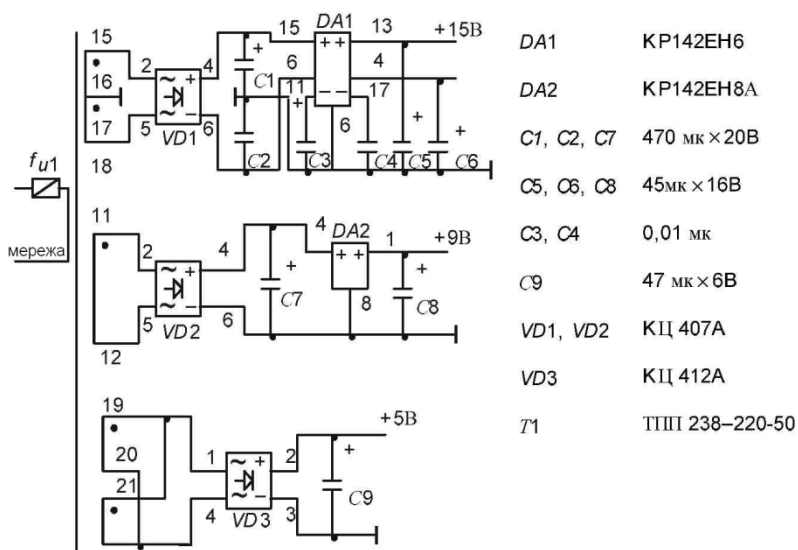


Рис. 3.20. Принципова схема блоку живлення

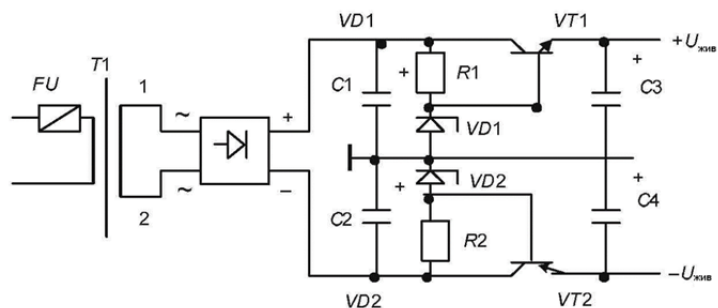


Рис. 3.21 Схема розв'язку з використанням параметричних стабілізаторів

На рисунку позначене: 1-2 вторинна обмотка трансформатора $T1$; $C1 = C2$ – ємності фільтра, загальний вихід яких утворює штучну середню точку; $VD1$ і $VD2$ – стабілітрони, що забезпечують рівні значення напруг стабілізації $U_{\text{СТ}}$; $R1 = R2$ – баластні резистори; $VT1$ і $VT2$ – комплементарні транзистори (наприклад, КТ815 і КТ814), що забезпечують заданий струм навантаження; коефіцієнт стабілізації визначається як $K = (U/U_{\text{СТ}}) = 10 \dots 100$.

3.10. Оформлення навчального проекту

Проект повинен містити пояснювальну записку й графічні матеріали, виконані відповідно до ДСТУ. Орієнтовний об'єм пояснювальної записки 40...50 сторінок. Вона повинна містити:

- титульний аркуш;
- завдання до навчального проекту;
- список прийнятих скорочень;
- передмова;
- вибір і обґрунтування функціональної схеми;
- вибір і розрахунки вузлів принципової схеми;
- діаграми напруг і струмів у контрольних точках схеми;
- повну принципову електричну схему обладнання;
- специфікацію елементів принципової схеми;
- висновок;
- бібліографічний список.

БІБЛІОГРАФІЧНИЙ СПИСОК

1. Микропроцессоры. В 3-х кн.: Учеб. для втузов /П.В. Нестеров, В.Ф. Шаньгин, В.Л. Горбунов и др.; Под ред. Л.Н. Преснухина. – М.: Высшая школа, 1986.
2. Микропроцессоры и микропроцессорные комплекты интегральных микросхем. Справочник: в 2-х т. / Н.Н. Аверьянов, А.И. Березенко, Ю.И. Борщенко и др.; Под ред. В.А. Шахнова. – М.: Радио и связь, 1988.
3. Основы построения технических средств ЕС ЭВМ на интегральных микросхемах / В.В. Саморуков, В.М. Микитин, В.А. Павлычев и др.; Под ред. Б.Н. Файзулаева. – М.: Радио и связь, 1981.
4. Применение интегральных микросхем памяти: Справочник / А.А. Дерюгин, В.В. Цыркин, Е.В. Красовский и др.; Под ред. А.Ю. Гордонова, А.А. Дерюгина. – М.: Радио и связь, 1994.
5. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для втузов. – СПб.: Политехника, 1996.
6. Цифровые интегральные микросхемы: Справочник /П.П. Мальцев, Н.С. Дolidze, М.И. Критенко и др. – М.: Радио и связь, 1994.
7. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2001.
8. Брайан Фафенберг, Дэвид Уолл. Толковый словарь по компьютерным технологиям и Internet. – 6-е издание. – К.: Диалектика, 1996.
9. Опадчий Ю. Ф. и др. Аналоговая и цифровая электроника: Учебник для вузов. М.: Горячая Линия–Телеком, 2002. 768 с.
10. Аш Ж. и др. Датчики измерительных систем: В 2 кн.: Пер. с фр. М.: Мир, 1992. 480 с.
11. Угрюмов Е. П. Цифровая схемотехника. СПб.: БХВ–Санкт-Петербург, 2000. 528 с.
12. Гук М.Ю. Аппаратные средства IBM PC: Энциклопедия. – СПб.: Питер, 1998.
13. Мячев А.А., Степанов В.Н. персональные ЭВМ и микроЭВМ. Основы организации. – М.: Радио и связь, 1991.
14. Горбунов В.П. и др. Справочное пособие по микропроцессорам и микроЭВМ / В.П. Горбунов, А.И. Панфилов, Д.Л. Преснухин. – М.: Высшая школа, 1988.
15. Аванесян Г.Р., Левшин В.П. Интегральные микросхемы ТТЛ, ТТЛШ. – М.: Машиностроение, 1998.
16. Шило В.Л. Популярные цифровые микросхемы: Справочник. – 2-е изд. – Челябинск: Металлургия, Челябинское отд-ние, 1989, 352 с.

17. ГОСТ 17021-88 (СТ СЭВ 1623-79). Микросхемы интегральные. Термины и определения.
18. Большие интегральные схемы запоминающих устройств: Справочник/ А.Ю. Гордонов, Н.В. Бекин, В.В. Циркин и др.; под ред. А.Ю. Гордонова и Ю.Н. Дьякова. – Радио и связь, 1990.
19. Применение интегральных микросхем в электронной вычислительной технике: Справочник/ Р.В. Данилов, С.А. Ельцова, Ю.П. Иванов и др.; Под ред. Б.Н. Файзулаева и Б.В. Тарабрина. – М.: Радио и связь, 1986.
20. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги: Справочник: В 12 т., М.: ИП Радиоспорт, 2001.
21. Медведев Б. Л., Пирогов Л. Г. Практическое пособие по цифровой схемотехнике. М.: Мир, 2004. 408 с.
22. Титце У., Шенк К. Полупроводниковая схемотехника. М.: Мир, 1983. 512 с.
23. Токхейм Р. Основы цифровой электроники. М.: Мир, 1988. 392 с.
24. Алексеенко А. Г., Коломбет Е. А., Стародуб Г. И. Применение прецизионных аналоговых микросхем. М.: Радио и связь, 1985. 256 с.
25. Расчет электронных схем. Примеры и задачи / Г. И. Изъюрова, Г. В. Королев, В. А. Терехов и др.; М.: Высшая школа, 1987. 335 с.
26. Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И. Микросхемы и их применение: Справочное пособие. М.: Радио и связь, 1989. 240 с.
27. Цифровые и аналоговые интегральные микросхемы: Справочник /Под ред. С. В. Якубовского. М.: Радио и связь, 1989. 496 с.
28. Воробьев Н. И. Проектирование электронных устройств. М.: Высшая школа, 1989. 223 с.
29. Федорков Б. Г. и др. Микросхемы ЦАП и АЦП: функционирование, параметры, применение, М.: Энергоатомиздат, 1990. 320 с.
30. Сидоров И. Н. Малогабаритные трансформаторы и дроссели: Справочник. М.: Радио и связь, 1985.

ДОДАТОК 1

Підгрупи й види ІС

Підгрупа	Вид	Позначення
А Формувачі	Формувачі: імпульсів прямокутної форми імпульсів спеціальної форми адресних токів розрядних токів інше	АГ АФ АА АР АП
Б Схеми затримки	Схеми затримки: пасивні активні інші	БМ БР БП
В Схеми обчислювальних засобів	мікроЕОМ мікропроцесори мікропроцесорні секції схеми мікропрограмного керування функціональні розширювачі схеми синхронізації схеми керування перериванням схеми інтерфейсу схеми керування пам'яті функціональні перетворювачі інформації схеми сполучення з магістраллю схеми, що задають час мікрокалькулятори контролери комбіновані схеми спеціалізовані схеми інше	ВЕ ВМ ВС ВУ ВР ВБ ВН ВВ ВТ ВФ ВА ВИ ВХ ВГ ВК ВЖ ВП
Г Генератори	Генератори: гармонічних сигналів прямокутних сигналів сигналів, що лінійно змінюються сигналів спеціальної форми шуму інші	ГС ГТ ГЛ ГФ ГМ ГП

Підгрупа	Вид	Позначення
Д Детектори	Детектори: амплітудні імпульсні частотні фазові інші	ДА ДДС ДЧ ДФ ДП
Е Схеми джерел вторинного живлення	Випрямлячі: перетворювачі стабілізатори напруги безперервні стабілізатори напруги імпульсні стабілізатори струму схеми керування імпульсними стабілізаторами напруги схеми джерел вторинного живлення інші	ЕВ ЕМ ЕН ЕК ЕТ ЕУ ЕС ЕП
И Схеми цифрових пристроїв	Регістри: суматори напівсуматори лічильники шифратори дешифратори комбіновані арифметико-логічні пристрої інші	ИР ИМ ИЛ ИЕ ИВ ИД ИК ИА ИП
К Комутатори та ключі	Комутатори та ключі: струму напруги інші	КС КН КП
Л Логічні елементи	елемент І елемент НЕ елемент АБО елемент І-НЕ елемент АБО-НЕ елемент І-АБО елемент І-НЕ/АБО-НЕ елемент І-АБО-НЕ елемент І-АБО-НЕ/І-АБО елемент АБО-НЕ/АБО розширювачі інші	ЛІ ЛН ЛЛ ЛА ЛЕ ЛС ЛБ ЛР ЛК ЛМ ЛД ЛП

Підгрупа	Вид	Позначення
М Модулятори	Модулятори: амплітудні частотні фазові імпульсні інші	МА МЧ МФ МІ МП
Н Набори елементів	Набори: діодів транзисторів резисторів конденсаторів комбіновані функціональні інші	НД НТ НР НК НК НФ НП
П Перетворювачі сиг- налів	Перетворювачі: частоти тривалості напруги (струму) потужності рівня аналоого-цифрові цифро-аналогові код-код синтезатори частоти розподільювачі частоти аналогові розподільювачі частоти цифрові перемножувачі частоти аналогові інші	ПЧ ПД ПН ПП ПР ПВ ПА ПР ПЛ ПК ПЦ ПЕ ПП
Р Схеми за- пам'ятовуючих при- строїв	матриці оперативних запам'ятовуючих пристроїв матриці постійних запам'ятовуючих пристроїв оперативні запам'ятовуючі пристрої постійні запам'ятовуючі пристрої з мо- жливістю однократного програмування постійні запам'ятовуючі пристрої (ма- сочні) запам'ятовуючі пристрої на ЦМД постійні запам'ятовуючі пристрої з мо- жливістю багатократного електричного перепрограмування постійні запам'ятовуючі пристрої з уль-	РМ РВ РУ РТ РЕ РЦ РР РФ

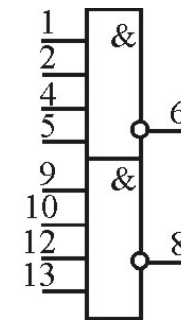
Підгрупа	Вид	Позначення
	трафіолетовим стиранням та електрич- ним записом інформації асоціативні запам'ятовуючі пристрої інші	РА РП
С Схеми порівняння	Схеми порівняння: амплітудні часові частотні компаратори напруги інші	СК СВ СЕ СА СП
Т Тригери	Тригери: типу JK типу RS типу D рахункові типу Т динамічні Шмітта комбіновані інші	ТВ ТР ТМ ТТ ТД ТЛ ТК ТП
У Підсилювачі	Підсилювачі: високої частоти проміжної частоти УН широкополосні імпульсних сигналів повторювачі зчитування і відтворення індикації постійного струму операційні диференціальні інші	УВ УР УН УК УИ УЕ УЛ УМ УТ УД УС УП
Ф Фільтри	Фільтри: верхніх частот нижніх частот полосові режекторні інші	ФВ ФН ФЕ ФР ФП

Підгрупа	Вид	Позначення
Х Багатофункціональні схеми та схеми під- вищення функціона- льної складності	Багатофункціональні схеми:	
	аналогові	ХА
	цифрові	ХЛ
	комбіновані	ХК
	цифрові матриці (у тому числі програ- мовані матриці)	ХМ
	аналогові матриці	ХН
Ц Фоточутливі схеми з зарядовим зв'язком	комбіновані (аналогові і цифрові матри- ці)	ХТ
	інші	ХП
	Фоточутливі схеми:	
	матричні	ЦМ
	лінійні	ЦЛ
	інші	ЦП

Логічні елементи

Логічні елементи I, I-HE

ЛА1, ЛА6, ЛА7,
ЛА16, ЛА22



Два логічних елемента 4I-HE

133-, 155-, 530-, 531-, 533-, 555-, 1533ЛА1

(7 – заг., 14 – +5 В).

Два логічних елемента 4I-HE з підвищеною здатніс-
тю навантаження

133-, 155-, 533-, 555ЛА6

(7 – заг., 14 – +5 В).

Два логічних елемента 4I-HE з відкритим колектор-
ним входом

133-, 155-, 531-, 555-, 1533ЛА7

(7 – заг., 14 – +5 В).

Два логічних елемента 4I-HE з підвищеною здатніс-
тю навантаження

530-, 531ЛА16

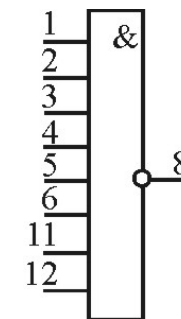
(7 – заг., 14 – +5 В).

Два логічних елемента 4I-HE з підвищеною здатніс-
тю навантаження

533ЛА22

(7 – заг., 14 – +5 В).

ЛА2

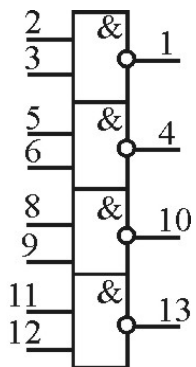


Логічний елемент 8I-HE

133-, 155-, 530-, 531-, 533-, 555-, 1533ЛА2

(7 – заг., 14 – +5 В).

**ЛА3, ЛА9, ЛА11,
ЛА12, ЛА21, ЛА23**



Чотири логічних елемента 2І-НЕ
133-, 155-, 530-, 531-, 533-, 555-, 1533ЛА3
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2І-НЕ з відкритим колекторним входом

531-, 533-, 555-, 1533ЛА9
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2І-НЕ з високовольним відкритим колекторним входом

133-, 155-, 555ЛА11
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2І-НЕ з підвищеною здатністю навантаження

133-, 155-, 530-, 531-, 533-, 555-, 1533ЛА12
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2І-НЕ з відкритим колекторним входом і підвищеною здатністю навантаження

155-, 530-, 531-, 533-, 555-, 1533ЛА13
(7 – заг., 14 – +5 В).

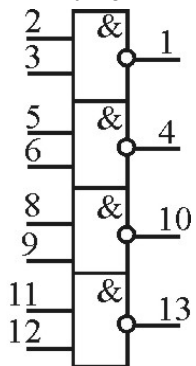
Чотири логічних елемента 2І-НЕ з підвищеною здатністю навантаження

1533ЛА21
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2І-НЕ з відкритим колекторним входом

1533ЛА23
(7 – заг., 14 – +5 В).

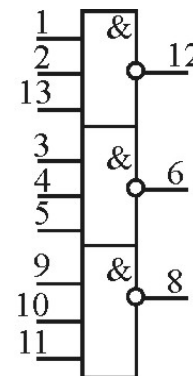
ЛА8



Чотири логічних елемента 2І-НЕ з відкритим колекторним входом

133-, 155-, 1533ЛА8
(7 – заг., 14 – +5 В).

ЛА4, ЛА10, ЛА24



Три логічних елемента 3І-НЕ
133-, 155-, 530-, 531-, 533-, 555-, 1533ЛА4
(7 – заг., 14 – +5 В).

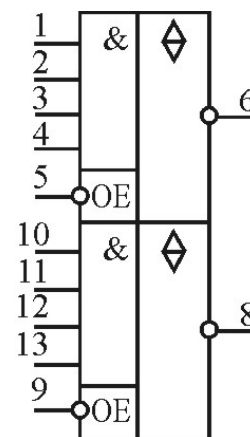
Три логічних елемента 3І-НЕ з відкритим колекторним входом

133-, 155-, 533-, 555-, 1533ЛА10
(7 – заг., 14 – +5 В).

Три логічних елемента 3І-НЕ з підвищеною здатністю навантаження

1533ЛА24
(7 – заг., 14 – +5 В).

ЛА17



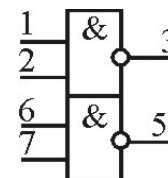
Два логічних елемента 4І-НЕ з третім станом виходу

530-, 531ЛА17
(7 – заг., 14 – +5 В).

У режимі виконання логічної операції 4І-НЕ на вході ОЕ повинен бути присутній рівень логічного «0».

При $\overline{OE} = 1$ вихід ІС переводиться у стан високого імпедансу.

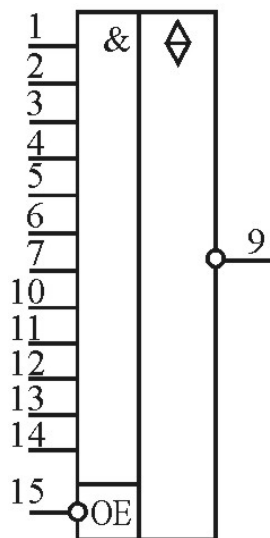
ЛА18



Два логічних елемента 2І-НЕ з відкритим колекторним входом і підвищеною здатністю навантаження

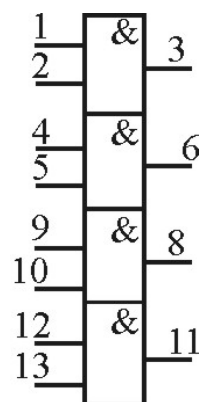
155ЛА18
(4 – заг., 8 – +5 В).

ЛА19



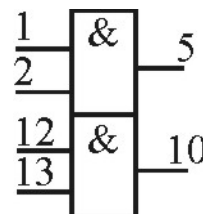
Логічний елемент 12І-НЕ з третім станом виходу
531ЛА19
(8 – заг., 16 – +5 В).
Керування по входу ОЕ подібно ІС ЛА17.

ЛП1, ЛП2, ЛП8



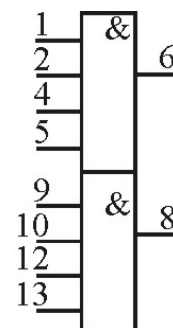
Чотири логічних елемента 2І
133-, 155-, 530-, 531-, 533-, 555-, 1533ЛП1
(7 – заг., 14 – +5 В).
Чотири логічних елемента 2І з відкритим колекторним входом
133-, 533-, 555-, 1533ЛП2
(7 – заг., 14 – +5 В).
Чотири логічних елемента 2І з підвищеною здатністю навантаження
1533ЛП8
(7 – заг., 14 – +5 В).

ЛП5



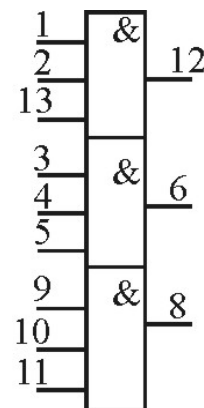
Два логічних елемента 2І з відкритим колекторним входом і підвищеною здатністю навантаження
133-, 155ЛП5
(7 – заг., 14 – +5 В).

ЛП6



Два логічних елемента 4І
533-, 555-, 1533ЛП6
(7 – заг., 14 – +5 В).

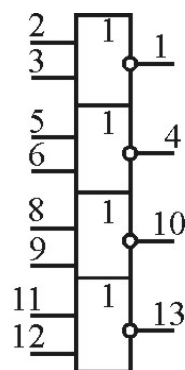
ЛП3, ЛП4, ЛП10



Три логічних елемента 3І
530-, 531-, 533-, 555-, 1533ЛП3
(7 – заг., 14 – +5 В).
Три логічних елемента 3І з відкритим колекторним входом
555-, 1533ЛП4
(7 – заг., 14 – +5 В).
Три логічних елемента 3І з підвищеною здатністю навантаження
1533ЛП10
(7 – заг., 14 – +5 В).

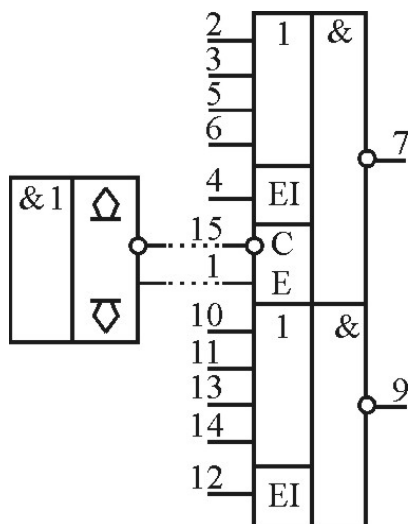
Логічні елементи АБО, АБО-НЕ

ЛЕ1, ЛЕ5, ЛЕ6, ЛЕ10, ЛЕ11



Чотири логічних елемента 2АБО-НЕ
133-, 155-, 530-, 531-, 533-, 555-, 1533ЛЕ1
(7 – заг., 14 – +5 В).
Чотири логічних елемента 2АБО-НЕ з підвищеною
здатністю навантаження
133-, 155ЛЕ5 и 133-, 155ЛЕ6
(7 – заг., 14 – +5 В).
Чотири логічних елемента 2АБО-НЕ з підвищеною
здатністю навантаження
1533ЛЕ10
(7 – заг., 14 – +5 В).
Чотири логічних елемента 2АБО-НЕ з відкритим
колекторним виходом
1533ЛЕ11
(7 – заг., 14 – +5 В).

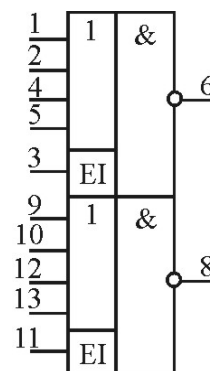
ЛЕ2



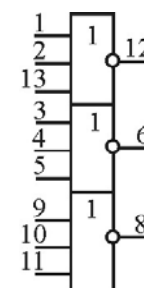
Підключення розширювача 155
ЛД1 до ІС 155 ЛЕ2

Два логічних елемента 4АБО-НЕ зі
стробуванням та можливістю розширен-
ня одного з них по АБО
15ЛЕ2
(8 – заг., 16 – +5 В).
Логічна функція АБО-НЕ реалізується,
якщо на вході стробування ЕІ встанов-
лений рівень логічної «1».
Для збільшення числа входів елементу
АБО передбачені відводи від колектора
(вхід С) та емітера (вхід Е) транзистора
фазоінверсного каскаду ІС. Розширення,
як правило, здійснюють з використанням
спеціальних розширювачів ЛД1 та
ЛД3, які належать до серії 133 і 155. На
наведеній схемі відповідні з'єднання
показані з ІС 115ЛД1 показані пунктир-
ними лініями.

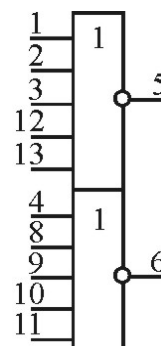
ЛЕ3



ЛЕ4



ЛЕ7

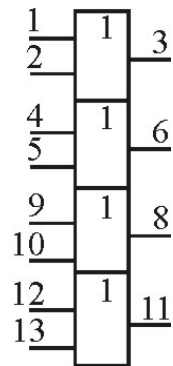


Два логічних елемента 4АБО-НЕ зі стробуванням
133-, 155ЛЕ3
(7 – заг., 14 – +5 В).
Керування по входу стробування ЕІ аналогічно
керуванню ЛЕ2.

Три логічних елемента 3АБО-НЕ
15-, 533-, 55-, 1533ЛЕ4
(7 – заг., 14 – +5 В).

Два логічних елемента 5АБО-НЕ
531ЛЕ7
(7 – заг., 14 – +5 В).

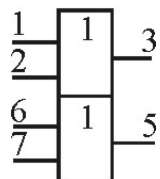
ЛЛ1, ЛЛ4



Чотири логічних елемента 2АБО
133-, 155-, 530-, 531-, 533-, 555-, 1533ЛЛ1
(7 – заг., 14 – +5 В).

Чотири логічних елемента 2АБО з підвищеною
здатністю навантаження
1533ЛЛ4
(7 – заг., 14 – +5 В).

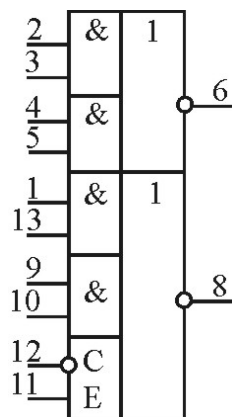
ЛЛ2



Два логічних елемента 2АБО з відкритим колекто-
рним входом і підвищеною здатністю навантажен-
ня
155ЛЛ2
(4 – заг., 8 – +5 В).

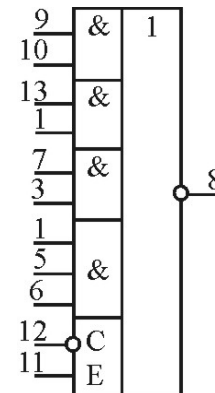
Логічні елементи І-АБО, І-АБО-НЕ

ЛР1



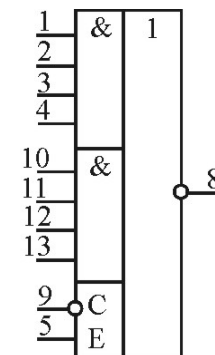
Два логічних елемента 2-2І-2АБО-НЕ з можливістю
розширення одного з них по АБО
133-, 155ЛР1
(7 – заг., 14 – +5 В).
Розширення здійснюють, використовуючи входи С
і Е за схемою, наведеною для ІС 155ЛЕ2 (див. та-
кож ЛД1, ЛД3).

ЛР3



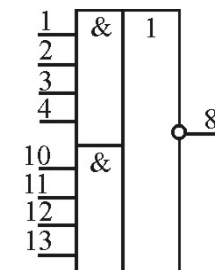
Логічний елемент 2-2-2І-4АБО-НЕ з можливістю
розширення одного з них по АБО
133-, 155ЛР3
(7 – заг., 14 – +5 В).
Призначення й спосіб використання входів С, Е такі
ж, що й у ЛЕ2, ЛР1, ЛР4 (див. також ЛД1, ЛД3).

133ЛР4



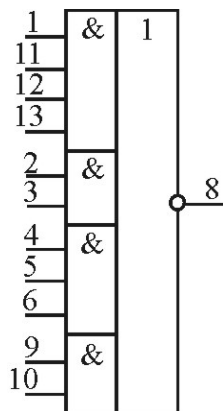
Логічний елемент 4-4І-2АБО-НЕ з можливістю
розширення по АБО
133-, 155ЛР4
(7 – заг., 14 – +5 В).
Призначення й спосіб використання входів С, Е такі
ж, що й у ЛЕ2, ЛР1, ЛР3 (див. також ЛД1, ЛД3).

533ЛР4



Логічний елемент 4-4І-2АБО-НЕ
533-, 555-, 1533ЛР4
(7 – заг., 14 – +5 В).

ЛР9, ЛР10



Логічний елемент 4-2-3-2І-4АБО-НЕ

530-, 531ЛР9

(7 – заг., 14 – +5 В).

Логічний елемент 4-2-3-2І-4АБО-НЕ з відкритим

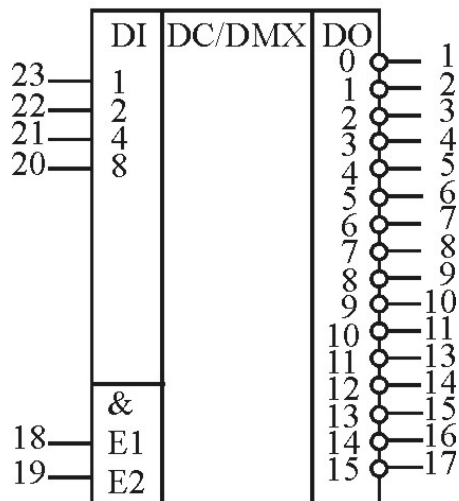
колекторним виходом

530-, 531ЛР10

(7 – заг., 14 – +5 В).

Дешифратори / демультиплексори

ІД3



Дешифратор / демультиплексор

(4x16 – повний дешифратор)

133-, 155-, 533-, 1533ІД3

(12 – заг., 14 – +5 В).

Наявність дозволяючих входів Е1, Е2 дозволяє використовувати ІС і в режимі демультиплексування. Для чого на один з входів Е подають інформаційний сигнал, а на вхід D1 адресний код. На вільному вході Е слід встановити рівень логічного «0»,

оскільки сигнал дозволу у ІС виробляється при

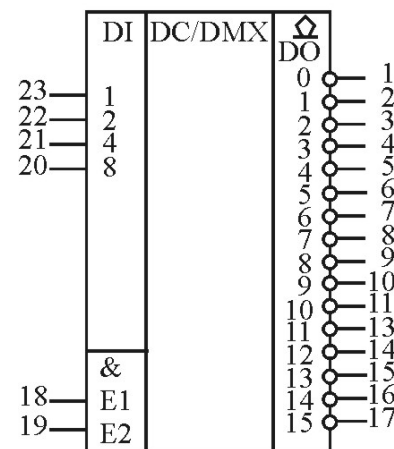
$$\bar{E1} \& \bar{E2} = 1.$$

Активним вихідним рівнем є низький. Номер виходу, що активізується, визначається у відповідності з таблицею.

Таблиця активізованих виходів ІД3

$\bar{E1}$	$\bar{E2}$	D18	D14	D12	D11	Вихід
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
0	0	0	1	0	0	4
0	0	0	1	0	1	5
0	0	0	1	1	0	6
0	0	0	1	1	1	7
0	0	1	0	0	0	8
0	0	1	0	0	1	9
0	0	1	0	1	0	10
0	0	1	0	1	1	11
0	0	1	1	0	0	12
0	0	1	1	0	1	13
0	0	1	1	1	0	14
0	0	1	1	1	1	15
0	1	X	X	X	X	На всіх виходах лог. «1»
1	0	X	X	X	X	
1	1	X	X	X	X	

ІД19



Дешифратор / демультиплексор

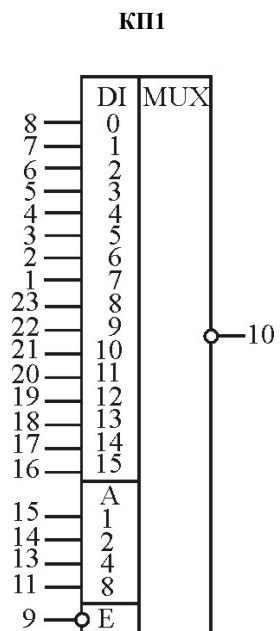
(4x16 – повний дешифратор) з відкритим колекторним виходом.

533ІД19

(12 – заг., 24 – +5 В).

ІС відрізняється від ІД3 тільки наявністю вихідних каскадів з відкритими колекторами.

Мультиплексори



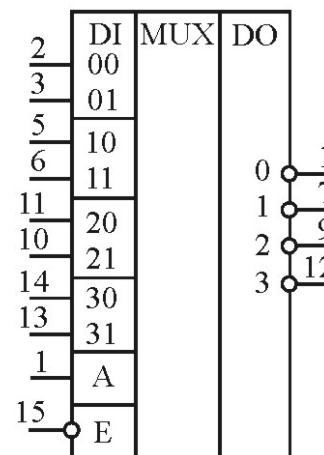
Шістнадцятиканальний інвертуючий стробований мультиплексор з адресним селектором 133-, 155КП1 (12 – заг., 24 – +5 В).
Функціонування ІС ілюструється таблицею істинності

Таблиця істинності КП1

A8	A4	A2	A1	$\overline{E}$	Вихід
X	X	X	X	1	1
0	0	0	0	0	$\overline{DI0}$
0	0	0	1	0	$\overline{DI1}$
0	0	1	0	0	$\overline{DI2}$
0	0	1	1	0	$\overline{DI3}$
0	1	0	0	0	$\overline{DI4}$
0	1	0	1	0	$\overline{DI5}$
0	1	1	0	0	$\overline{DI6}$
0	1	1	1	0	$\overline{DI7}$

1	0	0	0	0	$\overline{DI8}$
1	0	0	1	0	$\overline{DI9}$
1	0	1	0	0	$\overline{DI10}$
1	0	1	1	0	$\overline{DI11}$
1	1	0	0	0	$\overline{DI12}$
1	1	0	1	0	$\overline{DI13}$
1	1	1	0	0	$\overline{DI14}$
1	1	1	1	0	$\overline{DI15}$

КП18



Двоканальний чотирирозрядний інвертуючий стробований мультиплексор 531-, 555-, 1533КП18 (12 – заг., 24 – +5 В).
Функціонування ІС ілюструється таблицею істинності

Таблиця істинності

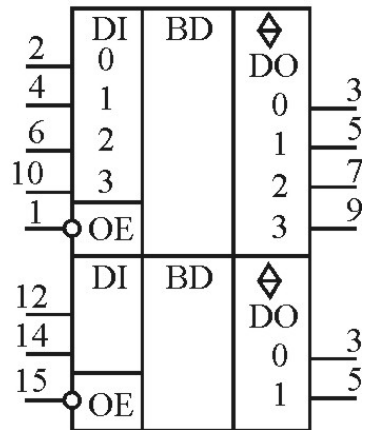
A	$\overline{E}$	$\overline{DO3}$	$\overline{DO2}$	$\overline{DO1}$	$\overline{DO0}$
X	1	1	1	1	1
0	0	$\overline{DI30}$	$\overline{DI20}$	$\overline{DI10}$	$\overline{DI00}$
1	0	$\overline{DI31}$	$\overline{DI21}$	$\overline{DI11}$	$\overline{DI01}$

ДОДАТОК 3

Логічні схеми комбінаційного та послідовного типу

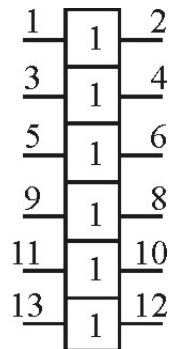
Драйвери

ЛП11



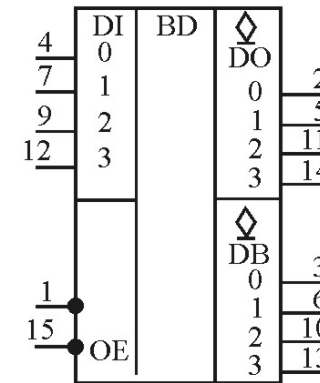
Дворозрядний та чотирирозрядний шинні драйвери
155ЛП11
(8 – заг., 16 – +5 В).
Керування ІС аналогічно ЛП8.

ЛП16, ЛП17



Шість буферних елементів
15533ЛП16
(7 – заг., 14 – +5 В).
Шість буферних елементів з відкритим колекторним виходом
15533ЛП16
(7 – заг., 14 – +5 В).

АП2

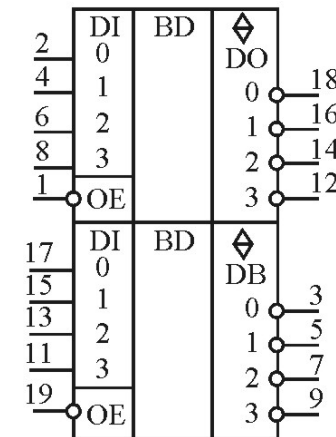


Чотирирозрядний двонаправлений драйвер з відкритими колекторними виходами
530-, 531АП2
(8 – заг., 16 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів.

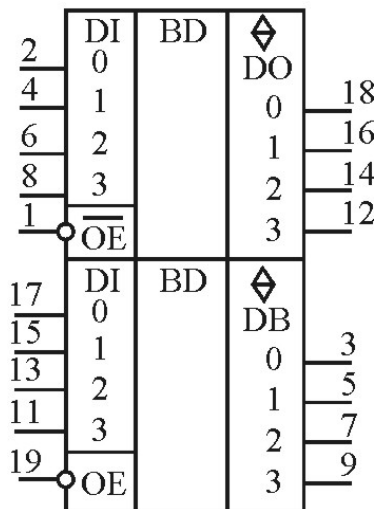
$\overline{EB}$	$\overline{EO}$	Напрямок передачі
0	X	$DI \rightarrow DB$ $DO \rightarrow 0$
1	0	$DB \rightarrow DO$

АП3



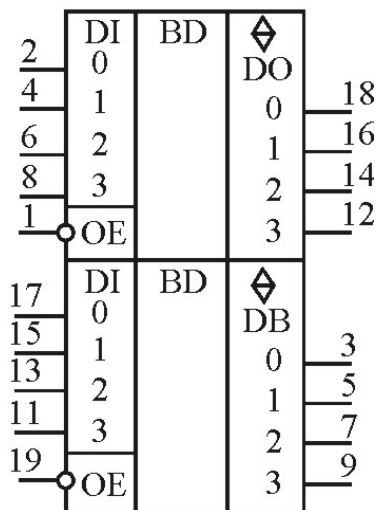
Два чотирирозрядних інвертуючих шинних драйвера
530-, 531-, 533-, 555-, 1533АП3
(10 – заг., 20 – +5 В).
Керування ІС аналогічно ЛП8.

АП4



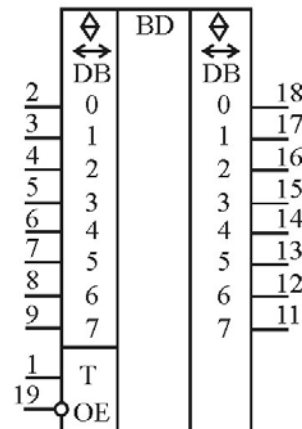
Два чотирирозрядних шинних драйвера
530-, 531-, 533-, 555-, 1533АП4
(10 – заг., 20 – +5 В).
Керування верхньою частиною ІС ана-
логічно ЛПІ8. У нижній частині передача
сигналів на вихід відбувається за умови
OE=1, у випадку OE=0 вихід переходить
у стан високого імпедансу.

АП5



Два чотирирозрядних шинних драйвера
533-, 555-, 1533АП5
(10 – заг., 24 – +5 В).
Керування ІС аналогічно ЛПІ8.

АП6



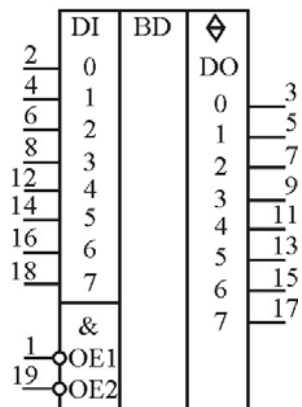
Восьмирозрядний шинний драйвер
533-, 555-, 1533АП6
(10 – заг., 24 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів.

$\overline{OE}$	T	Направлення передачі
0	0	$\overline{DB} \rightarrow DA$
0	1	$DA \rightarrow \overline{DB}$
1	x	$DA = \overline{DB} = Z$

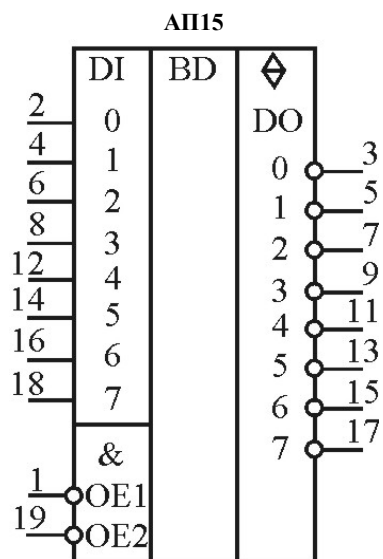
АП14

Восьмирозрядний шинний драйвер
1533АП14
(10 – заг., 20 – +5 В).



Керування IC пояснюється таблицею істинності.

$\overline{OE} 1$	$\overline{OE} 2$	DO
0	0	DI
x	1	z
1	x	z



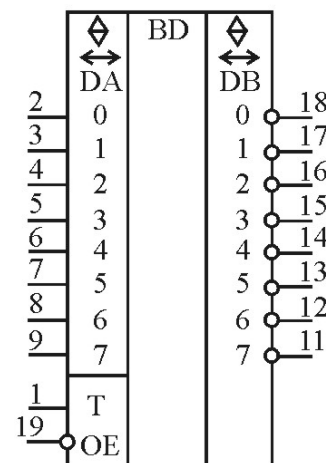
Восьмирозрядний інвертуючий шинний драйвер 1533АП15
(10 – заг., 20 – +5 В).

Керування IC ілюструється таблицею істинності.

$\overline{OE} 1$	$\overline{OE} 2$	DO
0	0	DI
x	1	z
1	x	z

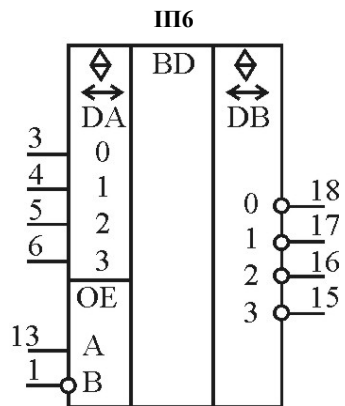
АП16

Восьмирозрядний шинний драйвер
1533АП16
(10 – заг., 20 – +5 В).



Режим роботи IC вибирається у відповідності з таблицею. Вхід/вихід DB у режимі входу не є інвертуючим.

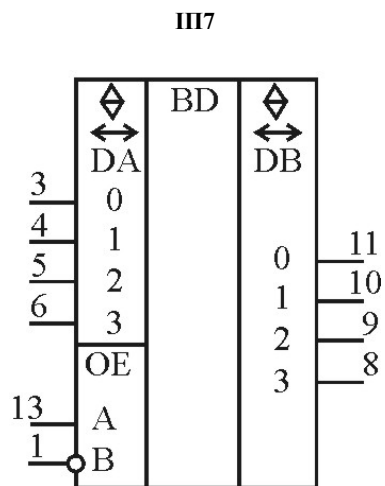
$\overline{OE}$	T	Направлення передачі
0	0	$\overline{DB} \rightarrow DA$
0	1	$DA \rightarrow \overline{DB}$
1	x	$DA = \overline{DB} = Z$



Чотирирозрядний інвертуючий шинний драйвер 533-, 555-, 1533ІІІ6
(7 – заг., 14 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів.

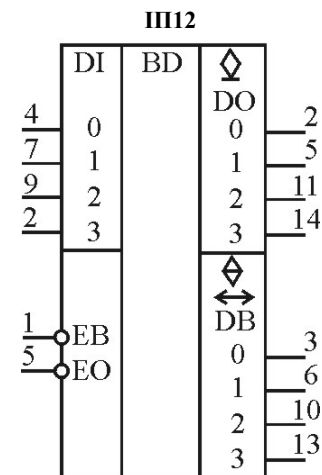
OEA	$\overline{OEB}$	Направлення передачі
0	0	$DA \rightarrow \overline{DB}$
1	1	$\overline{DB} \rightarrow DA$
0	1	$DA = \overline{DB} = Z$



Чотирирозрядний шинний драйвер 533-, 555-, 1533ІІІ7
(7 – заг., 14 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів.

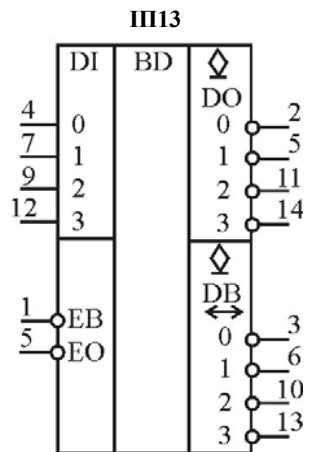
OEA	$\overline{OEB}$	Направлення передачі
0	0	$DA \rightarrow DB$
1	1	$DB \rightarrow DA$
0	1	$DA = DB = Z$



Чотирирозрядний шинний драйвер 533ІІІ12
(8 – заг., 16 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів.

$\overline{EB}$	$\overline{EO}$	Направлення передачі
0	0	$DI \rightarrow DO, DB$
0	1	$DI \rightarrow DB$
1	0	$DB \rightarrow DO$
1	1	$DO = DB = Z$



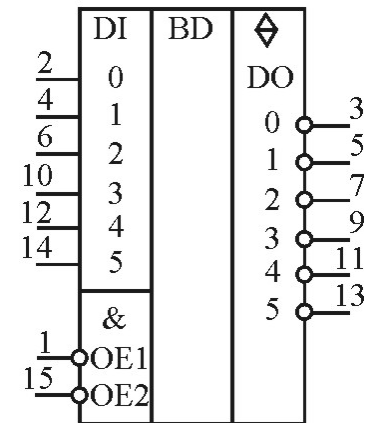
Чотирирозрядний інвертуючий шинний драйвер 533ІІІ13
(8 – заг., 16 – +5 В).

Функціонування ІС задається у відповідності з таблицею режимів. Вхід/вихід DB у режимі входу не є інвертуючим.

$\overline{EB}$	$\overline{EO}$	Направлення передачі
0	0	$DI \rightarrow \overline{DO}, \overline{DB}$
0	1	$DI \rightarrow \overline{DB}$
1	0	$DB \rightarrow \overline{DO}$
1	1	$DO = DB = Z$

ЛН6

Шестирозрядний інвертуючий шинний драйвер 155ЛН6
(7 – заг., 14 – +5 В).



Керування ІС ілюструється таблицею істинності.

$\overline{OE} 1$	$\overline{OE} 2$	$\overline{DO}$
0	0	$\overline{DI}$
x	1	z
1	x	z

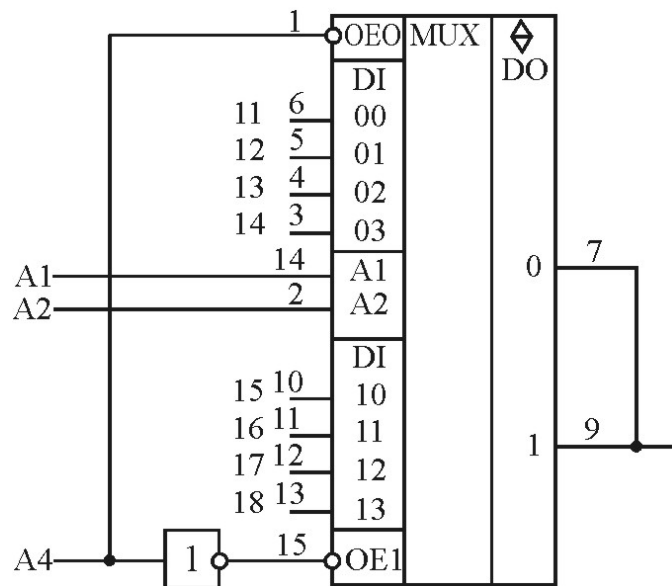
Мультиплексори

Чотириканальний дворозрядний мультиплексор з адресним селектором та третім станом виходу.

531-, 533-, 555-, 1533КП12
(8 – заг., 16 – + 5 В).

Структура ІС за рахунок роздільного керування виходами DO дозволяє без труднощів перетворювати чотириканальний дворозрядний мультиплексор у одnorозрядний восьми канальний. Для цього розрядні виходи об'єднують, а адресний код подають згідно наведених схем.

Перетворення КП12 у восьми канальний одnorозрядний мультиплексор:



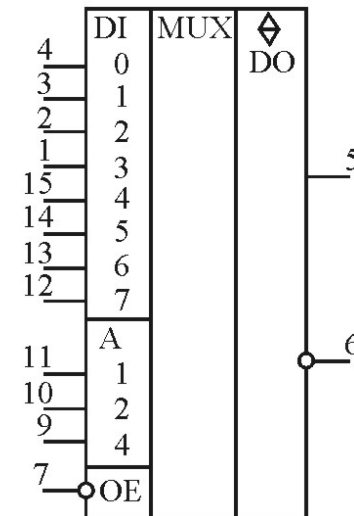
У цілому логіка роботи IC описується таблицею істинності.

Таблиця істинності КР12

A2	A1	$\overline{OE1}$	$\overline{OE0}$	DO1	DO0
x	x	1	1	z	z
0	0	1	0	z	DI00
0	1	1	0	z	DI01
1	0	1	0	z	DI02
1	1	1	0	z	DI03
0	0	0	0	DI11	DI00
0	1	0	0	DI11	DI01
1	0	0	0	DI11	DI02
1	1	0	0	DI11	DI03
0	0	0	1	DI11	z
0	1	0	1	DI11	z
1	0	0	1	DI11	z
1	1	0	1	DI11	z

КР15

Восьмиканальний мультиплексор адрес-

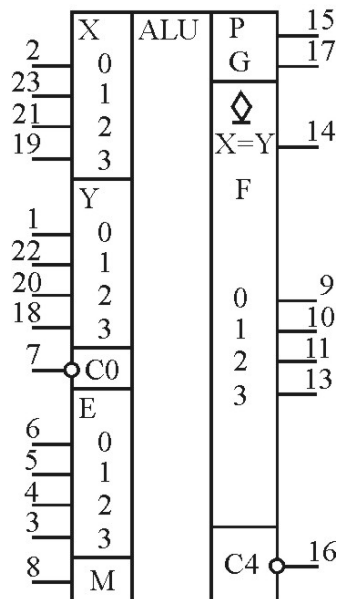


ним селектором та третім станом виходу
(див. табл. істинності)
530-, 531-, 533-, 555-, 1533КР15
(8 – заг., 16 – +5 В).

Таблиця істинності КР15

A4	A2	A1	$\overline{OE}$	DO
x	x	1	1	z
0	0	0	0	DI0
0	0	1	0	DI1
0	1	0	0	DI2
0	1	1	0	DI3
1	0	0	0	DI4
1	0	1	0	DI5
1	1	0	0	DI6
1	1	1	0	DI7

АЛП



Чотирирозрядне АЛП
133-, 155-, 530-, 531-, 533-, 555-, 0
1533ІПЗ
(12 – 191г., 24 – +5 В).

Призначення виводів ІС:

X, Y – входи чотири розрядних операндів;

C0 – вхід перенесень;

E – вхід завдання коду операцій;

M – вхід вибору режиму – арифметичний/логічний;

F – вихід результату;

C4 – вихід перенесень;

P, G – виходи для організації паралельного перенесень;

X=Y – вихід рівності операндів.

У залежності від стану входу M АЛП виконує шістнадцять або логічних, або арифметичних операцій. Виконання логічних функцій над чотирирозрядними операндами здійснюється порозрядово з видачею результату на відповідний розряд виходу F=(F0, F1, F2, F3). Для підвищення швидкості обчислення арифметичних функцій в ІС застосована вбудована схема прискорених перенесень з інверсним виходом C4 та додатковими виходами розповсюдження P та генерації G перенесень. Останні дозволяють за умови розширення АЛП організувати паралельну структуру перенесень з блоком обробки на основі ІП4.

Вихід X=Y є виходом внутрішнього компаратора з відкритим колектором. У режимі віднімання за умови рівності вхідних операндів на даному виході установлюється рівень логічної «1». Відсутність колекторного навантаження допускає при каскадуванні АЛП об'єднувати виходи X=Y за схемою «монтажне І».

Можливості ІПЗ зведені у таблицю режимів. У наведених таблицях при M=0 показано виконання арифметичних функцій, а при M=1 – логічних.

Таблиця режимів ІПЗ. Додатна логіка

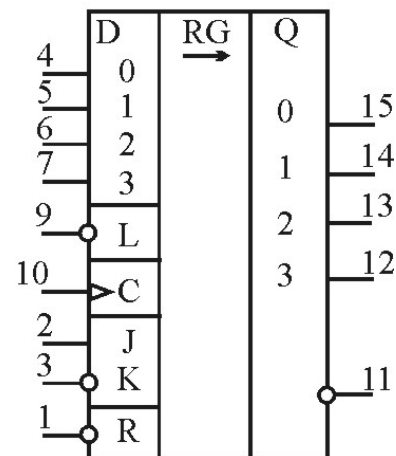
E 3	E 2	E 1	E 0	Функції		
				M=1	M=0	
					$\overline{CO}=1$	$\overline{CO}=0$
0	0	0	0	$\overline{X}$	X	X+1
0	0	0	1	$\overline{XVY}$	XVY	(XVY)+1
0	0	1	0	$\overline{X \& Y}$	XVY	(XVY)+1
0	0	1	1	0	-1	0
0	1	0	0	$\overline{X \& Y}$	$X + (X \& \overline{Y})$	$X + (X \& \overline{Y}) + 1$
0	1	0	1	$\overline{Y}$	$(XVY) + (X \& \overline{Y})$	$(XVY) + (X \& \overline{Y}) + 1$
0	1	1	0	$X \oplus Y$	$X - Y - 1$	$X - Y$
0	1	1	1	$X \& \overline{Y}$	$(X \& \overline{Y}) - 1$	$X \& \overline{Y}$
1	0	0	0	$\overline{XVY}$	$X + (X \& Y)$	$X + (X \& Y) + 1$
1	0	0	1	$\overline{X \oplus Y}$	X+1	X+Y+1
1	0	1	0	Y	$(XV\overline{Y}) + (X \& Y)$	$(XV\overline{Y}) + (X \& Y) + 1$
1	0	1	1	$X \& Y$	$(X \& Y) - 1$	$X \& Y$
1	1	0	0	1	X+X	X+X+1
1	1	0	1	$\overline{XVY}$	$(XVY)+X$	$(XVY)+X+1$
1	1	1	0	XVY	$(XV\overline{Y}) + X$	$(XV\overline{Y}) + X + 1$
1	1	1	1	X	X-1	X

Таблиця режимів ИП3. Від'ємна логіка

E 3	E 2	E 1	E 0	Функції		
				M=1	M=0	
					CO=1	CO=0
0	0	0	0	$\overline{X}$	X-1	X
0	0	0	1	$\overline{X \& Y}$	$(X \& Y) - 1$	$X \& Y$
0	0	1	0	$\overline{X} V Y$	$(X \& \overline{Y}) - 1$	$X \& \overline{Y}$
0	0	1	1	1	-1	0
0	1	0	0	$\overline{X} V \overline{Y}$	$X + (X V \overline{Y})$	$X + (X V \overline{Y}) + 1$
0	1	0	1	$\overline{Y}$	$(X \& Y) + (X V \overline{Y})$	$(X \& Y) + (X V Y) + 1$
0	1	1	0	$\overline{X \oplus Y}$	X-Y-1	X-Y
0	1	1	1	$X V \overline{Y}$	$X V \overline{Y}$	$(X V \overline{Y}) + 1$
1	0	0	0	$\overline{X \& Y}$	$X + (X V Y)$	$X + (X V Y) + 1$
1	0	0	1	$X \oplus Y$	X+Y	X+Y+1
1	0	1	0	Y	$(X \& \overline{Y}) + (X V Y)$	$(X \& \overline{Y}) + (X V Y) + 1$
1	0	1	1	$X V Y$	$X V Y$	$(X V Y) + 1$
1	1	0	0	0	X+X	X+X+1
1	1	0	1	$X \& \overline{Y}$	$(X \& Y) + X$	$(X \& Y) + X + 1$
1	1	1	0	$X \& Y$	$(X \& \overline{Y}) + X$	$(X \& \overline{Y}) + X + 1$
1	1	1	1	X	X	X+1

Регістри
IP12

Чотирирозрядний регістр зсуву з па-

паралельним входом
530-, 531IP12
(8 – заг., 16 – +5 В).

Особливістю регістра є входи J, K, які дозволяють приймати інформацію у послідовному коді як по одному з них, так і одночасно за обома при їх об'єднанні. У послідньому випадку маємо D-вхід. Фіксування та зсув даних відбуваються за додатнім фронтом тактового імпульсу на вході C. У ситуації роздільного керу-

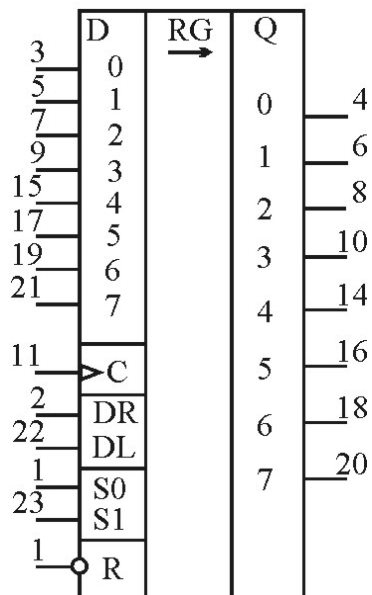
вання входами J, K, якщо $J=1$, а $\overline{K}=0$, то по фронту тактового імпульсу, окрім зсуву інформації від Q0 до Q3, на виході Q0 після зсуву буде присутня інверсія його попереднього стану. Якщо ж $J=0$, а $\overline{K}=1$, то після зсуву даних стан розряду Q0 не зміниться. Послідовне введення та зсув можливі, якщо $\overline{L}=1$, незалежно від стану чотири розрядного входу паралельного запису D.

Паралельна загрузка здійснюється синхронно при $\overline{L}=0$ та будь-яких станах входів J, K.

В усіх перерахованих режимах на вході скидання R підтримують рівень логічної «1». Для асинхронної очистки регістру на вхід R надсилають логічний «0».

IP13

Восьмирозрядний універсальний ре-



гістр зсуву
133-155IP13
(12 – заг., 24 – +5 В).

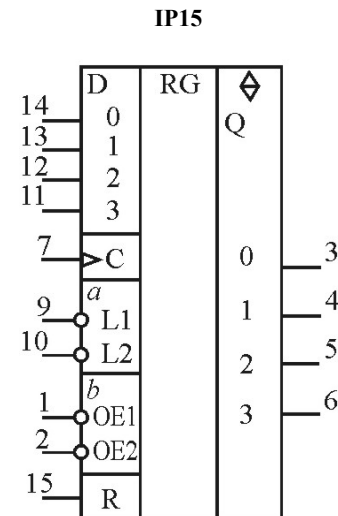
ІС забезпечує синхронне функціонування у наступних режимах: паралельний ввід, послідовний ввід із зсувом праворуч та послідовний ввід із зсувом ліворуч. Режим вибирають завданням відповідного коду на вході S (див. табл. режимів).

Таблиця режимів IP13

S0	S1	Режим
0	0	Зберігання
0	1	Зсув ліворуч
1	0	Зсув праворуч
1	1	Паралельний ввід

У режимі паралельного вводу інформація, представлена у паралельному коді на вході D, записується у регістр по додатному фронту тактового імпульсу на вході C. При цьому $\overline{R} = 1$, а стан інших входів, крім режимних, можуть бути довільними. Для послідовного вводу та зсуву до одної із сторін інформація подається порозрядово на вибраний вхід DR або DL (DR – зсув праворуч, DL – ліворуч) та синхронно з додатними фронтами тактових імпульсів надходить на розрядні виходи Q0 – Q7. У цьому випадку також $\overline{R} = 1$, на режимних входах встановлюють потрібний код, а стан інших входів довільний.

Асинхронне обнуління регістру відбувається при $\overline{R} = 0$.

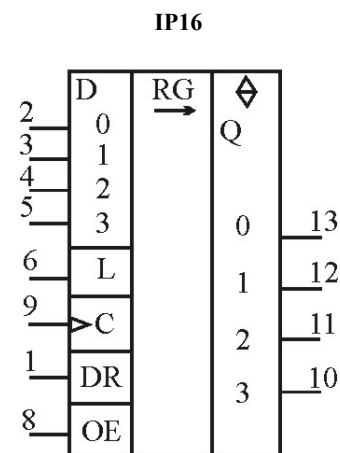


Чотирирозрядний регістр з паралельним входом та третім станом виходу
155-, 533-, 555IP15
(8 – заг., 16 – +5 В).

Регістр забезпечує синхронний запис паралельного коду при $\overline{L1} = \overline{L2} = R = 0$ по додатному фронту тактового імпульсу.

Для переведу виходу регістра Q у високо-імпедансний стан достатньо на один із входів OE подати рівень логічної «1».

Асинхронне обнуління настає при $R = 1$.



Чотирирозрядний регістр зсуву з паралельним та послідовними входами та третім станом виходу
533-, 555IP16
(7 – заг., 14 – +5 В).

Паралельний запис даних із входу D відбувається синхронно по негативному фронту тактового імпульсу при $L = 1$.

Стани входів DR та OE при цьому можуть бути будь-якими. У випадку послідовного вводу інформації на вході L установлюють рівень логічного «0», а дані подають на вхід DR(зсув праворуч). Запис та зсув також здійснюються по негативним фронтам тактового сигналу, незалежно від стану входів D, OE. При OE=0 робота послідовних структур IC не змінюється, однак вихід Q переходить у стан високого імпедансу.

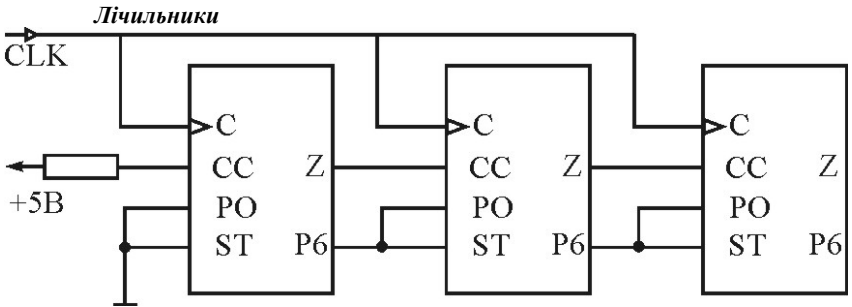
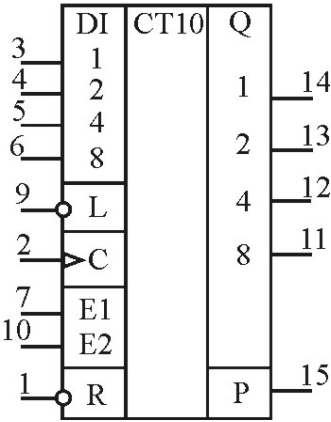


Рис. ДЗ.1. Схема каскадного об'єднання лічильників-дільників IE-8

Входи P та Z є комплементарними. Причому вихід Z використовується при каскадуванні для з'єднання із входом CC наступного каскаду (див. схему на рис. ДЗ.1).

Обнуління дільника асинхронне та настає при R=1.
IE9



Двійково-десятковий синхронний лічильник
155-, 533-, 555-, 1533IE9
(8 – заг., 16 – +5 В).

Принцип дії лічильника ілюструється часовою діаграмою. Паралельна загрузка даних здійснюється синхронно при $\overline{L}=0$ по додатному фронту тактового імпульсу на вході C. При цьому стани входів E можуть бути довільними.

У режимі рахування (підсумовування) повинна виконуватись умова $\overline{R} = \overline{L} = E1 = E2 + 1$. Обнуління лічильника асинхронне. Після обнуління лічильник переходить у стан «9» і починається новий цикл віднімання.

Сигнал дозволу рахування виробляється, якщо $E1 \& E2 = 1$. В той же час входи E1 та E2 нерівноправні. Так, по входу E2 дозволяється не тільки рахування, але й розповсюдження сигналу перенесень.

Вказана відмінність використовується при каскадуванні лічильників. Відмітимо, що у випадку IE9, розширювати розрядність можна декількома способами.

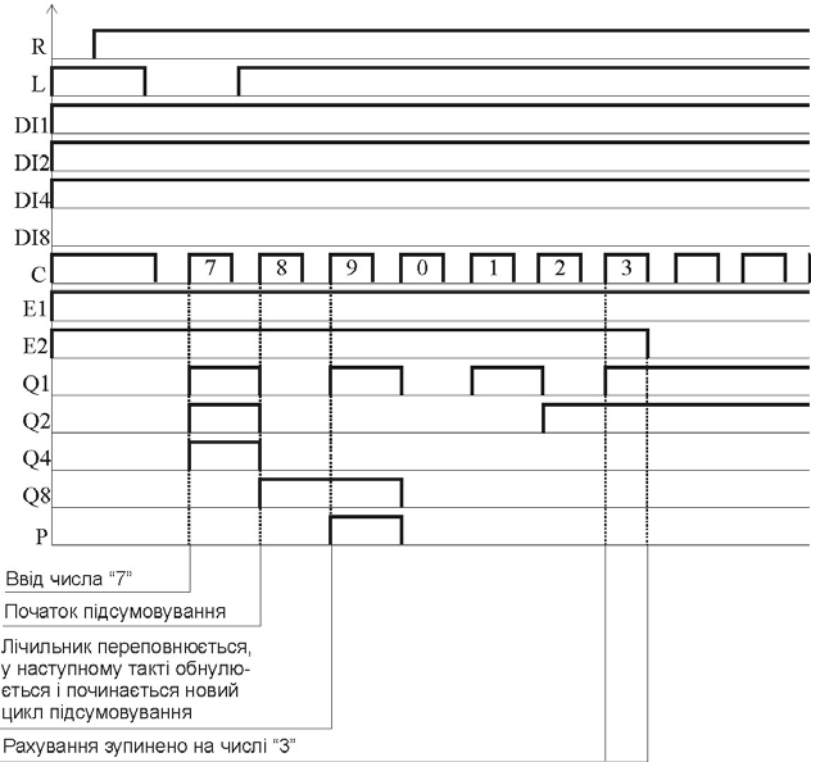


Рис. ДЗ.2. Часова діаграма роботи лічильника IE9 (цифри, які поставлені протитактових імпульсів, є десятковими еквівалентами станів лічильника)

Перший спосіб (див. схему) найбільш простий та найменш швидкісний. Він полягає у послідовній передачі сигналу перенесень з виходів P на входи E2 по ланцюгу лічильників. У цьому випадку із збільшенням розрядності буде знижуватись максимальна тактова частота рахування. Суть другого, високошвидкісного способу, полягає в тому, що сигнал переносу лічильника групи молодших розрядів передається на всі лічильники старших розрядів паралельно. У такій схемі перемикання лічильників буде відбуватися одночасно та так же швидко, як і при роботі одного лічильника.

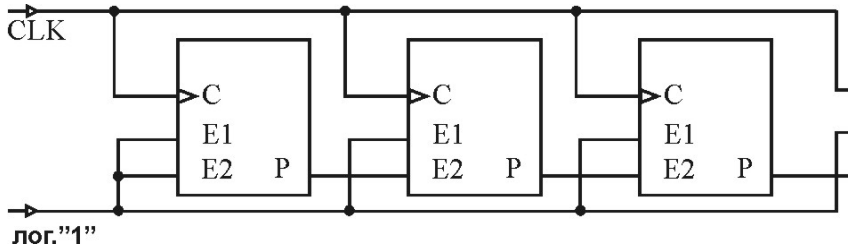


Рис. ДЗ.3. Схема спрощеного варіанту каскадного об'єднання лічильників ІЕ9, ІЕ10, ІЕ11, ІЕ18

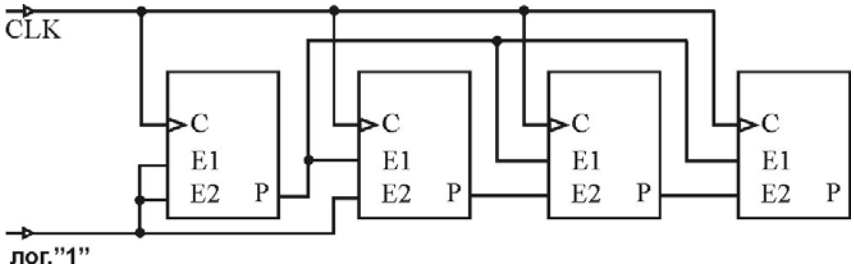
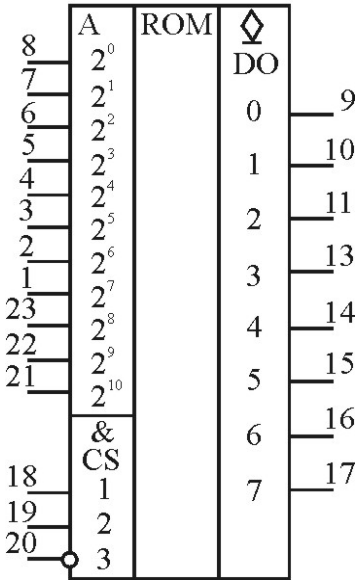


Рис. ДЗ.4. Схема високошвидкісного ланцюга лічильників ІЕ9 (ІЕ10, ІЕ11, ІЕ18)

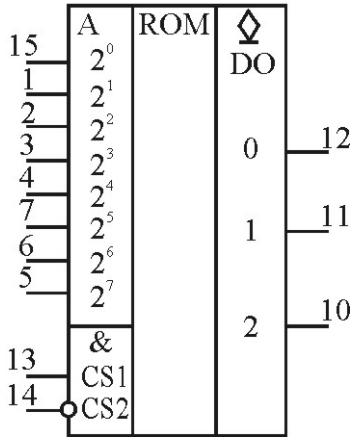
Постійні запам'ятовуючі пристрої (ПЗП)

PE4



ПЗП ємністю 16К (2Кх8)
555PE4
(12– заг., 24 – +5 В).
ІС містить 160 символів коду КОІ-8 по
ДОСТ 19768-74.
У режимі зчитування
 $CS1 = CS2 = 1, CS3 = 0$.

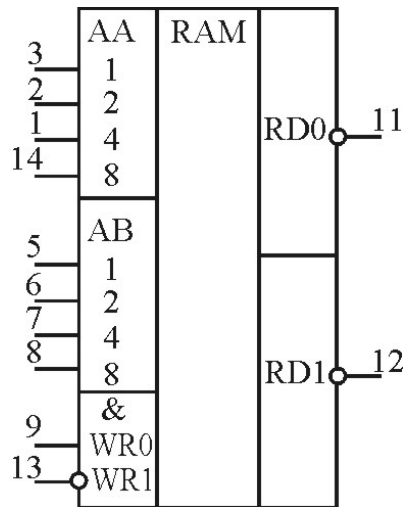
PE24



ПЗП-перетворювач двійкового коду у до-
датковий код знаків
155PE24
(8– заг., 16 – +5 В).
ІС використовується як додаток до PE21,
PE22, PE23 та за схмотехнічною побудо-
вою є аналогічною їм.

Оперативні запам'ятовуючі пристрої (ОЗП)

РУ1

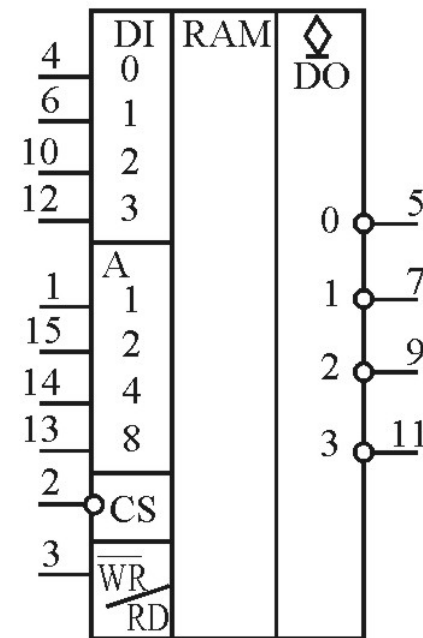


ОЗП ємністю 16 біт (16x1)
133-, 155РУ1
(10– заг., 4 – +5 В).

ІС містить квадратну матрицю з шістнадцяти тригерів, що виконують функції елементів пам'яті, вони адресуються двокоординатним методом. Для адресації передбачені входи AA (адреса рядка) та AB (адреса стовпця). Запис роблять окремо для логічних «0» та логічних «1» за входами WR0, WR1 відповідно. Виходи зчитування також окремі: вихід RD0 – вихід логічних «0», вихід RD1 – вихід логічних «1».

Для запису потрібного логічного рівня на вибраний вхід WR подають логічну «1», підтримуючи на вільному вході WR рівень логічного «0».

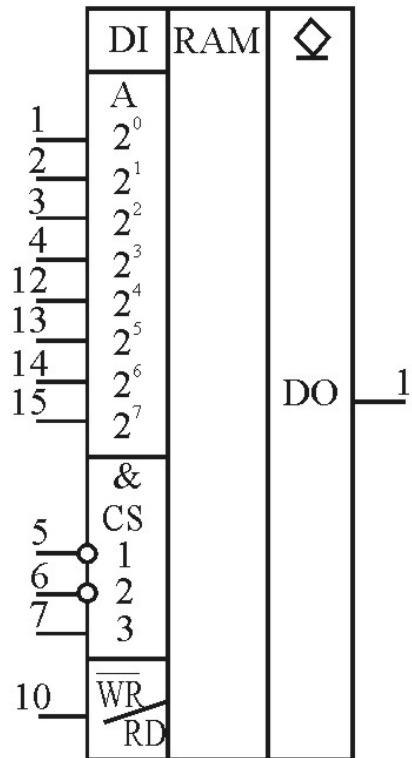
РУ2



ОЗП ємністю 64 біта (16x4)
155-, 530РУ2
(8– заг., 16 – +5 В).

У режимі запису даних заздалегідь на адресному вході А фіксують необхідну адресу, після чого задають умову $\overline{CS} = \overline{WR} / \overline{RL} = 0$. При зчитуванні також заздалегідь фіксують обрану адресу, після чого на вході $\overline{WR} / \overline{RD}$ встановлюють логічну «1», а на вході CS – логічний «0».

PY5

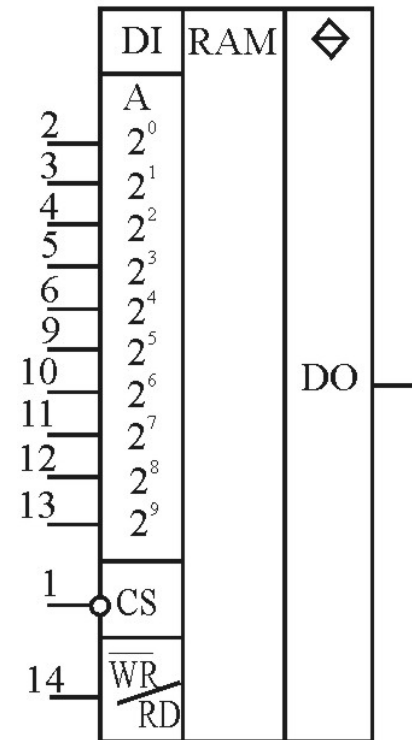


ОЗП ємністю 256 біт (256x1)
133-, 155PY5
(8– заг., 16 – +5 В).

У циклі запису, котрий також, як і читання у даній IC, є асинхронною процедурою, задають умови $\overline{CS1} = \overline{CS2} = \overline{WR/RD} = 0$ та $CS3 = 1$, заздалегідь задавши необхідну адресу. Попередня фіксація адреси необхідна і у режимі читання, при якому $\overline{CS1} = \overline{CS2} = 0$ та $CS3 = \overline{WR/RD} = 1$.

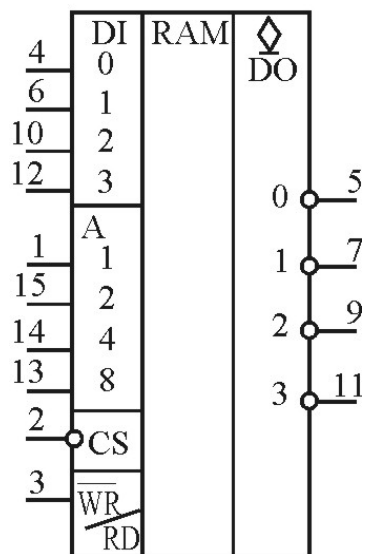
Якщо на одному із входів CS1, CS2 установити рівень логічної «1», то IC перейде у режим зберігання. Такий же ефект буде здобутий, якщо $CS3=0$.

PY7



ОЗП ємністю 1024 біт (1024x1)
133-, 155PY7
(8– заг., 16 – +5 В).

У циклі запису $CS = \overline{WR/RD} = 0$, а вихід DO знаходиться у стані високого імпедансу. При читанні $\overline{CS} = 0$ та $\overline{WR/RD} = 1$. Крім того, якщо $\overline{CS} = 1$, то незалежно від стану входу $\overline{WR/RD}$ IC переходить у режим зберігання з переводом виходу також у високоімпедансний стан.



ОЗП ємністю 64 біта (16x4)
531PU8
(8– заг., 16 – +5 В).
Керування цією ІС аналогічно керуванню
ПУ7

Елементи затримки

Затримки цифрових сигналів потрібні, передусім, для одночасного узгодження поширення сигналів по різних шляхах в ЦК з метою боротьби з критичними часовими змагання, що порушують працездатність автоматів з пам'яттю.

Варіант технічної реалізації елементів затримки залежить від потрібних значень параметрів затримки сигналів, тобто: величини, стабільності, регульованості і т.д. На практиці застосовують різні реалізації затримок: відрізки звичайних або спеціальних коаксіальних кабелів, ланцюжки логічних елементів, штучні електромагнітні лінії затримки, RC- ланцюжки, одневібратори, схеми ділення частоти тактових сигналів. Зупинимося на найтипівіших для ЦК варіантах – ланцюжках логічних елементів та RC- ланцюжках.

У першому випадку використовується природна інерційність логічних елементів. При складанні з декількох логічних елементів послідовного ланцюжка можна підсумовувати затримки окремих елементів. Для цілей затримки природно застосовувати прості елементи-інвертори або повторювачі. Цей зручний спосіб – у найпростішому корпусі МІС вже розташовані 6 інверторів або повторювачів. Затримку можна регулювати дискретно, змінюючи число елементів у ланцюжку. Якщо ланцюжок складений з інверторів, то при парному їх числі виходить просто затримка сигналу, при непарному – затримка з інверсією. Величини отримуваних затримок зазвичай підходять до потрібних, оскільки потрібна компенсація різночасовості розповсюдження сигналів у ланцюгах, також складених з логічних елементів. Точність затримки невисока та обмежується розкидом власних затримок елементів.

Затримку на більший час можна здобути за допомогою RC- ланцюжка, що вмикається у ланцюг передачі сигналу (рис.Д4.1), де вона формує експоненціальні процеси перезаряду ємності через резистор R зі сталою часу RC.

Якщо вважати межевою напругою середину логічного перепаду, то час затримки $t_d = RC \cdot \ln 2 = 0,7RC$ (індекс d походить від англійського *delay*, що означає затримку). Після RC- ланцюжка у схемі ввімкнені три інвертори для формування достатньо крутих фронтів на виході елемента затримки.

Існує суттєва різниця в умовах застосування RC- ланцюжків у схемах на МОП- транзисторах та у схемах на біполярних пристроях. У першому випадку вхідні токи елементів нехтовно малі та вмикання на вході логічного елемента навіть великого опору цілком допустимо. У другому випадку вхідні токи елементів значні, тому в їх вхідні ланцюги можна вмикати тільки малі опори (інакше відбудуться неприпустимі зміни рівнів напруги U_0 та U_1 з-за падінь напруги на резисторі R). Нерідко допустимі значення опору резистора R складають у цьому випадку величину порядку сотень Ом. При малих значеннях опору R стали часу прийдеться збільшувати за рахунок великих ємностей C, що не завжди зручно з конструктивних міркувань.

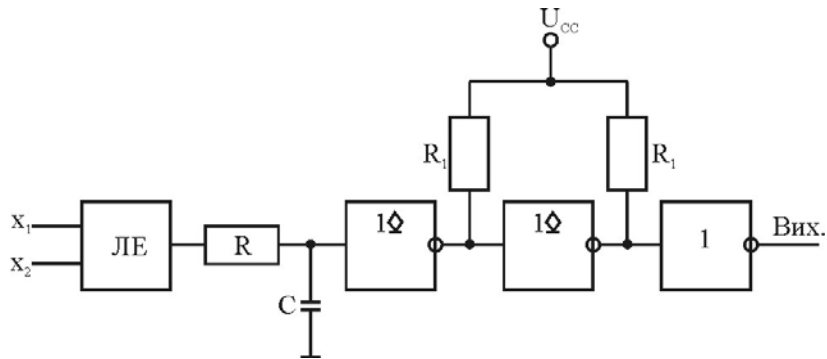


Рис. Д4.1. Схема затримки з RC-ланцюгом

Зі збільшенням сталої часу RC напруга на ємності при переключеннях стає дедалі більш пологою. При цьому властивий логічним елементам розкид межових напруг буде викликати дедалі більший розкид затримок. Таким чином, чим більша затримка, тим менш точною вона стає. Крім того, для деяких елементів (типу КМОП) занадто тривалі фронти вхідних сигналів не є допустимими за паспортними даними. Небажані затягнуті фронти й для елементів ТТЛ(Ш) з їх наскрізними струмами. Тому у схемі (рис. Д4.1) перші елементи ланцюга формування мають вихід ОК, у якому не виникають наскрізні струми.

Перед повторним спрацюванням схема повинна відновитися, для чого тривалість постійного рівня вхідної напруги має бути близько $3RC$.

У схемах ЦК затримки на RC-ланцюгах можуть складати величини до одиниць мілісекунд.

Ланцюги RC використовуються не тільки безпосередньо, але і у формі ланцюгів одневібраторів, що задають час. Вони також є елементами, придатними для використання у якості затримок цифрових сигналів (фронтів). Одневібратори мають один стійкий стан, котрий є вихідним. Вхідний сигнал переводить одневібратор у квазістійкий стан, у якому він знаходиться у продовж часу, який визначається параметрами схеми одневібратора. Потім одневібратор повертається у свій стійкий стан. При цьому формується фронт, який служить вихідним сигналом. Таким чином, тривалість квазістійкого стану одневібратора, тобто тривалість сформованого ним поодинокого імпульсу, і є час затримки сигналу. Одневібратор є релаксаційною схемою, здатною формувати круті фронти завдяки наявності у ній додатного зворотного зв'язку.

Затримку сигналу у ЦК при наявності звичайних для них синхросигналів можна отримати за допомогою лічильників. При цьому вхідний сигнал повинен дозволити роботу лічильника, що знаходиться у нульовому вихідному стані. Лічильник починає підраховувати синхросигнали, а при його переповненні виробляється вихідний сигнал. Таким чином, здійснюється затримка $t_d = NT$, де N – ємність лічильника, T – період синхроімпульсів. Порівняно недавно у номенклатурі ІС з'явилися спеціальні елементи затримки. На рис. Д4.2 показаний фрагмент

схеми такого елемента, призначений для затримки негативного фронту. Позитивні фронти вхідного імпульсного сигналу затримуються іншою схемою подібного виду.

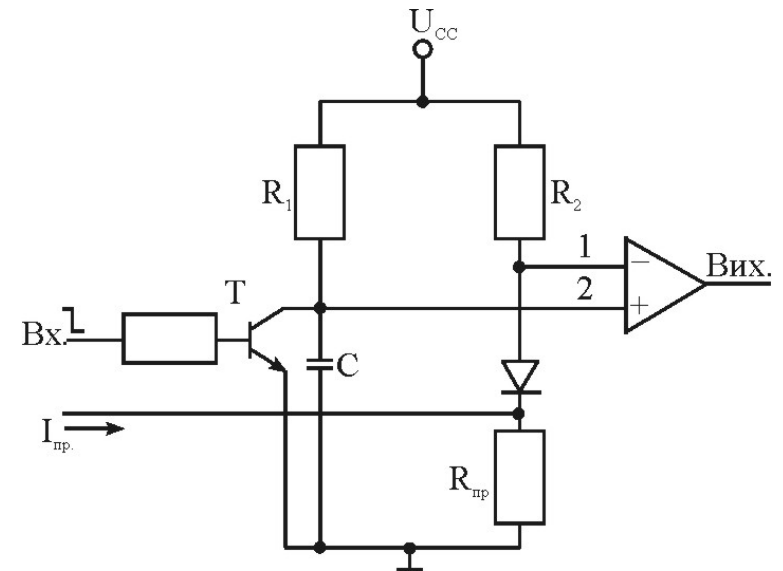


Рис. Д4.2. Фрагмент схеми інтегрального елемента затримки

У схемі (рис. Д4.2) у вихідному стані високий рівень вхідної напруги насичує транзистор Т, і на неінверсний вхід 2 диференціального підсилювача-компаратора надходить мала напруга «колектор-емітер» цього транзистора. На інверсний вхід 1 надходить більш висока напруга з розділювача, який утворився резисторами R_2 та $R_{пр}$, причому у схемі є можливість регулювання цієї напруги, оскільки опір $R_{пр}$ може програмуватися пропусканням через нього струму $I_{пр}$. Після завершення режиму програмування значення $R_{пр}$ залишається незмінним.

Надходження негативного фронту вхідної напруги замикає транзистор Т, і ємність починає заряджуватись від джерела живлення через резистор R_1 зі сталою часу R_1C . Коли напруга на ємності досягне напруги, встановленої на верхньому вході підсилювача-компаратора, він перемкнеться та виробить вихідний сигнал.

У номенклатурі вітчизняних ІС з'явилися три елементи затримки: 100, 125 і 150 нс з п'ятьма рівномірними відводами у кожного.

За допомогою елементів затримки та простих логічних схем вирішуються задачі формування імпульсів за тривалістю та генерації імпульсних послідовностей.

Формування імпульсів за тривалістю

До задач формування імпульсів за тривалістю відносять розширення, звуження та стандартизацію їх тривалості. Ці операції реалізуються схемою (рис. Д4.3, а). Якщо конкретизувати функцію F , приймаючи її за диз'юнкцію, то, як видно з часових діаграм на рис. Д4.3, б, схема буде розширяти вхідний імпульс на інтервал, рівний часу затримки t_d . Якщо розуміти під функцією F кон'юнкцію та розглянути часові діаграми (рис. Д4.3, в), то можна побачити, що схема дає звуження вхідного імпульсу на величину t_d . Якщо $F = X_1 \bar{X}_2$, то буде виконана стандартизація тривалості імпульсу. Вхідний імпульс буде мати тривалість t_d , незалежно від тривалості вхідного (при $t_{вх} > t_d$). Це ілюструється часовими діаграмами рис. Д4.3, г. Відмітимо, що схема при $F = X_1 X_2$ може бути замінена поєднанням звичайного кон'юнктора та інвертуючої затримки.

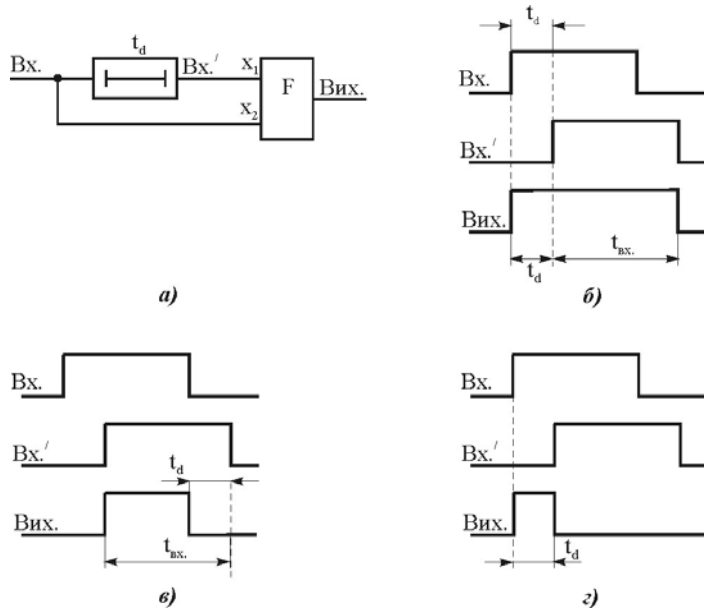


Рис. Д4.3. Схема формування імпульсу за тривалістю (а) і часові діаграми реалізації операцій розширення (б), звуження (в) і стандартизації (г) імпульсів

Генератори імпульсів

На елементах затримки та логічних елементах будуються генератори імпульсних послідовностей. Найпростіший варіант показаний на рис. Д4.4, а. При нульовому значенні сигналу керування Упр. на виході елемента І-НЕ є логічна одиниця, котра через зворотний зв'язок із затримкою на t_d передається на верхній вхід елемента. Таким чином, у початковому стані верхній вхід елемента І-НЕ знаходиться у стані логічної одиниці. Зміна керуючого сигналу є командою для початку роботи генератора. Поява одиниці на нижньому вході Упр. елементу І-НЕ дає співпадіння одиниць на обох входах, що переводить вихід схеми у нульовий стан. Цей стан триває впродовж інтервалу t_d , оскільки після нього нуль з виходу схеми за зворотним зв'язком пройде на верхній вхід елемента та поставить його у одиничний стан, який також збережеться на час t_d , після чого зміниться із-за впливу по ланцюгу зворотного зв'язку. Таким чином, схема буде генерувати симетричні імпульси з тривалістю імпульсу та паузи, рівними t_d (рис. Д4.4, б).

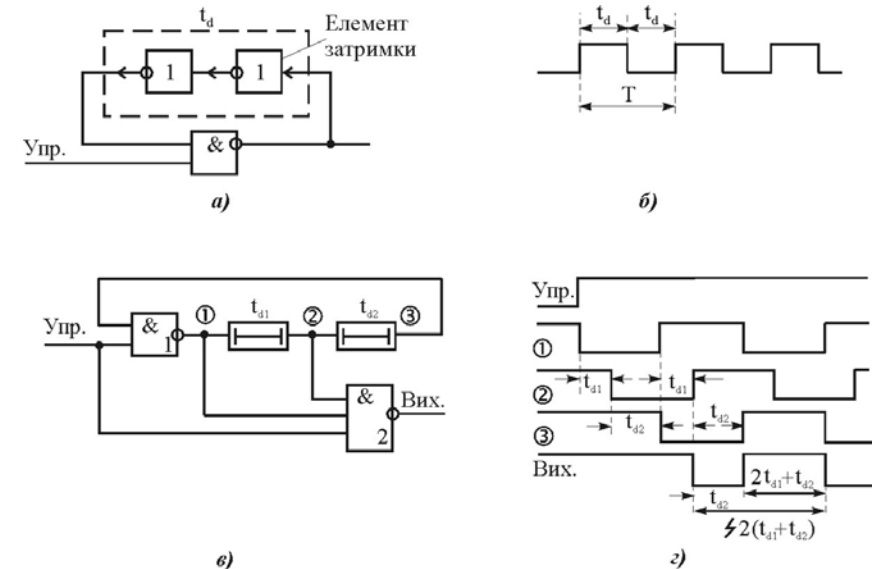


Рис. Д4.4. Схеми генераторів симетричних (а) і несиметричних (в) імпульсів та відповідні часові діаграми їх вихідних сигналів (б, г)

Доволі часто потрібні імпульси, у яких тривалості імпульсу та паузи повинні бути різноманітними. На рис. Д4.4, в, наведена схема, у якій можливе окреме завдання тривалості імпульсу та паузи.

Роботу схеми легко зрозуміти з розглядання часових діаграм на рис. Д4.4, г. Видно, що тривалість паузи встановлюється елементом затримки 2, після чого можна задати необхідну тривалість імпульсу елементом затримки 1.

При цьому $t_n = t_{d2}$ та $t_i = 2t_{d1} + t_{d2}$. Тут пауза коротше імпульсу. Якщо буде потрібне зворотне співвідношення, вихідний сигнал можна проінвертувати.

На логічних елементах та елементах затримки будують генератори, до яких не пред'являються жорсткі вимоги по стабільності частоти (допустимі відхилення близько відсотків).

Генераторами прямокутних імпульсів є також типові мікросхеми мульти-вібраторів, стабільність частоти яких має той же порядок, що і генераторів, розглянутих вище.

Для отримання імпульсних послідовностей з високою стабільністю частоти застосовують, як правило, кварцові генератори, для яких навіть без застосування спеціальних заходів неважко отримати стабільність частоти з відхиленнями порядку 10^{-5} або навіть ще менше.

Типи вихідних каскадів цифрових елементів

Цифрові елементи (логічні, запам'ятовуючі, буферні) можуть мати виходи наступних типів: логічні, з відкритим колектором (стоком), з третім станом, з відкритим емітером (витоком).

Наявність чотирьох типів виходів пояснюється різноманітними умовами роботи елементів у логічних ланцюгах, у магістрально-модульних мікропроцесорних системах і т.ін.

Логічний вихід

Логічний вихід формує два рівня вихідної напруги (U_0 і U_1). Вихідний опір логічного виходу прагнуть зробити малим, здатним розвивати великі струми для перерозряду ємнісних навантажень та, отже, отримання високої швидкодії елементу. Такий тип виходу має більшість логічних елементів, що використовуються у комбінаційних ланцюгах.

Схеми логічних виходів елементів ТТЛ(Ш) і КМОП подібні до двотактних каскадів – у них обидва фронти вихідної напруги формуються з участю активних транзисторів, які працюють протифазно, що забезпечує малі вихідні опори при будь-якому напрямку перемикання виходу (рис. Д5.1, а).

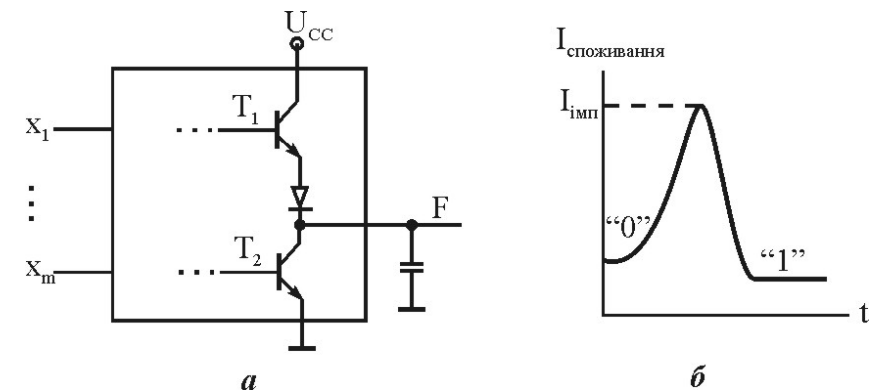


Рис. Д5.1. Схема вихідного ланцюга цифрового елемента (а) та графік зміни споживаного ним струму в процесі перемикання

Особливість таких виходів полягає в тому, що їх неможливо з'єднувати паралельно. По-перше, це створює логічну невизначеність, оскільки у точці з'єднання виходу, що формує логічну одиницю, та виходу, який формує логічний

нуль, не буде нормального результату. По-друге, при з'єднанні виходів, що знаходяться у різних логічних станах, виникло б їх «протиборство». Внаслідок малих величин вихідних опорів зрівняльний струм при цьому може досягати достатньо великої величини, що може вивести з ладу електричні елементи вихідного ланцюгу.

Друга особливість логічного виходу двотактного типу пов'язана з протіканням через обидва транзистори коротких імпульсів струму при перемиканнях з одного логічного стану до інший. Ці струми протікають від джерела живлення на загальну точку («землю»). У статичних станах таких токів бути не може, оскільки транзистори Т1 та Т2 працюють у протифазі та один з них завжди замкнений. Проте у перехідному процесі з-за деякої несинхронності перемикання транзисторів виникає короткочасна ситуація, у якій проводять обидва транзистори, що і породжує короткий імпульс наскрізного струму значної величини (рис. Д5.1, б).

Вихід з відкритим колектором

Елементи з відкритим колектором мають вихідний ланцюг, який закінчується поодиноким транзистором, колектор якого не з'єднаний з будь-якими ланцюгами усередині мікросхеми (рис. Д5.2, а). Транзистор керується від попередньої частини схеми елемента так, що може знаходитись у насиченому або замкненому стані. Насичений стан розуміється як відображення логічного нуля, замкнений – одиниці.

Насичення транзистора забезпечує на виході напругу U_0 (мала напруга насичення «колектор-емітер» $U_{кен}$). Замикання ж транзистора не задає будь-якого рівня напруги на виході елемента, вихід при цьому має фактично невідомий «плаваючий» потенціал, оскільки не підключений до будь-яких ланцюгів схеми елемента. Тому для формування високого рівня напруги при замиканні транзистора на виході елементів з відкритим колектором (типу ОК) необхідно підключати зовнішні резистори (або інші навантаження), з'єднані з джерелом живлення.

Декілька виходів типа ОК можна з'єднувати паралельно, підключаючи їх до загального для всіх виходів ланцюга $U_{CC} - R$ (рис. Д5.2, б). При цьому можна отримати режим почергової роботи елементів на загальну лінію, як і для елементів типа ТС, якщо активним буде тільки один елемент, а виходи всіх інших виявляться замкненими. Якщо ж дозволити активну роботу елементів, виходи яких з'єднані, то можна отримати додаткову логічну операцію, що називається операцією монтажною логіки.

При реалізації монтажною логікою висока напруга на загальному виході виникає тільки при замиканні усіх транзисторів, оскільки насичення хоча б одного з них знижує вихідну напругу до рівня $U_0 = U_{кен}$. Тобто для отримання логічної одиниці на виході необхідний одиничний стан всіх виходів: виконується монтажна операція І. Оскільки кожний елемент виконує операцію Шеффера над своїми вхідними змінними, загальний результат буде таким

$$F = x_1 x_2 x_3 x_4 \dots x_{m-1} x_m = x_1 x_2 \vee x_3 x_4 \vee \dots \vee x_{m-1} x_m.$$

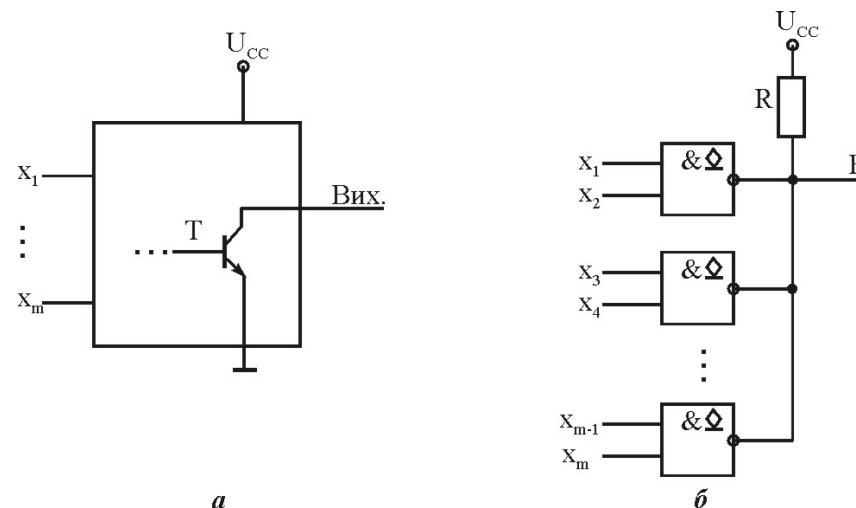


Рис. Д5.2. Схема вихідного ланцюга цифрового елемента з відкритим колектором (а) та реалізації монтажною логікою (б)

У позначеннях елементів з ОК після символу функції ставиться ромб з рисочкою знизу.

При використанні елементів з ОК у магістрально-модульних структурах необхідно дозволити або заборонити роботу того або іншого елемента. Для елементів типу ТС це робилося за допомогою спеціального сигналу ОЕ. Для елементів типу ОК у якості входу ОЕ може бути використаний один із звичайних входів елемента. Якщо мова йде про елемент І-НЕ, то, подаючи 0 на будь-який з входів, можна заборонити роботу елемента, поставивши його вихід у розімкнений стан незалежно від стану інших входів. Рівень 1 на цьому вході дозволить роботу елемента.

Позитивною рисою елементів з ОК при роботі у магістрально-модульних системах є їх захищеність від пошкоджень із-за помилок керування, що призводять до одночасної видачі на шину декількох слів, а також можливість реалізації додаткових операцій монтажною логікою. Недоліком таких елементів є велика затримка перемикання з 0 на 1.

Вхід з відкритим емітером

Вихід з відкритим емітером характерний для елементів типу ЕСЛ. Для роботи на магістраль такі елементи не використовуються. Можливість з'єднувати один з одним виходи з відкритим емітером при об'єднанні емітерних резисторів у один загальний резистор приводить до схеми рис. Д5.3, що інколи називається «емітерний дот» і використовується при побудові логічних схем для отримання додаткової операції монтажною логікою. Елементи ЕСЛ мають протифазні виходи, на одному з яких реалізується функція АБО, на іншому – АБО-НЕ. З'єднуючи

прямі виходи декількох елементів, отримують розширення по АБО (вхідні змінні елементів, що з'єднуються, утворюють єдину диз'юнкцію). З'єднуючи інверсні виходи, отримують операцію І-АБО відносно інверсій вхідних змінних, оскільки при цьому

$$F = \overline{x_1 \vee x_2 \vee x_3 \vee x_4} = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4}$$

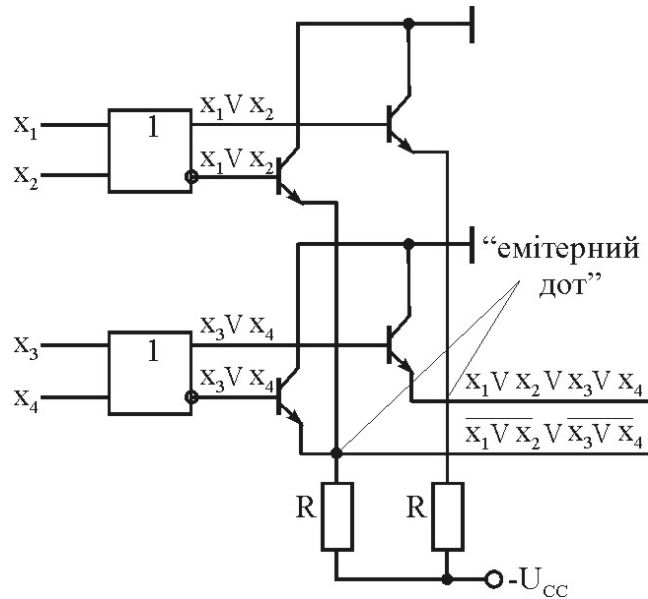


Рис. Д5.3. Схема «емітерного доту»

З'єднуючи пряму вихід з інверсним, можна отримати функцію виду:

$$F = x_1 \vee x_2 \vee x_3 \vee x_4 = \overline{x_1 \overline{x_2} \overline{x_3} \overline{x_4}}$$

Елементи індикації

Для спілкування з оператором ЦК можуть забезпечуватися засобами візуальної індикації символічних даних. Серед них є і складні пристрої, такі як екранні дисплеї, і прості, такі як світлодіодні індикатори або матриці. Тут же розглянемо тільки найпростіші індикатори символів, які можуть зустрітися проектувальнику як об'єкт самостійного виготовлення.

Перетворення електричних сигналів у видиме зображення може бути засноване на різних фізичних явищах: світловипромінюванні напівпровідникових структур, оптичних явищах у рідких кристалах, електролюмінесценції, процесах у газовому розряді та ін.

Світлодіоди виготовляються на основі напівпровідникових матеріалів (арсеніда галія, фосфіда галія, арсенід-фосфіда галія та ін.), пропускання струму через які викликає їх світіння. Яскравість світіння світлодіода безпосередньо залежить від величини струму. Зазвичай достатньо струму від одиниць до приблизно двадцяти міліампер при падінні напруги на діоді близько 1...2 В. Як правило, послідовно зі світлодіодом вмикається резистор, який задає та стабілізує струм діоду.

З декількох діодів складаються індикатори та матриці, що відображають букви і цифри. Широко застосовуються семи сегментні індикатори, у яких сім сегментів-діодів розташовані так, що при запалюванні певної їх комбінації висвітлюється той або інший символ (рис. Д6.1, а).

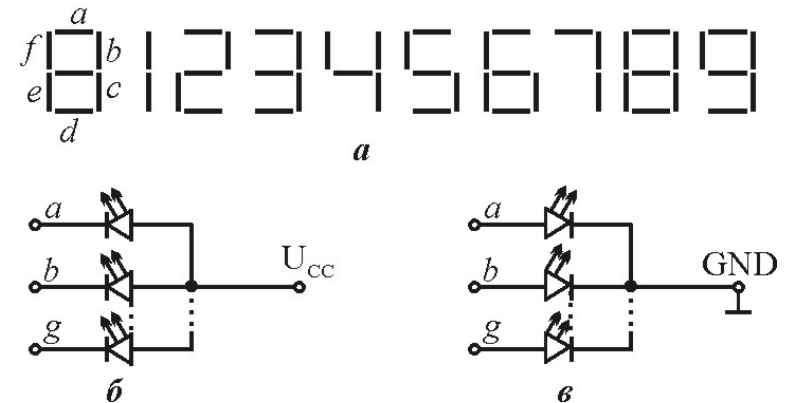


Рис. Д6.1. Семисегментний індикатор і цифри, що відображаються ним (а), варіанти індикатора з загальним анодом (б) та загальним катодом (в)

Випускаються семи сегментні індикатори (ССІ) з загальним анодом або загальним катодом (рис. Д6.1 б, в).

Для запалення сегменту в схемі із загальним анодом, підключеним до джерела живлення U_{CC} , необхідно знизити напругу на його катоді (запалення сигналом логічного нуля). Для запалення сегменту в схемі із загальним катодом, підключеним до загальної точки схеми, необхідно підвищити напругу на його аноді (запалювання сигналом логічної одиниці).

Для керування сегментами зручні елементи з виходом типу ОК, оскільки при їх використанні є зовнішній ланцюжок з резистором, опір якого можна задати з урахуванням характеристик вживаних світлодіодів.

У схемі (рис. Д6.2, д) показано керування одним з сегментів ССІ. Діод запалюється, коли на виході керуючого елемента напруга рівна U_0 . Через діод буде протікати струм $I_\delta = (U_{CC} - U_\delta - U_0) / R$, отже, для його завдання необхідна умова $R = (U_{CC} - U_\delta - U_0) / I_\delta$. Для цієї схеми необхідні ССІ з загальним анодом. Потрібний керуючий елемент з достатньо великим вихідним током у нульовому стані ($I_{вих.0} \geq I_\delta$).

У схемі (рис. Д6.2, б) діод запалюється, коли вихідний транзистор керуючого елемента замикається. Через діод протікає струм $I_\delta = (U_{CC} - U_\delta) / R$, відкля витікає $R = (U_{CC} - U_\delta) / I_\delta$. Для цієї схеми потрібна ССІ з загальним катодом. Вихід керуючого елемента повинен задовольняти умові $I_{вих.0} \geq (U_{CC} - U_\delta) / R$.

Якщо вихідні токи керуючих елементів недостатні для керування діодом, між виходом елемента та сегментом індикатора можна ввімкнути буферний каскад на транзисторі. Приклади наведені на рис. Д6.2, в, г.

Для логічного керування ССІ є стандартні ІС-дешифратори ССІ, які працюють згідно табл. Д6.1.

Другий тип індикаторів, що мають звичайні для ІС рівні керуючих сигналів, – рідкокристалічний. Раніше вони застосовувались переважно в електронних годинниках, калькуляторах та вимірювальних приладах. З появою портативних комп'ютерів з автономним живленням енергетична економність рідкокристалічних індикаторів стала особливо важливою, з їх використанням стали виробляти дисплеї – складні периферійні пристрої відображення інформації ЕОМ.

На основі світлодіодів або рідкокристалічних індикаторів виготовляються як семисегментні зображення символів, так і більш складні, що відображаються збудженням певних сегментів з поля матриці. Число рядків та стовпців матриці може бути різним. Для прикладу на рис. Д6.3 показано поле розмірністю 7x5, причому матриця неповна, з неї виключені 8 сегментів (двічі по 4), оскільки вони не використовуються при відображенні символів. Принципи формування зображення при керуванні сегментами матриці такі ж, що й при керуванні ССІ, а саме: вхідні коди спеціальним дешифратором перетворюються у сигнали збудження окремих сегментів.

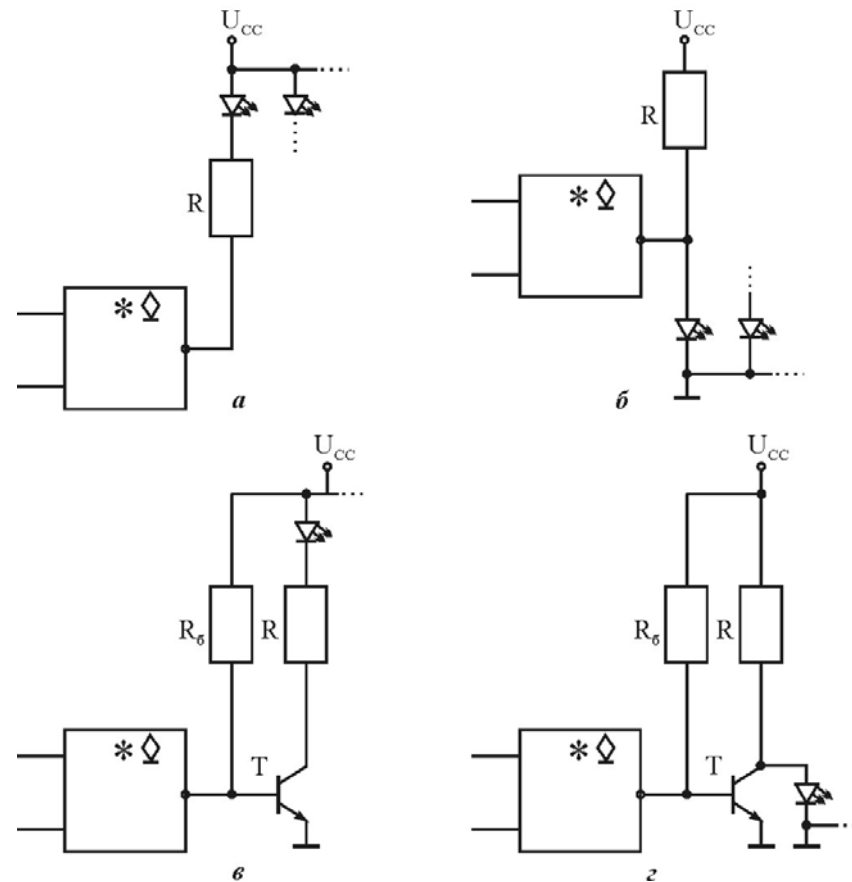


Рис. Д6.2. Схеми керування сегментом індикатора з загальним анодом (а), загальним катодом (б) та використанням підсилювальних каскадів (в, г)

При реалізації так званих плоских дисплеїв, тобто індикаторів багатозначних символів, наприклад, які містять декілька ССІ, зручно використовувати мультимплексне керування, при якому одні й ті ж керуючі схеми по черзі обслуговують різні ССІ, вибираючи їх у певній послідовності. При цьому кожен індикатор збуджується імпульсно протягом часу $1/n$, де n – число індикаторів. Ілюзія постійного свічення всіх символів створюється через інерційність людського зору. Якщо частота збудження символів складає десятки герц (сучасні засоби візуальної індикації мають частоти 70...100 Гц), то мерехтіння зображень невідчутні.

Таблиця Д6.1

Десяткова цифра	Вхідний двійковий код	Збуджувані сигнали						
		a	b	c	d	e	f	g
0	0000	1	1	1	1	1	1	0
1	0001	0	1	1	0	0	0	0
2	0010	1	1	0	1	1	0	1
3	0011	1	1	1	1	0	0	1
.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.
8	1000	1	1	1	1	1	1	1
9	1001	1	1	1	1	0	1	1

	0	1	2	3	4
0					
1					
2					
3					
4					
5					
6					

Рис. Д6.3. Неповна матриця індикатора 7x5

На відміну від світлодіодних, рідкокристалічні індикатори не світяться. У темноті вони не видимі. У них під дією електричних полів змінюються тільки властивості відображення світла, завдяки чому можна бачити символи, що відображуються.

Деякі типові ситуації при побудові вузлів та пристроїв на стандартних ІС

Розроблена проектувальником функціонально-логічна схема підлягає далі реалізації на наборі стандартних ІС той чи іншої серії або на наборі бібліотечних елементів той чи іншої БІС/СБІС зі структурою, що програмується. В обох випадках можливі неспівпадіння елементів схеми, яка підлягає виготовленню, та наявних для її реалізації. Типовими ситуаціями тут є наявність у елементів «зайвих» (не використаних у даному випадку) входів, наявність у корпусах ІС зайвих елементів або, навпаки, недостатність у цих елементів необхідного числа входів або навантажувальної здібності.

Режими використання входів

Питання про режим «зайвих» входів вирішується з урахуванням конкретного типу використовуваної схемотехнології.

Нехай, наприклад, необхідно отримати кон'юнкцію (або її інверсію) п'яти змінних. У стандартних серіях нема відповідних елементів з п'ятьма входами, і прийдеться взяти елемент з вісьмома входами, у котрого залишаться три «зайвих» входи (тобто, залишити їх розімкненими), під'єднати їх до задіяних входів або подати на них деякі константи. З точки зору логічних операцій, всі три можливості правомірні (рис. Д7.1, а). Якщо ж урахувати особливості той чи іншої схемотехнології, то вибір варіанта дій становиться визначенням.

Для ЕСЛ рішення таке: невикористані входи залишаються розімкненими. Це пояснюється тим, що у схемах самих елементів уже передбачені спеціальні резистори, зв'язані з джерелом живлення, які забезпечують необхідні умови «зайвим» входам.

Для КМОП і ТТЛ(Ш) невикористані входи розімкненими не залишають. Для КМОП це строга рекомендація, оскільки у них дуже великі вхідні опори, отже, на розімкнені входи легко наводяться паразитні потенціали, які можуть змінювати роботу схеми. Для ТТЛ(Ш) строгої заборони на залишання розімкнених входів немає, але цього робити не слід, оскільки внаслідок цього постраждають параметри швидкодії елемента.

Під'єднання «зайвих» входів до задіяних для КМОП і ТТЛ(Ш) принципово можливо, але небажано, оскільки воно приводить до збільшення навантаження на джерело сигналу, що також супроводжується зменшенням швидкодії джерела сигналу.

Таким чином, для КМОП і ТТЛ(Ш) режим невикористаних входів – під'єднання їх до констант (логічним одиницям або нулям), які не змінюють роботу схеми для задіяних входів. При цьому рівні напруг U_1 та U_0 для КМОП співпадають з рівнями U_{CC} та «землі», до яких і підключають невикористані

входи. У елементів ТТЛ(Ш) рівень U_1 на 1,5...2 В нижче рівня U_{CC} , тому для попередження пробойів невикористані входи підключають до джерела живлення U_{CC} через резистори R (звичайна рекомендація: $R = 1 \text{ кОм}$), причому до одного резистора дозволяється підключати до 20 входів.

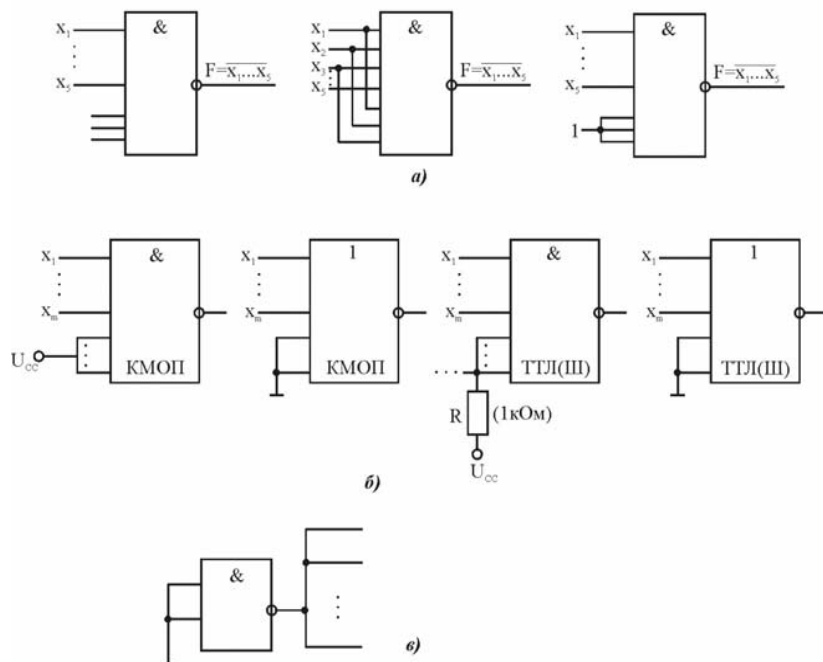


Рис. Д7.1. Принципово можливі (а) та рекомендовані (б) режими невикористаних входів логічних елементів, схема формування сигналів логічної одиниці (в)

Приклади, що ілюструють перераховані способи підключення невикористаних виводів ІС, показані на рис. Д7.1, б. Сигнали логічної одиниці можна отримувати від спеціального елемента (рис. Д7.1, в), причому, якщо це потужний елемент, то він може мати коефіцієнт розгалуження до 30.

Режими невикористаних елементів

Якщо не всі елементи, що є у корпусі ІС, використані у схемі, то невикористані також підключені до напруги живлення, яке є загальним для всього корпусу. Якщо ж потужності, що споживають елементи у станах нуля та одиниці, не рівні, то має сенс поставити невикористаний елемент у стан мінімальної потужності, подавши на будь-який з його входів відповідну константу.

Нарощування числа входів

Для елементів І та АБО це не представляє труднощів: для отримання потрібного числа входів береться декілька елементів, виходи яких об'єднуються далі елементом того ж типу. Нарощування числа входів для операцій І-НЕ, АБО-НЕ, по суті, виробляються аналогічним методом, але у схемі з'являються додаткові інвертори (рис. Д7.2, а). На цьому рисунку зірочка означає операцію Шеффера або Пірса.

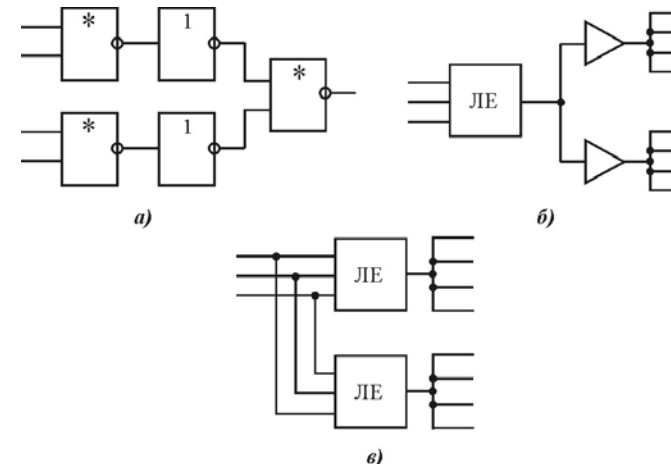


Рис. Д7.2. Схеми нарощування числа входів (а) та зниження навантаження на виходах логічних елементів (б, в)

Зниження навантажень на виходах логічних елементів

Це може знадобитися, якщо навантаження перевищують допустимі значення, а також для підвищення швидкодії схем, на яку навантаження елементів надають безпосередній вплив. Чим більше число навантажень у елемента – джерела сигналу (або нестандартне зовнішнє навантаження), тим більший час витрачається на досягнення вихідним сигналом межового рівня при перемиканні, тобто на зміну його логічного стану. Для запобігання втрат швидкодії із-за навантажень, на виходах сильно навантажених елементів застосовують буферизацію або розділення навантаження (рис. Д7.2, б, в).

Уведення буферних каскадів прискорює роботу джерела сигналу, але вносить власну затримку у тракт передачі сигналу. Чи буде, в решті решт ефект прискорення, визначається конкретним розрахунком.

При розділенні навантаження нові елементи з затримками в тракт передачі сигналу не вводяться, але збільшується навантаження на те джерело сигналу, яке живить схему, що розглядається. Тому і тут ефективність прийому повинна оцінюватися конкретним розрахунком.

Варіанти завдань до навчального проекту

Номер варіанту	Форма сигналу	Вимірюваний параметр	Діапазон амплітуд, мВ	Внутрішній опір джерела сигналу, кОм	Частота, кГц	Тривалість імпульсу, мкс	Період спілкування імпульсів, мкс	Вид індикації	Кількість розрах. індикації
1-1		Амплітуда	10...100	1	10				4
1-2		Амплітуда	2...8	50		5	1000		3
1-3		Амплітуда	70-0,5	5000		70		Десяткова	3
1-4		Амплітуда	0,5...10	100		1000		світло- діодна, семісег- ментна	3
2-5		Тривалість паузи	10...30	4		5	100...1000		3
2-6		Тривалість вип'яченого імпульсу	-5...+10	30		(+)-5 (-)-50...600			3
2-7		Тривалість імпульсу	70-0,5	1000		18...180			3
3-8		Частота проходження імпульсів	1...100	0,1	9,5...1 0			Десяткова різко кристаліч на, семісег- ментна	4
3-9		Частота проходження імпульсів	-20...+20	15		(+)-5 (-)-50...500			5
3-10		Частота проходження імпульсів	0,5...5	1000		50...5000			3

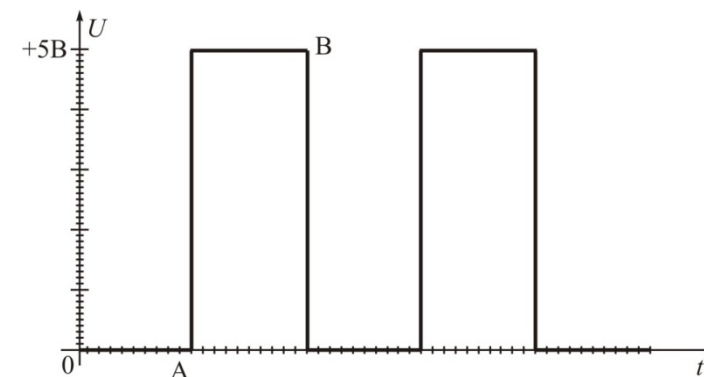
ПІДСУМКОВИЙ ТЕСТУВАЛЬНИЙ КОМПЛЕКС

Частина 1.

Цифрова електроніка. Загальні поняття. Одержання цифрових сигналів. Рівні цифрових сигналів. Фіксатори. Однєвібратори.

Питання № 1

Рівень +5 В _____ сигналу називають також логічною одиницею або _____ рівнем (див. рис.).



Варіанти відповіді:

1. Аналогового, низьким
2. Цифрового, високим
3. Цифрового, низьким
4. Аналогового, високим

Питання № 2

Пристрій, у якому сигнал на виході змінюється безупинно при поступовій зміні сигналу на вході, називається _____.

Варіанти відповіді:

1. Цифровим
2. Стабілізатором
3. Аналоговим

Питання № 3

Надзвичайно швидкий розвиток цифрової електроніки обумовлений успіхами в технології виготовлення _____.

Варіанти відповіді:

1. Схем на біполярних транзисторах
2. Інтегральних схем
3. Схем з використанням СВЧ елементів

Питання № 4

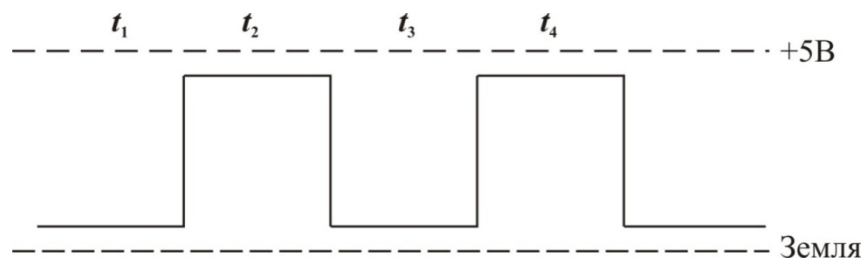
Основою мікроЕОМ є складна інтегральна схема, що називається _____.

Варіанти відповіді:

1. Обчислювачем
2. Мікропроцесором
3. Синтезатором

Питання № 5

Цифровий сигнал (див. рис.) у перебігу часу має _____ рівень, а в інтервалі _____ рівень.

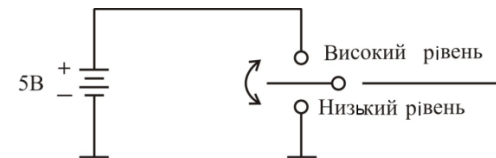


Варіанти відповіді:

1. Середній
2. Низький
3. Високий
4. Невизначений

Питання № 6

Коли кнопка перемикача (див. рис.) не натиснута (ланцюг розімкнутий, з'єднання на «землю» немає), вихідна напруга має _____ рівень.

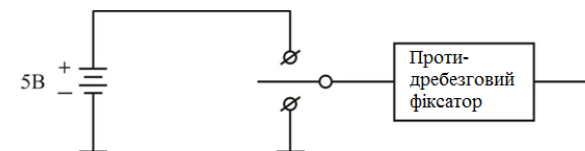


Варіанти відповіді:

1. Високий
2. Середній
3. Низький
4. Невизначений

Питання № 7

Фіксатор (див. рис.) називається по-іншому тригером – засувкою або _____ мультивібратором.

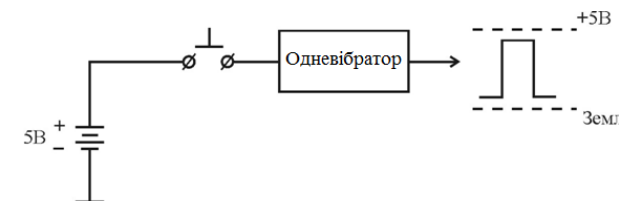


Варіанти відповіді:

1. Моностабільним
2. Бістабільним
3. Сверхстабільним

Питання № 8

Однєвібратор (див. рис.), використовуваний для формування цифрового сигналу, називається також _____ мультивібратором.



Варіанти відповіді:

1. Сінхроним
2. Асинхроним
3. Моностабільним

Частина 2.

Числа, що використовують у цифровій електроніці. Рахунок у десятковій і двійковій системах числення. Вага розряду. Перетворення двійкових чисел у десяткові. Перетворення десяткових чисел у двійкові. Шістнадцятирічні числа.

Питання № 1

Двійкова система числення іноді називається системою _____.

Варіанти відповіді:

1. 3 підставою 10
2. 3 підставою 2
3. Двохзмінних

Питання № 2

Десяткове число 8 еквівалентне двійковому числу _____.

Варіанти відповіді:

1. 200
2. 1000
3. 800

Питання № 3

Двійкове число 0110 еквівалентне десятковому числу _____.

Варіанти відповіді:

1. 8
2. 6
3. 4

Питання № 4

Цифра 1 у двійковірічному числі 1000 перебуває в розряді з вагою _____, що виражено у десятковій системі числення.

Варіанти відповіді:

1. 16
2. 8
3. 4

Питання № 5

Двійкове число 1010 еквівалентне числу _____ у десятковій системі.

Варіанти відповіді:

1. 4
2. 10
3. 8

Питання № 6

Двійкове число 100000 еквівалентне числу _____ у десятковій системі.

Варіанти відповіді:

1. 64
2. 32
3. 16

Питання № 7

Двійкове число 1111 еквівалентне десятковому числу _____.

Варіанти відповіді:

1. 32
2. 15
3. 16

Питання № 8

Двійкове число 100010 еквівалентне десятковому числу _____.

Варіанти відповіді:

1. 16
2. 34
3. 120

Питання № 9

Двійкове число 1000001010 еквівалентне десятковому числу _____.

Варіанти відповіді:

1. 1044
2. 522
3. 261

Питання № 10

Десяткове число 39 еквівалентне двійковому числу _____.

Варіанти відповіді:

1. 1011
2. 100111
3. 101010

Питання № 11

Десяткове число 100 еквівалентне двійковому числу _____.

Варіанти відповіді:

1. 10101010
2. 1100100
3. 110010

Питання № 12

Десяткове число 133 еквівалентне двійковому числу _____.

Варіанти відповіді:

1. 11100011
2. 10000101
3. 10000011

Питання № 13

_____ – це пристрій, який переводить десяткове число, подане на його вхід, у двійкове число.

Варіанти відповіді:

1. Дешифратор
2. Шифратор
3. Мультиплексор

Питання № 14

Інформація на виході процесора мікрокалькулятора має форму двійкових чисел. Для подачі на індикатор мікрокалькулятора ці двійкові числа перетворюються в десяткові пристроєм, який називається _____.

Варіанти відповіді:

1. Демультимплексор
2. Дешифратор
3. Декодер

Питання № 15

Десяткове число 15 еквівалентне шістнадцятирічному числу _____.

Варіанти відповіді:

1. L
2. F
3. D

Питання № 16

Шістнадцятирічне число A6 еквівалентне двійковому числу _____.

Варіанти відповіді:

1. 10001110
2. 10100110
3. 01100110

Питання № 17

Двійкове число 11110 еквівалентне шістнадцятирічному числу _____.

Варіанти відповіді:

1. 2C
2. 1F
3. 1E

Питання № 18

Шістнадцятирічне число F16 еквівалентно десятковому числу _____.

Варіанти відповіді:

1. 256
2. 502
3. 512

Питання № 19

Десяткове число 63 еквівалентне шістнадцятирічному числу _____.

Варіанти відповіді:

1. 2E
2. 3F
3. 1A

Частина 3.

Двійкові логічні елементи. Логічний елемент І. Логічний елемент АБО (ВКЛЮЧНЕ АБО). Логічний елемент НЕ (інвертор). Подвійне інвертування. Логічний елемент І-НЕ. Логічний елемент АБО-НЕ (заперчення АБО). Логічний елемент ВИКЛЮЧНЕАБО. Логічний елемент ВИКЛЮЧНЕ АБО-НЕ.

Питання № 1

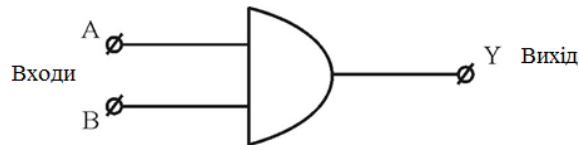
Запишіть Булевий вираз для логічного елемента І з двома входами.

Варіанти відповіді:

1. $A + B = Y$
2. $A \cdot B = Y$
3. $Y = \overline{A \cdot B}$

Питання № 2

Якщо на обидва входи схеми (див. рис.) подані логічні сигнали високого логічного рівня, то на виході Y з'явиться сигнал _____ рівня.



Варіанти відповіді:

1. Низького
2. Високого
3. Невизначеного

Питання № 3

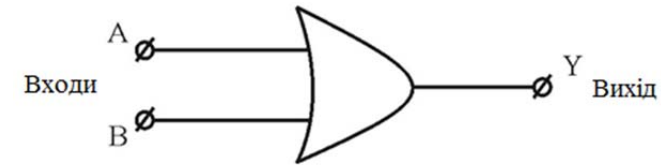
Запишіть Булевий вираз для логічного елемента АБО із двома входами.

Варіанти відповіді:

1. $A \cdot B = Y$
2. $A + B = Y$
3. $Y = \overline{A \cdot B}$

Питання № 4

Якщо на обидва входи схеми (див. рис.) подані логічні сигнали низького логічного рівня, то на виході Y з'явиться сигнал _____ рівня.



Варіанти відповіді:

1. Високого
2. Низького
3. Невизначеного

Питання № 5

Таблиця істинності (див. нижче) описує логічну функцію _____

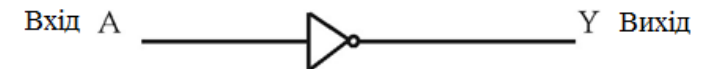
Входи		Вихід
B	A	Y
0	0	0
0	1	1
1	0	1
0	1	1

Варіанти відповіді:

1. Що виключає АБО
2. Що включає АБО
3. АБО-НЕ

Питання № 6

Якщо на вхід A схеми (див. рис.) подана напруга високого логічного рівня, то на виході Y інвертора з'явиться напруга _____ рівня.



Варіанти відповіді:

1. Високого
2. Низького
3. Невизначеного

Питання № 7

Якщо на вхід А схеми (див. рис.) подана напруга низького логічного рівня, то на виході Y інвертора з'явиться напруга _____ рівня.

**Варіанти відповіді:**

1. Високого
2. Низького
3. Невизначеного

Питання № 8

Запишіть Булевий вираз, що описує дію інвертора.

Варіанти відповіді:

1. $A = \overline{\overline{A}}$
2. $A = \overline{A}$
3. $A = A$

Питання № 9

Запишіть Булевий вираз, що описує подвійне інвертування.

Варіанти відповіді:

1. $A = \overline{A}$
2. $A = \overline{\overline{A}}$
3. $A = A$

Питання № 10

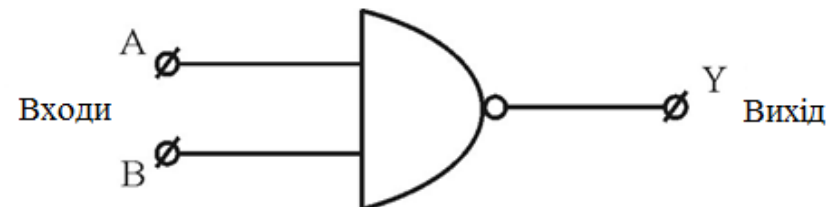
Запишіть Булевий вираз для логічного елемента І-НЕ із двома входами.

Варіанти відповіді:

1. $A \cdot B = Y$
2. $Y = \overline{A \cdot B}$
3. $A + B = Y$

Питання № 11

Якщо на обидва входи А и В схеми (див. рис.) подані логічні сигнали високого логічного рівня, то на виході Y логічного елемента І-НЕ з'явиться сигнал _____ рівня. Цей випадок _____ (відбиває, не відбиває) унікальну властивість логічного елемента І-НЕ.

**Варіанти відповіді:**

1. Високого; відбиває
2. Низького; відбиває
3. Низького; не відбиває
4. Високого; не відбиває

Питання № 12

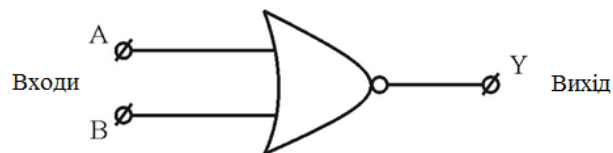
Запишіть Булевий вираз для логічного елемента АБО-НЕ із двома входами.

Варіанти відповіді:

1. $A + B = Y$
2. $Y = \overline{A + B}$
3. $A \cdot B = Y$
4. $Y = \overline{A \cdot B}$

Питання № 13

Якщо на вхід А схеми (див. рис.) подати сигнал низького логічного рівня, а на вхід В – сигнал високого логічного рівня, то на виході Y логічного елемента АБО-НЕ з'явиться сигнал _____ рівня. Цю властивість стосовно виходу має _____ (тільки, не тільки) логічний елемент АБО-НЕ.

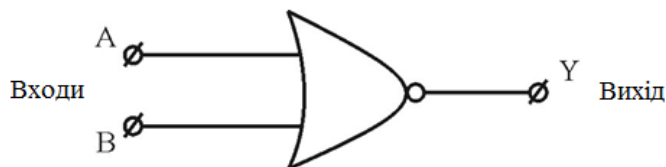


Варіанти відповіді:

1. Високого; тільки
2. Низького; не тільки
3. Низького; тільки
4. Високого; не тільки

Питання № 14

Якщо на обидва входи схеми (див. рис.) подати сигнали низького логічного рівня, то на виході Y логічного елемента АБО-НЕ з'явиться сигнал _____ рівня. Таку властивість стосовно виходу має _____ (тільки, не тільки) логічний елемент АБО-НЕ.



Варіанти відповіді:

1. Низького; не тільки
2. Високого; тільки
3. Низького; тільки
4. Високого; не тільки

Частина 4.

Коди. Перетворювачі кодів. Шифратори. Дешифратори. Мультимплексори. Демультимплексори.

Питання № 1

Десяткове число 29 еквівалентне числу _____ у двійковій системі.

Варіанти відповіді:

1. 11001
2. 11101
3. 10111

Питання № 2

Десяткове число 29 еквівалентне числу _____ у коді 8421.

Варіанти відповіді:

1. 00001101
2. 00101001
3. 00111001

Питання № 3

Число 1000 0111 0110 0101 у коді 8421 еквівалентно числу _____ у десятичній системі.

Варіанти відповіді:

1. 7865
2. 8765
3. 8756

Питання № 4

Десяткове число 18 еквівалентне числу _____ у коді з надлишком 3.

Варіанти відповіді:

1. 00110011
2. 01001011
3. 00111101

Питання № 5

Число 1001 0011 у коді з надлишком 3 еквівалентно десятичному числу _____.

Варіанти відповіді:

1. 90
2. 60
3. 30

Питання № 6

Код Грея _____ (належить, не належить) до сімейства двоїчно-десяткових кодів.

Варіанти відповіді:

1. Належить
2. Не належить
3. Належить умовно

Питання № 7

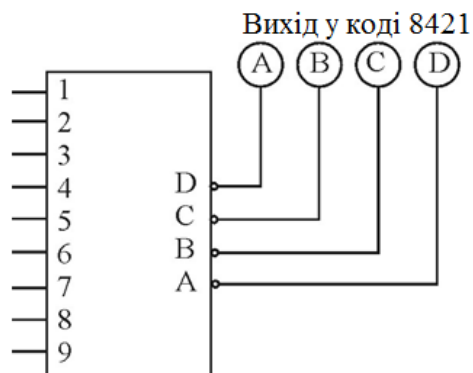
У чому полягає особливість коду Грея?

Варіанти відповіді:

1. При переході до наступного числа в коді Грея змінюється тільки одна цифра в наступному циклі.
2. При переході до наступного числа в коді Грея змінюється тільки одна цифра в попередньому циклі.
3. При переході до попереднього числа в коді Грея змінюється тільки одна цифра в наступному циклі.

Питання № 8

Який логічний рівень буде мати кожний із чотирьох виводів (див. рис. і табл. істинності), якщо сигнал подається на вхід 7 мікросхеми шифратора (активні входи й виходи – низькі рівні!).



Таблиця істинності

Входи									Виходи			
1	2	3	4	5	6	7	8	9	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	0	1	1	1	1	0	0	1
x	x	x	x	0	1	1	1	1	1	0	1	0
x	x	x	0	1	1	1	1	1	1	0	1	1
x	x	0	1	1	1	1	1	1	1	1	0	0
x	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

Варіанти відповіді:

1. D = 1; C = 0; B = 1; A = 1, що відповідає входу № 7).
2. D = 0; C = 1; B = 1; A = 1, що відповідає входу № 7).
3. D = 0; C = 1; B = 0; A = 1, що відповідає входу № 7).

Питання № 9

Якщо на вхід дешифратора – формувача (див.рис.) подати двоїчно-десяткове число 1000, то які сегменти індикатору будуть світитися? Яке десяткове число буде відображено?

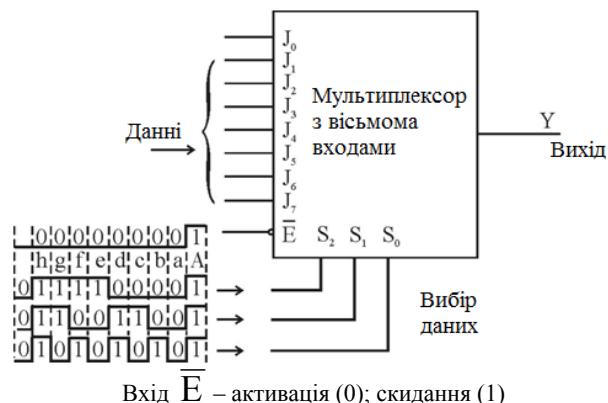


Варіанти відповіді:

1. сегменти abcdfg; число 9
2. усі сегменти. Число 8
3. сегменти afedcg; число 6

Питання № 10

Дати для кожної групи імпульсів положення (активізацію) вхідних сигналів (див.рис.).



Варіанти відповіді:

1. А – мультиплексор не активізований, тому що $\bar{E} = 1$ (скидання)

- a = активізований вхід J0 (S2 S1 S0 = 000);
- b = активізований вхід J2 (S2 S1 S0 = 001);
- c = активізований вхід J1 (S2 S1 S0 = 010);
- d = активізований вхід J3 (S2 S1 S0 = 011);
- e = активізований вхід J5 (S2 S1 S0 = 100);
- f = активізований вхід J4 (S2 S1 S0 = 101);
- g = активізований вхід J6 (S2 S1 S0 = 110);
- h = активізований вхід J7 (S2 S1 S0 = 111);

2. А – мультиплексор не активізований, тому що $\bar{E} = 1$ (скидання)

- a = активізований вхід J0 (S2 S1 S0 = 000);
- b = активізований вхід J1 (S2 S1 S0 = 001);
- c = активізований вхід J2 (S2 S1 S0 = 010);
- d = активізований вхід J3 (S2 S1 S0 = 011);
- e = активізований вхід J4 (S2 S1 S0 = 100);
- f = активізований вхід J5 (S2 S1 S0 = 101);
- g = активізований вхід J6 (S2 S1 S0 = 110);
- h = активізований вхід J7 (S2 S1 S0 = 111)

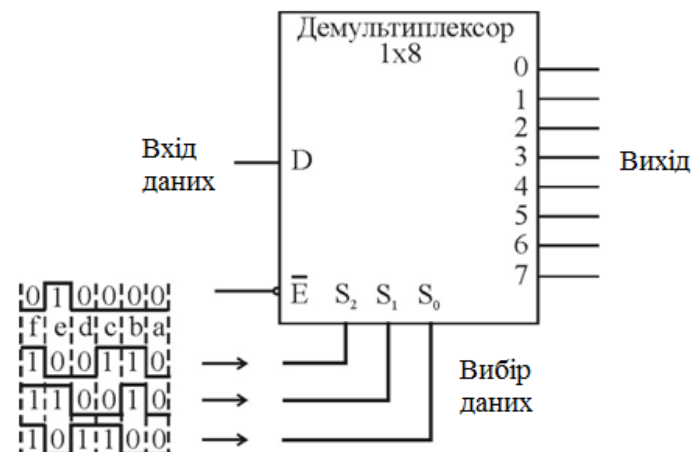
3. А – мультиплексор не активізований, тому що $\bar{E} = 1$ (скидання)

- a = активізований вхід J1 (S2 S1 S0 = 000);
- b = активізований вхід J0 (S2 S1 S0 = 001);
- c = активізований вхід J2 (S2 S1 S0 = 010);
- d = активізований вхід J3 (S2 S1 S0 = 011);

- e = активізований вхід J4 (S2 S1 S0 = 100);
- f = активізований вхід J5 (S2 S1 S0 = 101);
- g = активізований вхід J7 (S2 S1 S0 = 110);
- h = активізований вхід J6 (S2 S1 S0 = 111);

Питання № 11

Дати для кожної групи імпульсів значення вихідних сигналів (див. рис.).



Варіанти відповіді:

- 1. a – активізований вихід 1 (S2 S1 S0 = 000);
- b – активізований вихід 6 (S2 S1 S0 = 110);
- c – активізований вихід 5 (S2 S1 S0 = 101);
- d – активізований вихід 0 (S2 S1 S0 = 001);
- e – E= 1-скидання;
- f – активізований вихід 7 (S2 S1 S0 = 111);

- 2. a – активізований вихід 0 (S2 S1 S0 = 000);
- b – активізований вихід 6 (S2 S1 S0 = 110);
- c – активізований вихід 5 (S2 S1 S0 = 101);
- d – активізований вихід 1 (S2 S1 S0 = 001);
- e – E= 1-скидання;
- f – активізований вихід 7 (S2 S1 S0 = 111);

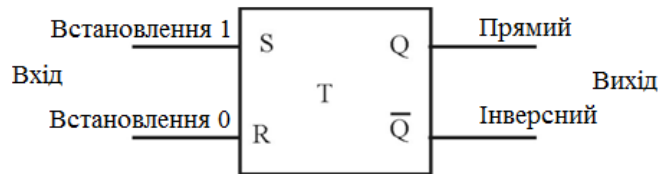
- 3. a – активізований вихід 0 (S2 S1 S0 = 000);
- b – активізований вихід 5 (S2 S1 S0 = 110);
- c – активізований вихід 6 (S2 S1 S0 = 101);
- d – активізований вихід 1 (S2 S1 S0 = 001);
- e – E= 1 – скидання;
- f – активізований вихід 7 (S2 S1 S0 = 111).

Частина 5.

Тригери. RS-тригери. Тактовані RS-тригери. D-тригери.
JK-тригери. Запуск тригерів. Лічильники з наскрізним переносом.
Асинхронні лічильники по модулю 10. Синхронні лічильники.
Самозупинні лічильники, від'ємні лічильники.

Питання № 1

Активним рівнем сигналу для входів RS-тригера (див. рис. і табл. істинності) є _____ рівень.



Таблиця істинності RS-тригера

Режим роботи	Входи		Виходи		
	S	R	Q	$\bar{Q}$	Вплив на вихід
Заборонений стан	0	0	1	1	Заборонене – не використовується
Установка 1	0	1	1	0	Установка Q в 1
Установка 0	1	0	0	1	Установка Q в 0
Зберігання	1	1	Q	$\bar{Q}$	Залежить від попереднього стану

Варіанти відповіді:

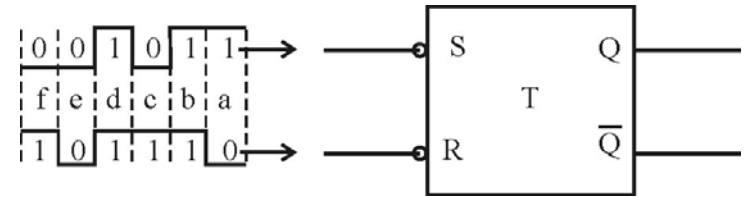
1. Високий
2. Низький
3. Середній

Питання № 2

Назвіть режим роботи RS-тригера для кожної комбінації (від а до f) входних сигналів, показаних на рисунку.

При відповіді використовуйте терміни: «установка "1"», «установка "0"», «зберігання», «заборонений стан».

(Кружок $\circ$ на вході або виході означає, що активними є сигнали низького логічного рівня).

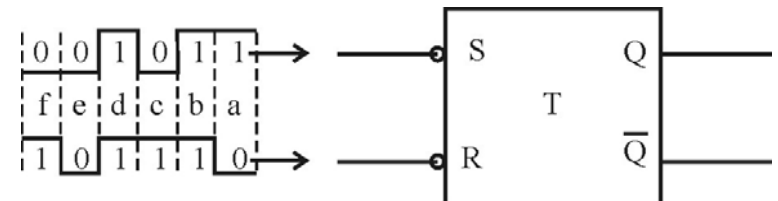


Варіанти відповіді:

1. імпульс а – встановлення 1
імпульс b – зберігання
імпульс c – встановлення 0
імпульс d – зберігання
імпульс e – заборонений стан
імпульс f – встановлення 0
2. імпульс а – встановлення 0
імпульс b – зберігання
імпульс c – встановлення 1
імпульс d – зберігання
імпульс e – заборонений стан
імпульс f – встановлення 1
3. імпульс а – встановлення 0
імпульс b – встановлення 1
імпульс c – зберігання
імпульс d – встановлення
імпульс e – заборонений стан
імпульс f – встановлення 1

Питання № 3

Визначите двійковий сигнал (0 або 1) на прямому виході (Q) RS-тригера для кожної комбінації входних сигналів (див. рис.).



Варіанти відповіді:

1. імпульс а – 0
імпульс b – 1
імпульс с – 0
імпульс d – 1
імпульс е – 1
імпульс f – 1
2. імпульс а – 0
імпульс b – 0
імпульс с – 1
імпульс d – 1
імпульс е – 1
імпульс f – 1
3. імпульс а – 0
імпульс b – 0
імпульс с – 1
імпульс d – 1
імпульс е – 0
імпульс f – 0

Питання № 4

Активним рівнем сигналу на S- і R- входах для встановлення тактованого RS-Тригера в стан 1 або 0 є _____ рівень (див. табл. істинності).

Таблиця істинності тактованого RS-тригера

Режим роботи	Входи			Виходи		
	CLK	S	R	Q	$\bar{Q}$	Вплив на вихід
Заборонений стан		0	0	Без зміни		Без змін
Установка 0		0	1	0	1	Скидання або очищення в стан 0
Установка 1		1	0	1	0	Установка в стан 1
Зберігання		1	1	1	1	Заборонене. не використовується

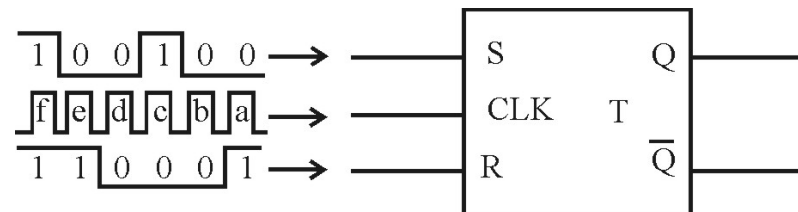
Варіанти відповіді:

1. Низький
2. Високий
3. Невизначений

Питання № 5

У якому режимі перебуває тактований RS-тригер під час проходження кожного тактового імпульсу (від а до f) з послідовності імпульсів (див. рис.).

При відповіді використовуйте терміни: «установка "1"», «установка "0"», «зберігання», «заборонений стан».

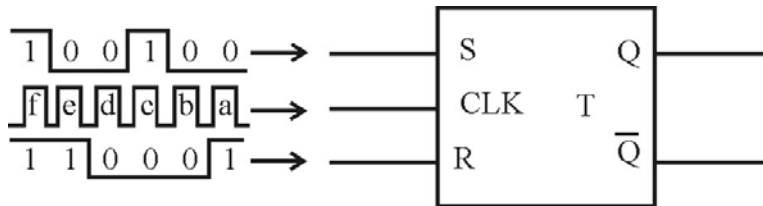


Варіанти відповіді:

1. імпульс а – встановлення 0
імпульс b – зберігання
імпульс с – зберігання
імпульс d – встановлення 1
імпульс е – встановлення 0
імпульс f – заборонений стан
2. імпульс а – встановлення 0
імпульс b – зберігання
імпульс с – встановлення 1
імпульс d – зберігання
імпульс е – встановлення 0
імпульс f – заборонений стан
3. імпульс а – встановлення 0
імпульс b – зберігання
імпульс с – встановлення 1
імпульс d – встановлення 0
імпульс е – зберігання
імпульс f – заборонений стан

Питання № 6

Визначите сигнал (0 або 1) на прямому виході тактованого RS- тригера під час проходження кожного тактового імпульсу з послідовності імпульсів (див. рис.).



Варіанти відповіді:

1. імпульс а – 0
імпульс b – 0
імпульс c – 1
імпульс d – 1
імпульс e – 0
імпульс f – 1
2. імпульс а – 0
імпульс b – 0
імпульс c – 1
імпульс d – 1
імпульс e – 0
імпульс f – 1
3. імпульс а – 0
імпульс b – 0
імпульс c – 1
імпульс d – 1
імпульс e – 0
імпульс f – 1

Питання № 7

У якому режимі перебуває D- тригер під час проходження кожного тактового імпульсу (від а до f) з послідовності імпульсів, наведеної на рисунку.

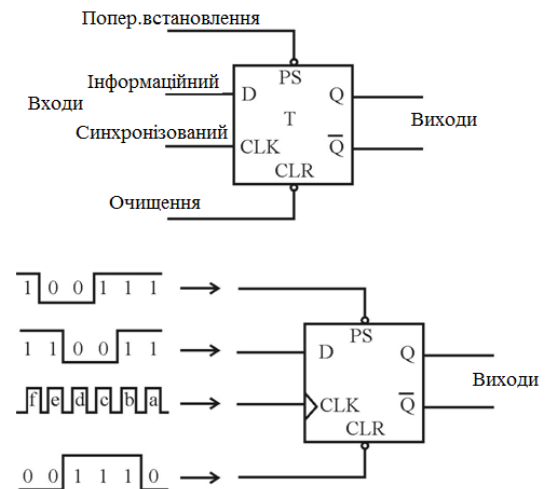
При відповіді використовуйте терміни: «асинхронне встановлення "1"», «асинхронне встановлення "0"», «заборонений стан», «встановлення "1"», «встановлення "0"».

(Кружок $\circ$ по входу або виході показує активність низького логічного рівня; значок $>$ CLK означає спрацювання по фронту імпульсу, а не по зрізу).

Таблиця істинності для D- тригера

Режим роботи	Входи				Виходи	
	Асинхронний		Синхронний			
	PS	CLR	CLK	D	Q	$\overline{Q}$
Асинхронна установка 1	0	1	×	×	1	0
Асинхронна установка 0	1	0	×	×	0	1
Заборонений стан	0	0	×	×	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↑	0	0	1

$\times$ – будь-який стан; $\uparrow$ – перехід від низького до високого логічного рівня.

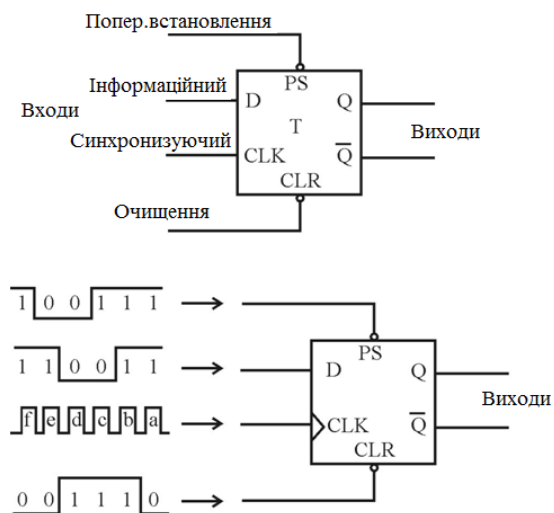


Варіанти відповіді:

1. імпульс а – асинхронна установка 0 (або очищення)
імпульс b – встановлення 0
імпульс c – встановлення 1
імпульс d – асинхронна установка 1 (або попереднє встановлення)
імпульс e – заборонений стан
імпульс f – асинхронна встановлення 0 (або очищення)
2. імпульс а – асинхронна встановлення 0 (або очищення)
імпульс b – встановлення 1
імпульс c – встановлення 0
імпульс d – асинхронне встановлення 1 (або попереднє встановлення)
імпульс e – заборонений стан
імпульс f – асинхронне встановлення 0 (або очищення)
3. імпульс а – асинхронне встановлення 0 (або очищення)
імпульс b – встановлення 1
імпульс c – встановлення 0
імпульс d – асинхронне встановлення 0 (або очищення)
імпульс e – заборонений стан
імпульс f – асинхронне встановлення 1 (або попереднє встановлення)

Питання № 8

Який двійковий сигнал (0 або 1) буде на прямому виході (Q) D- тригера під час проходження кожного тактового імпульсу з послідовності імпульсів (див. рис.).



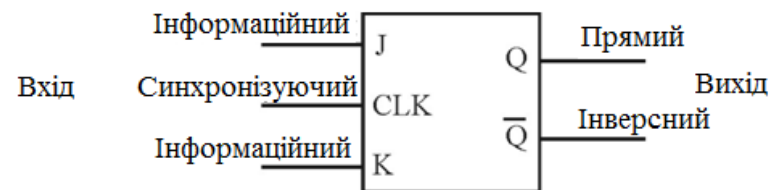
Варіанти відповіді:

1. імпульс а – 1
імпульс b – 0
імпульс c – 0
імпульс d – 1
імпульс e – 1
імпульс f – 0
2. імпульс а – 0
імпульс b – 1
імпульс c – 0
імпульс d – 1
імпульс e – 1
імпульс f – 0
3. імпульс а – 0
імпульс b – 1
імпульс c – 0
імпульс d – 1
імпульс e – 0
імпульс f – 1

Питання № 9

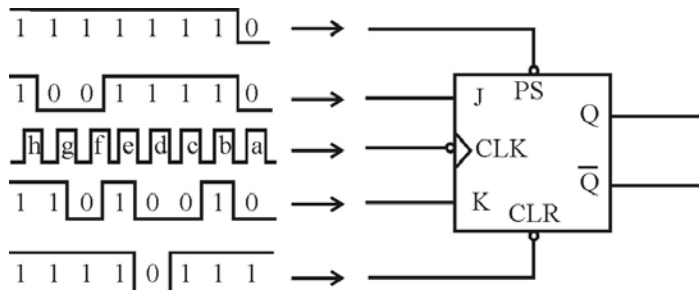
У якому режимі перебуває JK- тригер під час проходження кожного тактового імпульсу (від а до h) з послідовності імпульсів, наведеної на рисунку.

При відповіді використовуйте терміни: «асинхронна установка "0"», «заборонений стан», «установка "1"», «установка "0"», «перемикання», «зберігання».



Таблиця істинності для JK– Тригера

Режим роботи	Входи			Виходи		
	CLK	J	K	Q	$\bar{Q}$	Вплив на вихід Q
Зберігання		0	0	Без зміни		Без змін, блокування
Установка 0		0	1	0	1	Скидання або очистка в стані 0
Установка 1		1	0	1	0	Установка в стан 1
Перемикання		1	1	Перемикаються		Зміна стану на протилежне



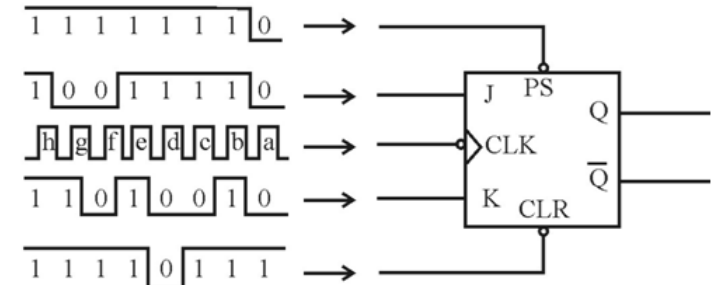
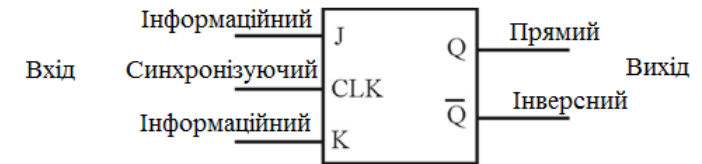
Варіанти відповіді:

- імпульс а – асинхронна установка 1 (або попер. встановлення)
імпульс b – перемикання
імпульс с – встановлення 1
імпульс d – асинхронне встановлення 0 (або очищення)
імпульс е – перемикання
імпульс f – зберігання
імпульс g – встановлення 0
імпульс h – перемикання
- імпульс а – асинхронне встановлення 1 (або попер. встановлення)
імпульс b – перемикання
імпульс с – встановлення 1
імпульс d – асинхронне встановлення 0 (або очищення)
імпульс е – перемикання
імпульс f – зберігання
імпульс g – встановлення 0
імпульс h – перемикання

- імпульс а – асинхронне встановлення 1 (або попер. встановлення)
імпульс b – перемикання
імпульс с – встановлення 1
імпульс d – асинхронне встановлення 0 (або очищення)
імпульс е – перемикання
імпульс f – зберігання
імпульс g – встановлення 0
імпульс h – перемикання

Питання № 10

Який двійковий сигнал (0 або 1) буде діяти на прямому виході (Q) JK– тригера під час проходження кожного тактового імпульсу з послідовності імпульсів, наведеної на рисунку.



Варіанти відповіді:

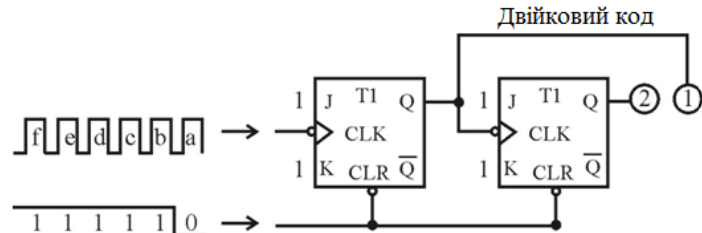
- імпульс а – 1
імпульс b – 0
імпульс с – 1
імпульс d – 1
імпульс е – 0
імпульс f – 1
імпульс g – 0
імпульс h – 1

2. імпульс а – 1
імпульс b – 0
імпульс c – 1
імпульс d – 0
імпульс e – 1
імпульс f – 1
імпульс g – 0
імпульс h – 1

3. імпульс а – 1
імпульс b – 0
імпульс c – 1
імпульс d – 0
імпульс e – 1
імпульс f – 1
імпульс g – 1
імпульс h – 0

Питання № 11

На рисунку показана схема _____ розрядного асинхронного лічильника.

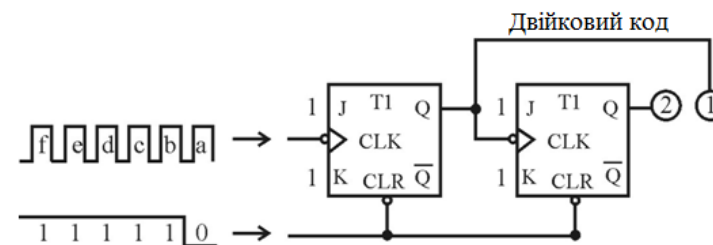


Варіанти відповіді:

1. Чотирирозрядного
2. Двурозрядного
3. Восьмирозрядного

Питання № 12

На рисунку показана схема асинхронного лічильника по модулю _____.

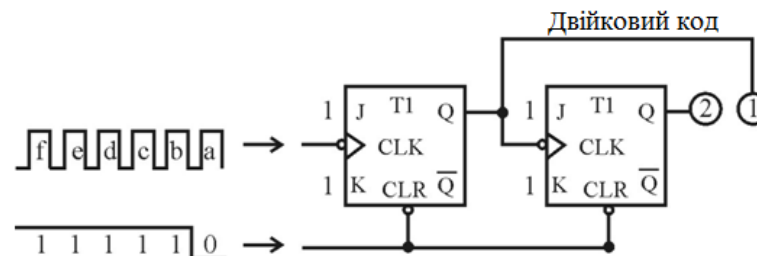


Варіанти відповіді:

1. По модулю 8
2. По модулю 4
3. По модулю 16

Питання № 13

Кожний JK– Тригер у схемі лічильника (див. рис.) працює в режимі _____, тому що на входах J і K діє високий рівень.

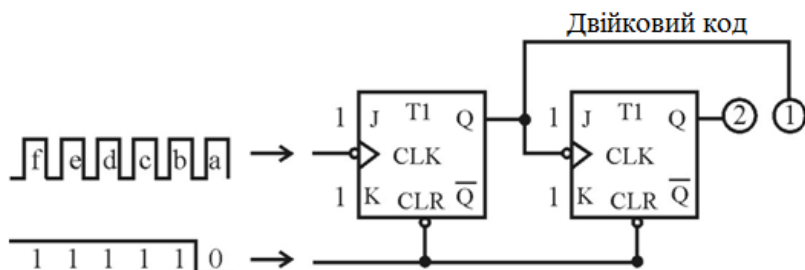


Варіанти відповіді:

1. Зберігання
2. Перемикання
3. Установки 0

Питання № 14

Яке двійкове число буде на індикаторі (двійковому виході лічильника) після кожного з 6 вхідних імпульсів, показаних на рис.

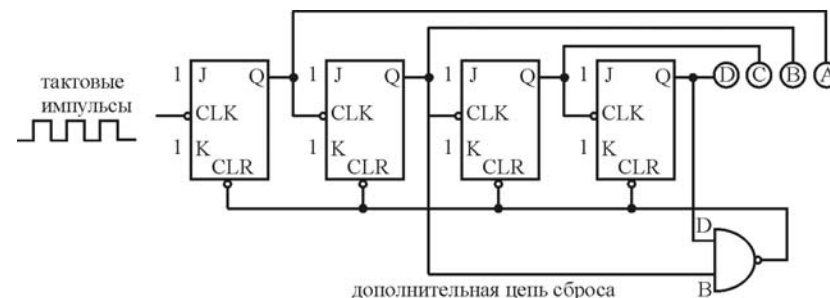


Варіанти відповіді:

1. імпульс а – 00
імпульс b – 01
імпульс c – 11
імпульс d – 10
імпульс e – 00
імпульс f – 01
2. імпульс а – 00
імпульс b – 01
імпульс c – 10
імпульс d – 11
імпульс e – 00
імпульс f – 01
3. імпульс а – 00
імпульс b – 01
імпульс c – 10
імпульс d – 11
імпульс e – 01
імпульс f – 00

Питання № 15

На рис. показана схема _____ лічильника по модулю 10. Тому що в лічильника 10 різних станів (рахунок ведеться від 0 до 9), він називається _____ лічильником.



Варіанти відповіді:

1. Синхронним; декадним
2. Асинхронного; декадним
3. Асинхронним; двійковим

Питання № 16

Лічильник у якому запуск усіх тригерів здійснюється в той самий момент часу, називається _____ лічильником.

Варіанти відповіді:

1. Асинхронним
2. Синхронним
3. Синхронним; багаторозрядним

Питання № 17

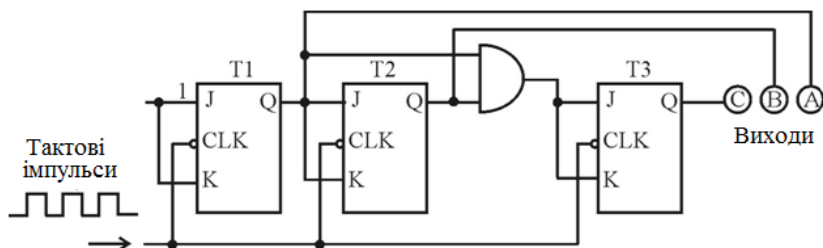
У синхронному лічильнику синхронізуючі входи тригерів з'єднані _____.

Варіанти відповіді:

1. Послідовно
2. Паралельно
3. Послідовно, через один тригер

Питання № 18

У схемі на рис. тригер Т1 завжди працює в режимі _____.



Рахункова послідовність

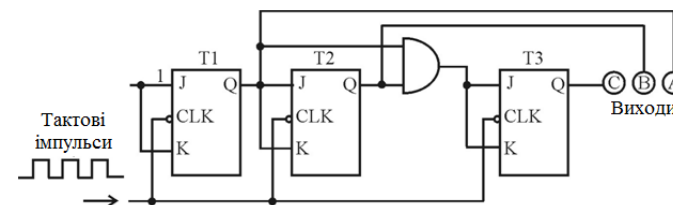
Рядок	Номер тактового імпульсу	Двійкова рахункова послідовність			Десяткові числа
		С	В	А	
1	0	0	0	0	0
2	1	0	0	1	1
3	2	0	1	0	2
4	3	0	1	1	3
5	4	1	0	0	4
6	5	1	0	1	5
7	6	1	1	0	6
8	7	1	1	1	7
9	8	0	0	0	0

Варіанти відповіді:

1. Зберігання
2. Перемикання
3. Установки 0
4. Установки 1

Питання № 19

Тактовий імпульс 4 (див. схему) ініціює перемикання _____; у результаті на виході лічильника з'явиться двійкове число 100.



Рахункова послідовність

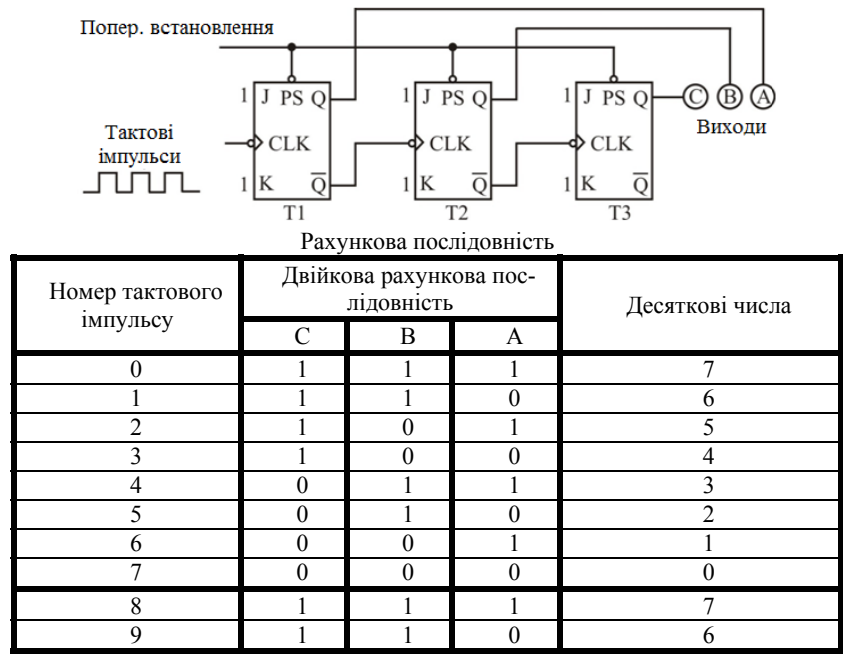
Рядок	Номер тактового імпульсу	Двійкова рахункова послідовність			Десяткові числа
		С	В	А	
1	0	0	0	0	0
2	1	0	0	1	1
3	2	0	1	0	2
4	3	0	1	1	3
5	4	1	0	0	4
6	5	1	0	1	5
7	6	1	1	0	6
8	7	1	1	1	7
9	8	0	0	0	0

Варіанти відповіді:

1. Тільки тригера Т1
2. Усіх тригерів
3. Тільки тригера Т3
4. Двох тригерів Т1 і Т2

Питання № 20

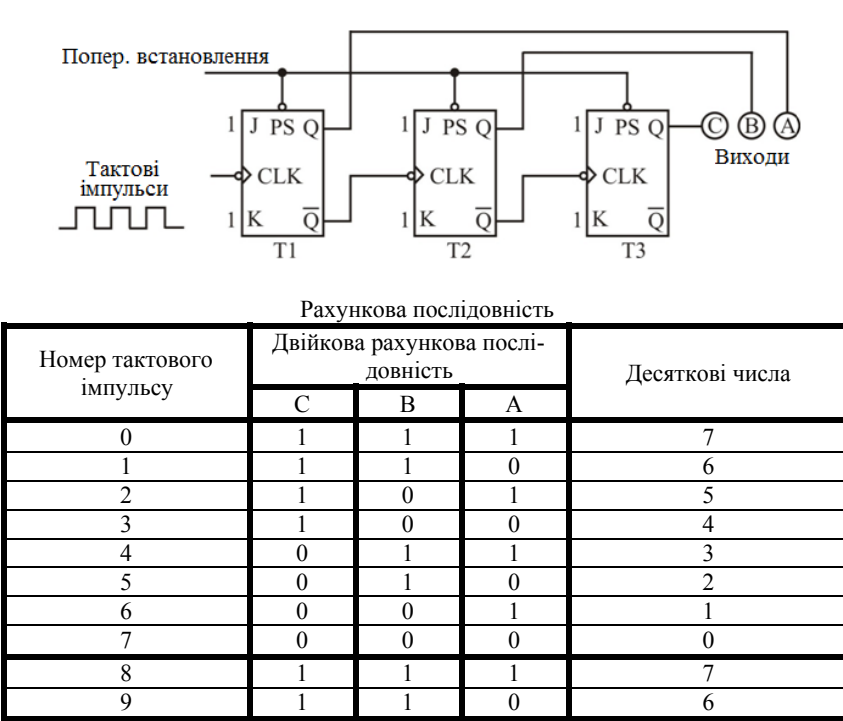
Усі тригери в лічильнику (див. рис.) працюють у режимі _____



- Варіанти відповіді:
- 1. Зберігання
 - 2. Перемикання
 - 3. Установки 0
 - 4. Установки 1

Питання № 21

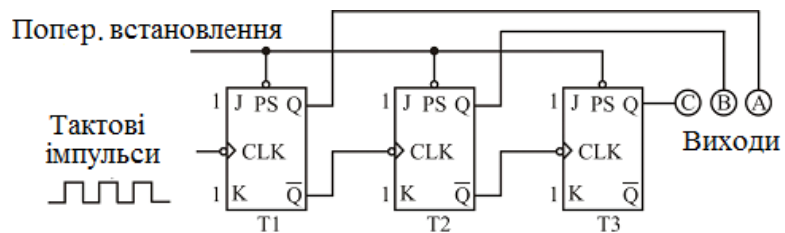
Усі JK– тригери на рис. запускаються _____ тактового імпульсу.



- Варіанти відповіді:
- 1. Фронтом
 - 2. Зрізом
 - 3. Логічною одиницею
 - 4. Логічним нулем

Питання № 22

Тактовий імпульс 1 ініціює перемикання _____ ; у результаті на виході з'явиться двійкове число 110.



Рахункова послідовність

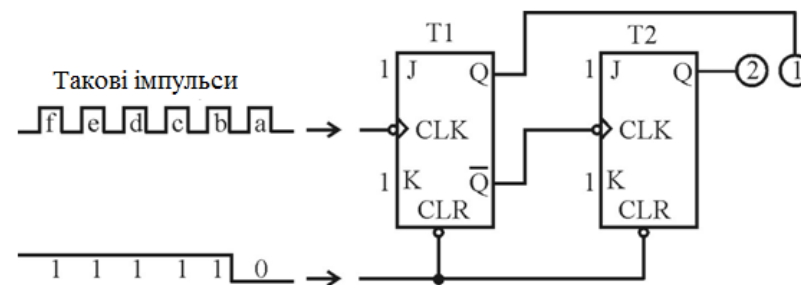
Номер тактового імпульсу	Двійкова рахункова послідовність			Десяткові числа
	С	В	А	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7
9	1	1	0	6

Варіанти відповіді:

1. Двох тригерів T1 і T2
2. Тільки тригера T1
3. Тільки тригера T3
4. Усіх тригерів

Питання № 23

Яке двійкове число ви побачите на індикаторі (двійковому виході лічильника) після кожного з 6 входних імпульсів, показаних на рис.

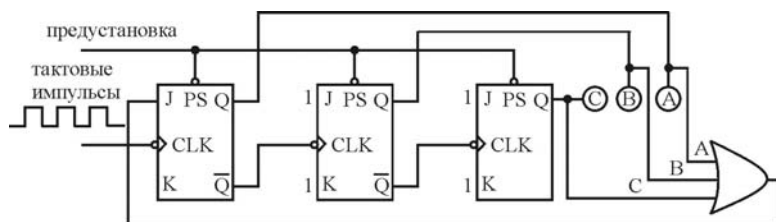


Варіанти відповіді:

1. імпульс a – 00
імпульс b – 11
імпульс c – 01
імпульс d – 10
імпульс e – 00
імпульс f – 11
2. імпульс a – 00
імпульс b – 11
імпульс c – 10
імпульс d – 01
імпульс e – 00
імпульс f – 11
3. імпульс a – 00
імпульс b – 11
імпульс c – 10
імпульс d – 01
імпульс e – 11
імпульс f – 00

Питання № 24

На рис. показана схема, що самозупинного 3-х розрядного _____

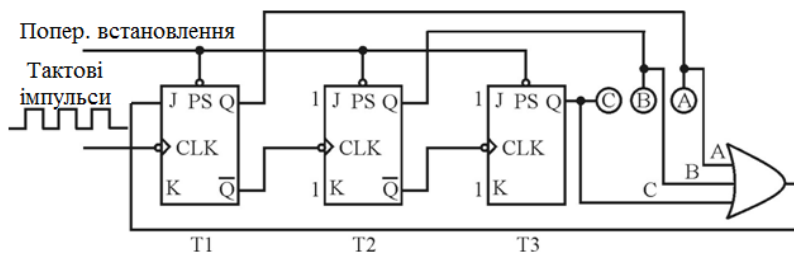


Варіанти відповіді:

1. Нагромаджуючого
2. Що віднімає
3. Підсумовуючого

Питання № 25

Якщо стан виходів (З, В, А) лічильників (див. рис.) відповідає двійковому числу 111, то на виході логічного елемента АБО діє _____ рівень сигналу. Це приводить до переключу тригера Т1 у режим _____

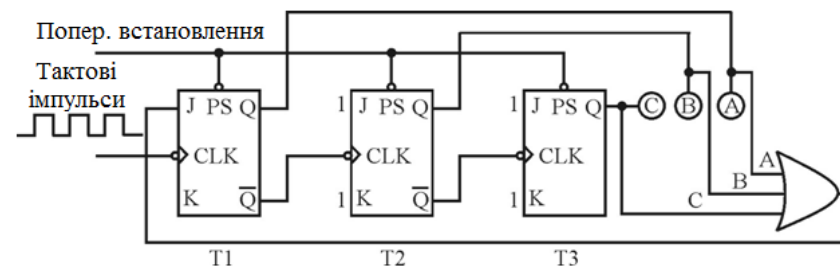


Варіанти відповіді:

1. Високий; зберігання
2. Високий; перемикання
3. Низький; перемикання

Питання № 26

Якщо стан виходу (З, В, А) лічильника (див. рис.) відповідає двійковому числу 000, то на виході логічного елемента АБО діє _____ рівень сигналу. Це приводить до переключу тригера Т1 у режим _____



Варіанти відповіді:

1. Високий; зберігання
2. Низький; зберігання
3. Низький; перемикання

Частина 6
Сполучення аналогових і цифрових пристроїв. АЦП і ЦАП.

Питання № 1

Шифратор спеціального типу, що перетворює інформацію з аналогової форми в цифрову називається _____.

Варіанти відповіді:

1. Цифро–аналоговим перетворювачем (ЦАП)
2. Аналого–цифровим перетворювачем (АЦП)
3. Перетворювачем спеціального типу (ПСТ)

Питання № 2

Дешифратор спеціального типу, що перетворює інформацію із цифрової форми в аналогову, називається _____.

Варіанти відповіді:

1. Аналого–цифровим перетворювачем (АЦП)
2. Цифро–аналоговим перетворювачем (ЦАП)
3. Перетворювачем спеціального типу (ПСТ)

Питання № 3

Цифро–аналоговий перетворювач (ЦАП) складається з _____ схеми й _____ підсилювача.

Варіанти відповіді:

1. RC– елементів; інтегруючого (нагромаджуючого)
2. Резистивної; підсумовуючого (масштабованого)
3. Підсумовуючої; що диференціює (поділяючого)

Питання № 4

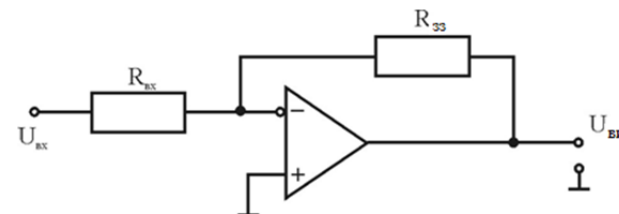
Скорочення ОП використовується для позначення _____.

Варіанти відповіді:

1. Особливого пристрою
2. Операційного підсилювача
3. Операційного подвоювача

Питання № 5

Резистор R33 у схемі ОП називається резистором _____.

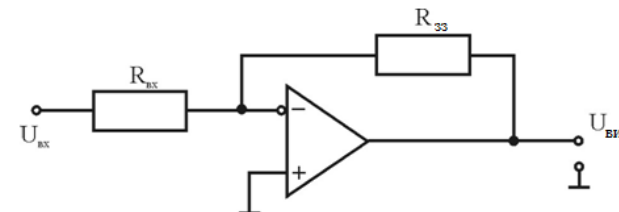


Варіанти відповіді:

1. Загальному зв'язку
2. Зворотному зв'язку
3. Окремому зв'язку

Питання № 6

Резистор R_{вх} у схемі ОП на рис. називається _____ резистором.

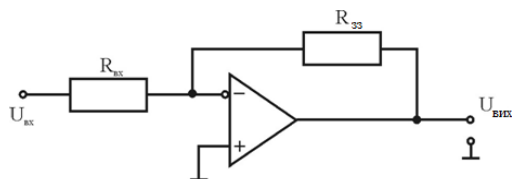


Варіанти відповіді:

1. Вихідним
2. Вхідним
3. Ваговим (масштабуючим)

Питання № 7

Знайдіть коефіцієнт підсилення по напрузі ОП в схемі на рис. якщо $R_{ВХ} = 1\text{кОм}$ і $R_{ЗЗ} = 20\text{кОм}$.

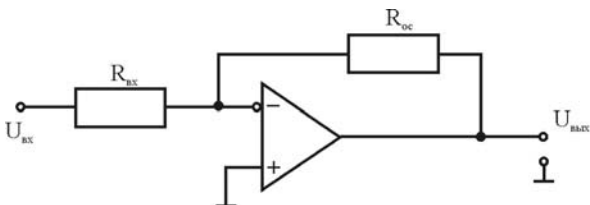


Варіанти відповіді:

1. $K_U = 10$
2. $K_U = 20$
3. $K_U = 30$

Питання № 8

Чому буде рівно вихідна напруга ОП, якщо вхідна напруга дорівнює $+0,2\text{ В}$; $R_{ВХ} = 1\text{кОм}$; $R_{ЗЗ} = 20\text{кОм}$.

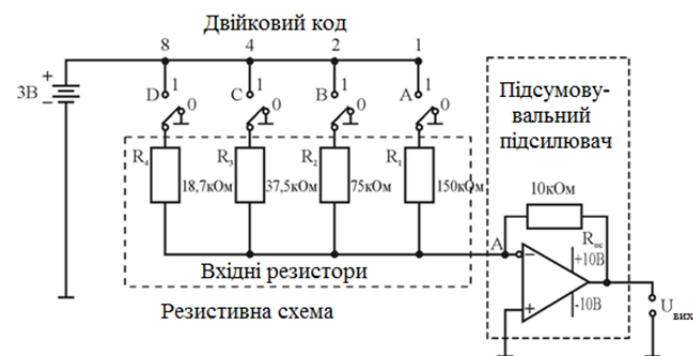


Варіанти відповіді:

1. $K_U = 4\text{ В}$
2. $K_U = -4\text{ В}$
3. $K_U = -2,2\text{ В}$

Питання № 9

Розрахуйте коефіцієнт підсилення по напрузі ОП в схемі на рис., коли в положенні, що відповідає логічній 1, установлений тільки перемикач В (розряд четверок).

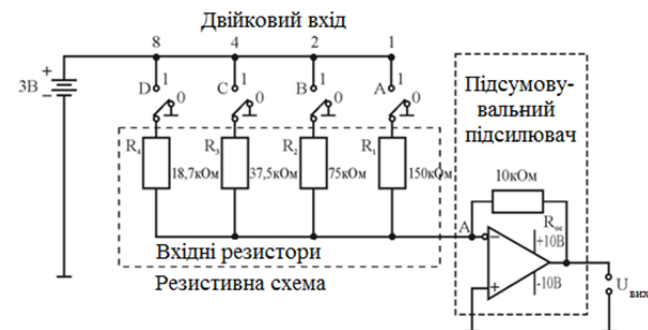


Варіанти відповіді:

1. $K_U = 4$
2. $K_U = 0.266$
3. $K_U = -2,2$

Питання № 10

Використовуючи значення коефіцієнта підсилення $K_U = 0,266$, розрахуйте вихідну напругу ЦАП на рис., коли в положення, що відповідає логічній 1, установлений тільки перемикач В (розряд четверок).

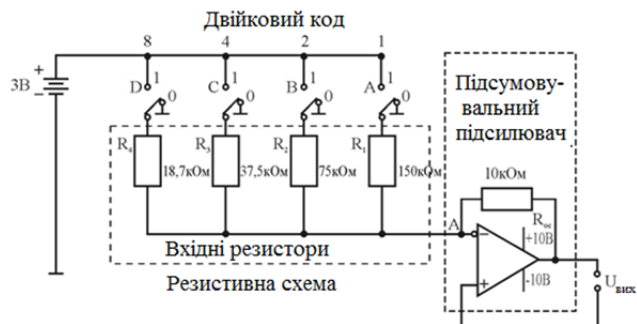


Варіанти відповіді:

1. $U_{ВИХ} = -0,4\text{В}$
2. $U_{ВИХ} = -0,8\text{В}$
3. $U_{ВИХ} = -1,2\text{В}$

Питання № 11

Назвіть два недоліки ЦАП, показаного на рис.

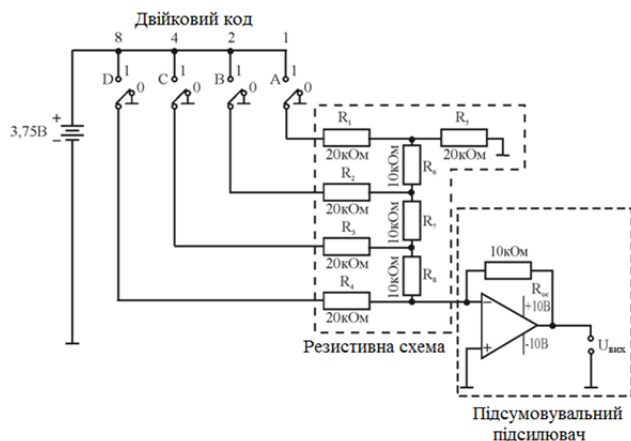


Варіанти відповіді:

- 1.1) Висока точність перетворення;
2) широкий діапазон зміни використовуваних резисторів.
- 2.1) невисока точність перетворення;
2) широкий діапазон зміни використовуваних резисторів.
- 3.1) невисока точність перетворення;
2) вузький діапазон зміни використовуваних резисторів.

Питання № 12

ЦАП на рис. – це перетворювач _____ типу.

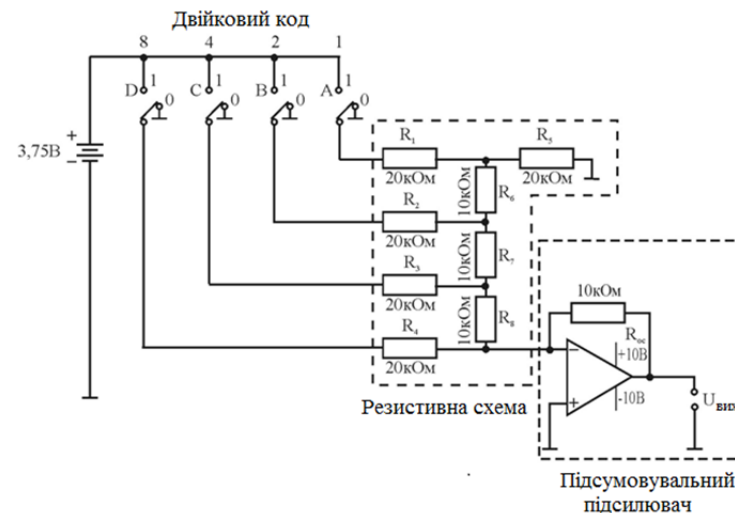


Варіанти відповіді:

1. Комбінованого ($R + R$ – схема)
2. Сходового ($R - 2R$ – схема)
3. Складного ($R + 2R$ – схема)

Питання № 13

Коефіцієнт підсилення ОУ на рис. максимальний, коли кожний із вхідних перемикачів установлений у положення, що відповідає _____

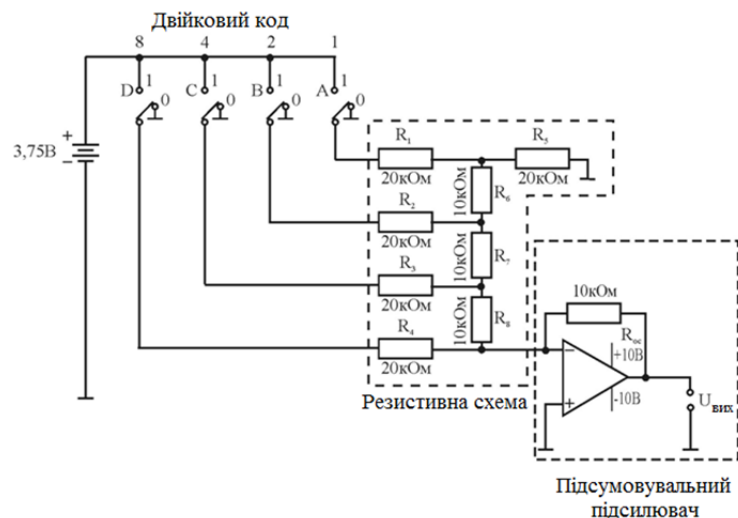


Варіанти відповіді:

1. Логічному 0
2. Логічній 1
3. Перемикачі А і В установлені в положення, що відповідає логічній 1, а перемикачі С і Д установлені в положення, що відповідає логічному 0.

Питання № 14

Коефіцієнт підсилення ОП ЦАП (див. рис. і таблицю) мінімальний, коли тільки перемикач _____ установлений у положення, що відповідає логічній 1.



Таблиця істинності ЦАП

Двійковий вхід				Аналоговий вхід
8	4	2	1	Вольти
D	C	B	A	
0	0	0	0	0
0	0	0	1	0,25
0	0	1	0	0,5
0	0	1	1	0,75
0	1	0	0	1
0	1	0	1	1,25
0	1	1	0	1,5
0	1	1	1	1,75
1	0	0	0	2
1	0	0	1	2,25
1	0	1	0	2,5
1	0	1	1	2,75
1	1	0	0	3
1	1	0	1	3,25
1	1	1	0	3,5
1	1	1	1	3,75

Варіанти відповіді:

1. Перемикач С
2. Перемикач А
3. Перемикач В
4. Перемикач D

Питання № 15

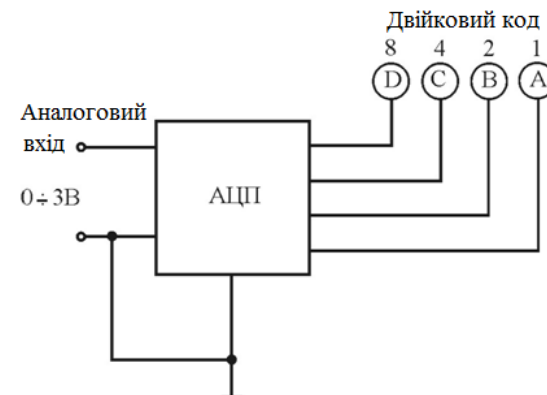
АЦП перетворить _____ вхідний сигнал в _____ вихідний сигнал.

Варіанти відповіді:

1. Цифровий (двійковий); аналоговий
2. Аналоговий; цифровий (двійковий)
3. Аналоговий; аналоговий (більшого рівня)

Питання № 16

Якщо в таблиці істинності для АЦП (див. рис.) аналогова вхідна напруга рівна 1В, то на виході ми повинні одержати двійкове число _____.



Таблиця істинності для АЦП

Рядка	Аналоговий вхід	Двійковий вихід			
	Вольти	8	4	2	1
		D	C	B	A
1	0	0	0	0	0
2	0,2	0	0	0	1
3	0,4	0	0	1	0
4	0,6	0	0	1	1

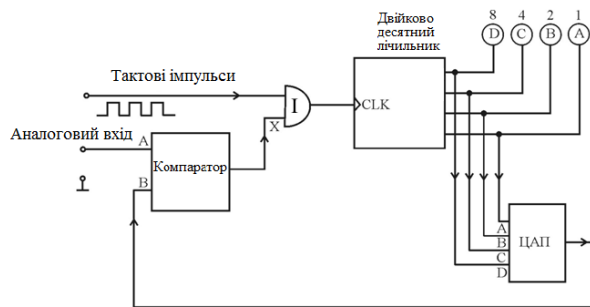
5	0,8	0	1	0	0
6	1,	0	1	0	1
7	1,2	0	1	1	0
8	1,4	0	1	1	1
9	1,6	1	0	0	0
10	1,8	1	0	0	1
11	2	1	0	1	0
12	2,2	1	0	1	1
13	2,4	1	1	0	0
14	2,6	1	1	0	1
15	2,8	1	1	1	0
16	3	1	1	1	1

Варіанти відповіді:

1. 0110
2. 0101
3. 1010

Питання № 17

Якщо в схемі на рис. потенціал точки В нижче потенціалу точки А, то на виході компаратора в точці Х буде _____. Це призведе до _____. Пристрій, зображене на рис. – це АЦП _____.



Варіанти відповіді:

1. Низький рівень; блокуванню логічного елемента «І»; інтегруючий;
2. Високий рівень; дозволу проходження тактових імпульсів через логічний елемент «І»; з динамічною компенсацією;
3. Високий рівень; дозволу проходження тактових імпульсів через логічний елемент «І»; АЦП послідовного наближення;
4. Низький рівень; блокуванню логічного елемента «І»; з динамічною компенсацією.

Питання № 18

Назвіть три типи АЦП.

Варіанти відповіді:

1. 1) АЦП інтегруючий з динамічною компенсацією
2) АЦП інтегруючий
3) АЦП послідовного наближення
2. 1) АЦП із динамічною компенсацією
2) АЦП інтегруючий
3) АЦП послідовного наближення
3. 1) АЦП із динамічною компенсацією
2) АЦП інтегруючий послідовного наближення
3) АЦП послідовного наближення

Питання № 19

В АЦП із динамічною компенсацією для формування сигналу пілкоподібної напруги, що надходить на вхід В компаратора, використовується ЦАП, тоді як в інтегруючому компараторі така напруга створюється _____.

Варіанти відповіді:

1. Генератором постійної напруги.
2. Генератором лінійно мінливого напруги.
3. Генератором нелінійно мінливого напруги.

Питання № 20

АЦП послідовного наближення _____ перетворювач у порівнянні з інтегруючим АЦП.

Варіанти відповіді:

1. Менш швидкодіючий
2. Більш швидкодіючий
3. Рівноцінний

ВІДПОВІДІ Й РОЗВ'ЯЗКИ ДО ТЕСТУВАЛЬНОГО КОМПЛЕКСУ

Частина 1.

Цифрова електроніка. Загальні поняття. Одержання цифрових сигналів. Рівні цифрових сигналів. Фіксатори – одневібратори.

Питання № 1:	цифрового, високим
Питання № 2:	аналоговим
Питання № 3:	інтегральних
Питання № 4:	мікропроцесором
Питання № 5:	високий; низький
Питання № 6:	невизначений
Питання № 7:	бістабільним
Питання № 8:	моностабільним

Частина 2

Числа, використовувані в цифровій електроніці. Рахунок у десятковій і двійковій системі числення. Вага розряду. Перетворення двійкових чисел у десяткові. Переклад десяткової чисел у двійкові. Шістнадцятирічні числа.

Питання № 1:	з підставою 2
Питання № 2:	1000
Питання № 3:	6
Питання № 4:	8
Питання № 5:	10
Питання № 6:	32
Питання № 7:	15
Питання № 8:	34
Питання № 9:	522
Питання № 10:	100111
Питання № 11:	1100100
Питання № 12:	10000101
Питання № 13:	шифратор
Питання № 14:	дешифратор
Питання № 15:	F
Питання № 16:	10100110
Питання № 17:	1 F
Питання № 18:	502
Питання № 19:	3 F

Частина 3

Двійкові логічні елементи. Логічні елементи І, АБО, НЕ (інвертор), І-НЕ, АБО-НЕ, ВИКЛЮЧНЕ АБО, ВИКЛЮЧНЕ АБО-НЕ.

- Питання № 1: $A \cdot B = Y$
 Питання № 2: високого
 Питання № 3: $A + B = Y$
 Питання № 4: низького
 Питання № 5: включене
 Питання № 6: низького
 Питання № 7: низького
 Питання № 8: $A = \overline{\overline{A}}$
 Питання № 9: $A = \overline{\overline{A}}$
 Питання № 10: $Y = \overline{A \cdot B}$
 Питання № 11: низького; відбиває
 Питання № 12: $Y = \overline{A + B}$
 Питання № 13: низького; не тільки
 Питання № 14: високого; тільки

Частина 4

Коди. Перетворювачі кодів. Шифратори. Дешифратори. Мультиплексори. Демультимплексори.

- Питання № 1: 11101
 Питання № 2: 00101001
 Питання № 3: 8765
 Питання № 4: 01001011
 Питання № 5: 60
 Питання № 6: не належить
 Питання № 7: при перехід до наступного числа в коді Грея змінюється тільки одна цифра в попередньому циклі.
 Питання № 8: $D = 1; C = 0; B = 0; A = 0$ (з урахуванням інверсії в коді 8421 буде $D = 0; C = 1; B = 1; A = 1$, що відповідає входу № 7).
 Питання № 9: усі сегменти. Число 8.
 Питання № 10: А – мультиплексор не активізований, тому що $\overline{E} = 1$ (скидання)
 а = активізований вхід J ($S_0 S_2 S_1 = 000$);
 b = активізований вхід J ($S_1 S_2 S_0 = 001$);
 c = активізований вхід J ($S_2 S_2 S_1 = 010$);
 d = активізований вхід J ($S_3 S_2 S_1 = 011$);
 e = активізований вхід J ($S_4 S_2 S_1 = 100$);
 f = активізований вхід J ($S_5 S_2 S_1 = 101$);
 g = активізований вхід J ($S_6 S_2 S_1 = 110$);
 h = активізований вхід J ($S_7 S_2 S_1 = 111$);
 Питання № 11:
 а – активізований вихід 0 ($S_2 S_1 S_0 = 000$);
 b – активізований вихід 6 ($S_2 S_1 S_0 = 110$);
 c – активізований вихід 5 ($S_2 S_1 S_0 = 101$);
 d – активізований вихід 1 ($S_2 S_1 S_0 = 001$);
 e – E= 1–скидання;
 f – активізований вихід 7 ($S_2 S_1 S_0 = 111$)

Частина 5

Тригери. RS– тригери. Тактовані RS– тригери. Д– тригери. JK– тригери.
Запис тригерів. Лічильники з наскрізним переносом. Асинхронні лічильники
по модулю 10. Синхронні лічильники. лічильники, що віднімають.

Питання № 1:	низький
Питання № 2:	імпульс а – встановлення 0 імпульс b – зберігання імпульс с – встановлення 1 імпульс d – зберігання імпульс е – заборонений стан імпульс f – встановлення 1
Питання № 3:	імпульс а – 0 імпульс b – 0 імпульс с – 1 імпульс d – 1 імпульс е – 1 імпульс f – 1
Питання № 4:	високий
Питання № 5:	імпульс а – встановлення 0 імпульс b – зберігання імпульс с – встановлення 1 імпульс d – зберігання імпульс е – встановлення 0 імпульс f – заборонений стан
Питання № 6:	імпульс а – 0 імпульс b – 0 імпульс с – 1 імпульс d – 1 імпульс е – 0 імпульс f – 1
Питання № 7:	імпульс а – асинхронна установка 0 (або очищення) імпульс b – встановлення 1 імпульс с – встановлення 0 імпульс d – асинхронна установка 1 (або попер. встановлення) імпульс е – заборонений стан імпульс f – асинхронне встановлення 0 (або очищення)
Питання № 8:	імпульс а – 0 імпульс b – 1 імпульс с – 0 імпульс d – 1 імпульс е – 1 імпульс f – 0

Питання № 9:	імпульс а – асинхронне встановлення 1 (або попер. встановлення) імпульс b – перемикання імпульс с – встановлення 1 імпульс d – асинхронна встановлення 0 (або очищення) імпульс е – перемикання імпульс f – зберігання імпульс g – встановлення 0 імпульс h – перемикання
Питання № 10:	імпульс а – 1 імпульс b – 0 імпульс с – 1 імпульс d – 0 імпульс е – 1 імпульс f – 1 імпульс g – 0 імпульс h – 1
Питання № 11:	дворозрядного
Питання № 12:	по модулю 4
Питання № 13:	перемикання
Питання № 14:	імпульс а – 00 імпульс b – 01 імпульс с – 10 імпульс d – 11 імпульс е – 00 імпульс f – 01
Питання № 15:	асинхронного; декадним
Питання № 16:	синхронним
Питання № 17:	паралельно
Питання № 18:	перемикання
Питання № 19:	усіх тригерів
Питання № 20:	перемикання
Питання № 21:	зрізом
Питання № 22:	тільки тригера Т1
Питання № 23:	імпульс а – 00 імпульс b – 11 імпульс с – 10 імпульс d – 01 імпульс е – 00 імпульс f – 11
Питання № 24:	що віднімає
Питання № 25:	високий; перемикання
Питання № 26:	низький; зберігання

Частина 6
Сполучення аналогових і цифрових пристроїв. ЦАП.
Операційний підсилювач. ЦАП сходового типу.
ЦАП з динамічною компенсацією.

- Питання № 1: аналогове-цифровим перетворювачем (ЦАП)
Питання № 2: цифро-аналоговим перетворювачем (ЦАП)
Питання № 3: резистивний, що підсумує (масштабований)
Питання № 4: операційного підсилювача
Питання № 5: зворотному зв'язка
Питання № 6: вхідним
Питання № 7: $K_U = 20$
Питання № 8: $K_U = -4B$
Питання № 9: $K_U = 0.266$
Питання № 10: $U_{вих} = -0,8B$
Питання № 11: 1) невисока точність перетворення;
2) широкий діапазон зміни використовуваних резисторів.
Питання № 12: сходового ($R - 2R$ – схема)
Питання № 13: логічна 1
Питання № 14: перемикач А
Питання № 15: аналоговий; цифровий (двійковий)
Питання № 16: 0101
Питання № 17: високий; дозволу проходження тактових імпульсів через логічний елемент І; з динамічною компенсацією
Питання № 18: 1) АЦП із динамічною компенсацією
2) АЦП інтегруючий
3) АЦП послідовного наближення
Питання № 19: генератором лінійно мінливого напруги.
Питання № 20: більш швидкодіючий

Марина Геннадіївна ЛОРИЯ,
Петро Йосипович ЄЛІСЄЄВ,
Олексій Борисович ЦЕЛІЩЕВ

ЦИФРОВА СХЕМОТЕХНІКА

Друкується в авторській редакції

Оригінал-макет Могильна О.В.

Підписано до друку 10.03.2016.
Формат 60x84 $\frac{1}{16}$. Папір типогр. Гарнітура Times.
Друк офсетний. Умов. друк. арк. 16,3. Обл.-вид. арк. 17,9.
Тираж 300 екз. Вид. № 3020. Замов. № . Ціна договірна.

Видавництво Східноукраїнського національного університету
імені Володимира Даля
Свідоцтво про реєстрацію: серія ДК № 1620 від 18.12.03 р.
Адреса університета: просп. Радянський 59-А
м. Северодонецьк, 93400, Україна
e-mail: vidavnictvoSNU.ua@gmail.com.