

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ТЕХНОЛОГІЧНИЙ ІНСТИТУТ
СХІДНОУКРАЇНСЬКОГО НАЦІОНАЛЬНОГО УНІВЕРСИТЕТУ ІМЕНІ
ВОЛОДИМИРА ДАЛЯ

ТЕКСТ ЛЕКЦІЙ

з дисципліни

«КОМП'ЮТЕРНІ СИСТЕМИ ТА АРХІТЕКТУРА КОМП'ЮТЕРІВ»

*(для здобувачів вищої освіти спеціальності F7 «Комп'ютерна інженерія», що
навчаються за програмою підготовки бакалаврів)*

(електронне видання)

ЗАТВЕРДЖЕНО
на засіданні кафедри
комп'ютерних наук та інженерії
Протокол № 6 від 03.04.2026 р.

УДК 004.3

Текст лекцій з дисципліни «Комп'ютерні системи та архітектура комп'ютерів» (для здобувачів вищої освіти спеціальності F7 «Комп'ютерна інженерія», що навчаються за програмою підготовки бакалаврів). (Електронне видання) / Укл. В. С. Кардашук – Київ: Вид-во СНУ ім. В. Даля, 2026 – 112 с.

Укладач:

В. С. Кардашук, доц.

Відповідальний за випуск:

Л.О. Шумова, доц.

Рецензент:

О.І. Рязанцев, проф.

ЗМІСТ

ВСТУП	4
Лекція 1 – Мікроархітектура Intel Core	5
Лекція 2 – Мікроархітектура Nehalem	18
Лекція 3 – Процесори мікроархітектури Nehalem	35
Лекція 4 – Процесори мікроархітектури Westmere	50
Лекція 5 – Процесори Intel Core II на базі архітектури Sandy Bridge	58
Лекція 6 – Чіпсети Intel P67/H67 для платформи Sandy Bridge	73
Лекція 7 – Мікроархітектура Ivy Bridge.....	84
Лекція 8 – Процесори Haswell	94
ПЕРЕЛІК ПОСИЛАНЬ.....	109

ВСТУП

У 1971 році компанія Intel випустила свій перший 4-бітний мікропроцесор Intel 4004, що став основою для подальшого розвитку комп'ютерної техніки. Це призвело до появи персональних комп'ютерів і нової архітектури під назвою «x86», що згодом стала домінувати на ринку процесорів.

У 2000-х роках з'явилися мультиядерні процесори, де кілька ядер на одному кристалі виконують паралельну обробку даних, що значно підвищує продуктивність.

Однією з головних проблем залишалася паралельна обробка даних в умовах багатозадачності. Це вирішується за допомогою гіпертредінгу (hyper-threading), коли кожне ядро обробляє кілька потоків одночасно.

В останні роки з'являються нові підходи до проектування процесорів, такі як інтелектуальна пам'ять (IRAM), де пам'ять та процесор поєднуються в одному кристалі, що дозволяє подолати обмеження класичної архітектури фон Неймана.

Протягом десятиліть Intel постійно вдосконалювала архітектуру своїх процесорів, впроваджуючи все складніші технології для підвищення продуктивності та ефективності. Одним із ключових аспектів архітектури Intel є використання принципу CISC (Complex Instruction Set Computing) — архітектури зі складними наборами інструкцій.

Компанія Intel продовжує випускати дедалі потужніші процесори, які відповідають вимогам сучасних технологій, таких як штучний інтелект, віртуальна й доповнена реальність, високопродуктивні обчислення й хмарні сервіси.

Лінійка процесорів Intel Core є однією з найвідоміших і найпопулярніших лінійок процесорів Intel, яка включає процесори Core i3, Core i5, Core i7 і Core i9. В матеріалі лекцій показаний історичний розвиток технології та мікроархітектури процесорів компанії Intel починаючи від Intel Core до Sandy Bridge і Haswell.

Лекція 1

МІКРОАРХІТЕКТУРА INTEL CORE

План

- 1.1 Загальні принципи мікроархітектури Intel Core.
- 1.2 Особливості мікроархітектури Intel Core.
- 1.3 Виконавче ядро процесора Core.
- 1.4 Конвеєри в мікроархітектурі Core.
- 1.5 Усунення неоднозначності в пам'яті.
- 1.6 Технологія Intel Advanced Smart Cache.

1.1 Загальні принципи мікроархітектури Intel Core

Мікроархітектура Intel Core є багатоядерною мікропроцесорною архітектурою, представленої фірмою Intel у 2006 р. (рис. 1.1).

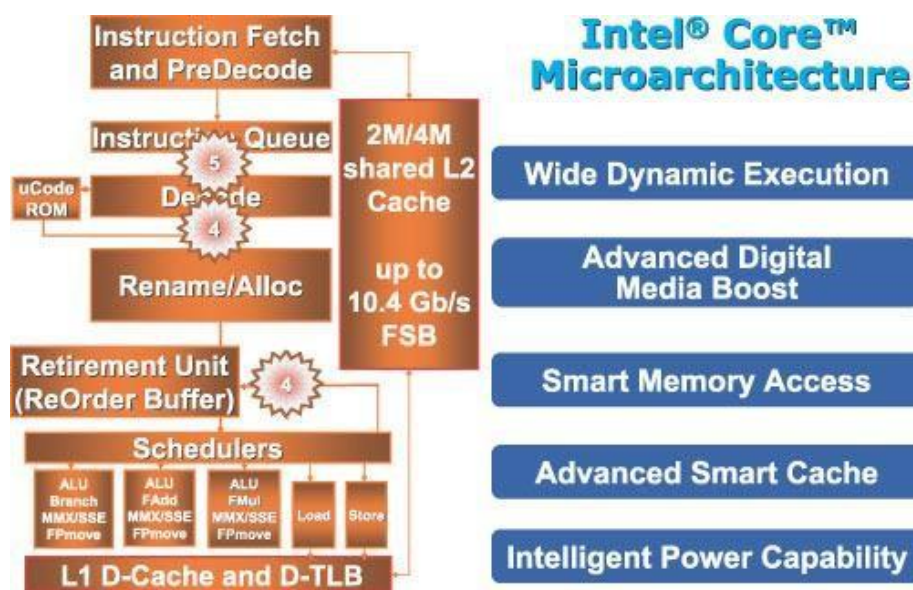


Рисунок 1.1 – Інноваційні технології мікроархітектури Intel Core

Мікроархітектура Intel Core заснована на оновленій версії ядра Yonah і може розглядатися в якості останньої ітерації мікроархітектури Intel P6, яка веде свою історію з процесора Pentium Pro, представленого в 1995 р.

Надмірно високе енергоспоживання і завищені вимоги до охолодження процесорів, заснованих на мікроархітектурі NetBurst, і, в результаті, нездатність

ефективно збільшувати тактову частоту, а також інші вузькі місця, такі, як неефективність конвеєра, є головними причинами, чому Intel відмовилася від мікроархітектури NetBurst. Мікроархітектура Intel Core була розроблена командою Intel Israel (IDC), яка раніше розробила мобільний процесор Pentium M.

Мікроархітектура Intel Core забезпечує високу продуктивність, енергозбереження і швидкодія в багатозадачних середовищах. Вона має кілька ядер і апаратну підтримку віртуалізації (Intel VT), а також Intel 64 і SSE3.

1.2 Особливості мікроархітектури Intel Core

Мікроархітектура Intel Core включає підтримку оперативної пам'яті DDR2, більш продуктивного інтегрованого графічного рішення, збільшеної пропускної здатності пам'яті для багатоядерних рішень і багатопоточних режимів роботи, а також оптимізованої для роботи з декількома ядрами кеш-пам'яті більшого об'єму для забезпечення кращої продуктивності.

Серед інших технічних удосконалень:

1. Технологія Intel Wide Dynamic Execution, яка забезпечує виконання більшої кількості інструкцій за один такт, прискорює виконання команд і покращує ефективність енергоспоживання. Кожне обчислювальне ядро здатне виконувати до чотирьох повних інструкцій одночасно, використовуючи ефективний конвеєр довжиною 14 ступенів.

2. Технологія Intel Intelligent Power Capability, яка дозволяє значно скоротити споживання електроенергії шляхом індивідуального включення різних логічних підсистем тільки в разі потреби.

3. Технологія Intel Advanced Smart Cache, яка спільно використовує кеш-пам'ять другого рівня, дозволяє знизити споживання енергії шляхом скорочення кількості звернень до пам'яті і збільшує продуктивність, дозволяючи одному ядру використовувати всю кеш-пам'ять, поки інше ядро простоює.

4. Технологія Intel Smart Memory Access збільшує продуктивність системи шляхом зниження затримок при доступі до пам'яті і таким чином оптимізує використання магістралі передачі даних підсистемою пам'яті.

5. Технологія Intel Advanced Digital Media Boost. Тепер 128-розрядні інструкції SSE, SSE2 і SSE3 можуть виконуватися за один такт. Це подвоює швидкість виконання цих інструкцій, що широко використовуються при обробці мультимедійних даних і в роботі графічних додатків.

Перші процесори, що використали цю архітектуру, входили в сімейство Core 2 і вийшли під кодовими назвами Merom, Conroe і Woodcrest.

Merom призначався для мобільних комп'ютерів, Conroe – для настільних систем, а Woodcrest – для серверів і робочих станцій. Хоча їх архітектури ідентичні, ці три лінії процесорів відрізняються роз'ємом, що використовується, типом шини і споживанням енергії. Основна частина заснованих на Core- мікроархітектурі процесорів має марку Pentium Dual-Core, а процесори нижчого цінового сегмента – марку Celeron. Процесори для серверів і робочих станцій продаються під маркою Xeon, а для користувачів настільних і мобільних ПК – як Core 2. Незважаючи на свою назву, процесори, які продаються як Intel Core, фактично не використовують мікроархітектуру Core.

Перші процесори з мікроархітектурі Intel Core були вироблені з використанням 65-нанометрової технології Intel. Мікроархітектура Intel Core дозволила поліпшити співвідношення продуктивності та енергоспоживання, першим підтвердженням чого є процесор Intel Core Duo. Він відображає і доповнює стратегію розвитку технологій енергозбереження, початок якої було покладено з виходом процесора Intel Pentium M для мобільних ПК, і об'єднує в собі безліч інновацій, а також технології, реалізовані в процесорах Intel Pentium 4, такі як швидкісна шина даних і потокові команди. Корпорація Intel розраховує почати поставки процесорів з мікроархітектурі Intel Core, вироблених з використанням передової 65-нанометрової технології Intel, в третьому кварталі 2006 року.

Мікроархітектура Intel Core – це черговий етап поліпшення масштабованості продуктивності і економічності, завдяки цьому користувачі отримали більш продуктивні, компактні і тихі системи з продовженим терміном автономної роботи і меншими вимогами до електроживлення.

Процесор з кодовим найменуванням Conroe для настільних ПК, що відповідає мікроархітектурі Intel Core забезпечує приблизно 40-відсоткове підвищення

продуктивності і 40-відсоткове зниження енергоспоживання в порівнянні з процесором Intel Pentium D 950.

Підвищуючи продуктивність, знижуючи енергоспоживання і скорочуючи час відгуку системи при роботі в багатозадачному режимі, мікроархітектура Intel Core дозволила поліпшити враження користувачів від роботи на комп'ютерних пристроях.

Мікроархітектура Intel Core проєктована з нуля, але з використанням філософії мікроархітектури Pentium M. Довжина виконавчого конвеєра становить 14 ступенів – менше половини від довжини конвеєра в попередньому поколінні Prescott (31 ступінь), є ключовою особливістю технології динамічного виконання команд.

Кожне ядро мікропроцесора може отримувати, обробляти, виконувати і відкидати до чотирьох повних команд одночасно. Це значно підвищує продуктивність у порівнянні з конкуруючими процесорними технологіями P6, PM (Banias , Dothan і Yonah) і NetBurst, що підтримують одночасну обробку тільки трьох команд.

Мікроархітектура Intel Core оптимізована під двоядерну архітектуру процесора. Основний кеш першого рівня L1 пов'язаний із загальною для обох ядер кеш-пам'яттю другого рівня L2, яка динамічно розподіляється між ними. Дані, що містяться в L1, обов'язково містяться і в L2 для досягнення максимальної продуктивності на ват споживаної потужності і поліпшення масштабованості.

Ще однією технологією, яка включена в мікроархітектуру Intel Core при проєктуванні, є технологія Macro-Fusion, що дозволяє об'єднувати деякі поширені інструкції x86 в одну команду для виконання.

У попередніх версіях процесорної мікроархітектури кожна інструкція декодувалась незалежно від інших. При використанні Macro Fusion деякі пари інструкцій, наприклад, інструкція порівняння і умовного переходу при декодуванні можуть об'єднуватися в одну мікроінструкцію, яка в подальшому буде виконуватися саме як одна мікроінструкція. Для ефективної підтримки цієї технології в архітектурі Intel Core використовуються розширені блоки арифметично-логічних пристроїв, які здатні підтримати виконання таких злитих мікроінструкцій.

1.3 Виконавче ядро процесора Core

Крім істотно розширеного буфера резервації (до 32 записів), в ядрі Core реалізована нова структура портів: тут не п'ять портів, як в ядрах P6, не чотири порту, як в NetBurst, а вже шість портів. На відміну від попередників, у Core арифметичним і логічним інструкціям віддані не два, а три порти, що і дозволяє уникнути "вузького місця" блоку SSE.

У Core є три 64-розрядних виконавчих блоки для цілочисельних обчислень, кожен з яких може виконувати однотактові 64-бітні скалярні цілочисельні операції. Як і в ядрі P6 передбачено один 64-розрядний блок (CIU) і два простих блоки (SIU), що виконують елементарні дії додавання. Один з SIU ділить порт 2 з модулем виконання переходів (BEU): вони здатні працювати паралельно над виконанням об'єднаних в процесі Macro-fusion інструкцій.

Здатність здійснювати 64-розрядні цілочисельні обчислення за один такт вперше з'явилися в процесорах лінійки Intel x86, і ця можливість ставить чіпи з архітектурою Core навіть вище серверного процесора IBM PowerPC 970, здатного виконувати такі обчислення тільки за два такти. Більше того, оскільки блоки арифметичної логіки (ALU) розташовані на окремих портах, теоретично чіпи Core здатні виконувати за один цикл відразу три 64-розрядні цілочисельні операції.

У мікроархітектурі Core використовуються два виконавчих блоки для обчислень з плаваючою комою, здатні здійснювати як скалярні, так і векторні арифметичні операції. Блок, розташований на порту 1, відповідає за додавання і інші прості операції в форматах: скалярних – з одинарної (32-біт) і подвійної (64-біт) точності; векторних – з 4х одинарною і 2х подвійною точністю. Виконавчий блок на порту 2 здійснює операції множення і ділення в цих же векторних і скалярних форматах. Два блоки векторних обчислень ділять ті ж порти, що і два аналогічних блоки скалярних обчислень, тому їх слід вважати двома єдиними лініями, що виконують як скалярні, так і векторні операції.

На рис.1.2 схематично зображено використання технології Intel Wide Dynamic Execution.

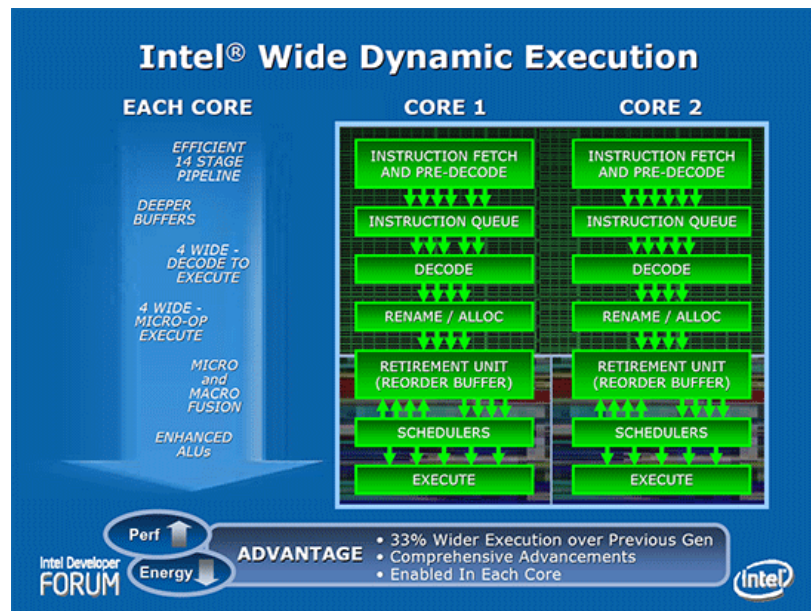


Рисунок 1. 2 – Використання технології Intel Wide Dynamic Execution

Одне з найважливіших поліпшень в Core – блоки векторних або SIMD-обчислень, тобто з одним потоком інструкцій і декількома потоками даних. Архітектура Core забезпечує повноцінну 128-бітну обробку у всіх векторних блоках. Коли Intel вперше додала підтримку 128-бітних векторних обчислень в процесори сімейства Pentium за допомогою потокових SIMD-розширень (SSE), результати виявилися не надто вражаючими через відсутність можливості роботи з трьохоперандними інструкціями, а також через обмеження 64-бітної внутрішньої розрядності обробки даних для арифметики з плаваючою комою та інструкцій MMX. Для виконання 128-бітних інструкцій в P6 доводилося спочатку ділити цю інструкцію на дві, а потім передавати цю пару на відповідний виконавчий блок. У результаті всі 128-бітові операції могли виконуватися не швидше, ніж за два такти. Цей недолік успадкували і Pentium 4, і Pentium M.

У архітектурі Core завдяки 128-бітній ширині внутрішніх шин забезпечується однотактове виконання 128-розрядних векторних інструкцій. При цьому потрібно лише одна мікрооперація для трансляції та декодування кожної 128-бітної інструкції. На жаль, двохоперандне обмеження залишилося і в Core, проте серйозних проблем воно вже не викликає. Якщо об'єднати описані доопрацювання із збільшенням числа виконавчих блоків і розширеною пропускну здатністю

внутрішніх шин, можна констатувати зростання теоретичної продуктивності векторних операцій.

1.4 Конвеєри в мікроархітектурі Core

Обчислювальний конвеєр в Core складається з 14 сходинок. Для порівняння, стільки ж ступенів у процесора IBM PowerPC 970, у Pentium 4 на ядрі Prescott – 30 ступенів, а у чіпів з архітектурою P6 – 12 ступенів. Число ступенів свідчить, з одного боку, про збереження сильних рис архітектури P6, а з іншого – про відмову від "гонки мегагерц", властивої архітектурі NetBurst.

Оскільки постпроцесор ядра Core теж має набагато ширшу шину, ніж у попередників, буфер інструкцій (ROB) також розширено до 96 записів. Для порівняння, у Pentium M Banias ROB складався з 40 записів. Так зване "вікно команд", що складається з буфера (ROB) і буфера резервування (RS), було не тільки фізично розширене, а й "віртуально".

Технології Macro-fusion та micro-ops fusion дозволяють відслідковувати більше число інструкцій меншими витратами. Саме тому можна сказати, що функціонально вікно команд Core ширше, ніж просто сума записів ROB і RS. А наповнення такого вікна команд необхідним потоком нових інструкцій – задачу яку вирішили інженери Intel.

У інтерфейсному блоці встановлено новий декодуючий модуль, що дозволяє збільшити число інструкцій, які можуть бути конвертовані в мікрооперації за один цикл. Декодер, що використовувався в ядрі P6, складався з двох "швидких" декодуючих блоків і одного "повільного" блоку.

"Швидкі" блоки трансляють інструкції x86 в одну мікрооперацію (micro-op), з яких і складається переважна більшість інструкцій. "Швидкі" декодери за один такт можуть відправляти одну мікрооперацію у відповідний буфер. Складний декодер відповідає за трансляцію інструкцій у дві-чотири мікрооперації. Таких інструкцій небагато і вони рідко використовуються. Три декодуючих модуля ядра P6 можуть відправляти за один такт до шести мікрооперацій в буфер мікрооперації, а декодуючий блок в цілому може посилати в буфер до шести мікрооперацій за один

такт.

На рис. 1.3 схематично зображено використання технології Intel Macro-Fusion.

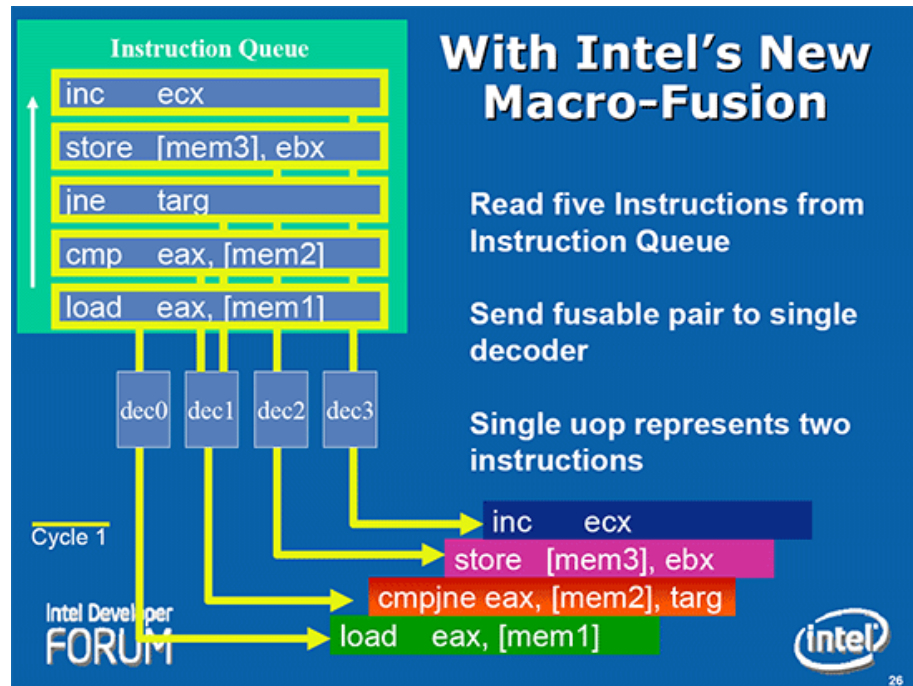


Рисунок 1.3 – Використання технологій Intel Macro-Fusion

Перед конструкторами Core стояло завдання підвищити швидкість декодування настільки, щоб вона дозволяла використовувати обчислювальні потужності ядра, які зросли. Перш за все, в декодуючий блок був доданий ще один "швидкий" модуль, що дозволило збільшити число мікрооперацій, які відправляються в буфер до семи і число мікрооперацій, які відправляються в буфер переупорядкування – до чотирьох.

Крім того, в Core "швидкими" модулями можуть оброблятися більше типів інструкцій, зокрема, інструкції пам'яті і SSE, завдяки чому розробники наблизилися до мети отримати одну мікрооперацію з кожної інструкції x86.

На рис.1.4 схематично зображено використання технології Intel Advanced Digital Media Boost.

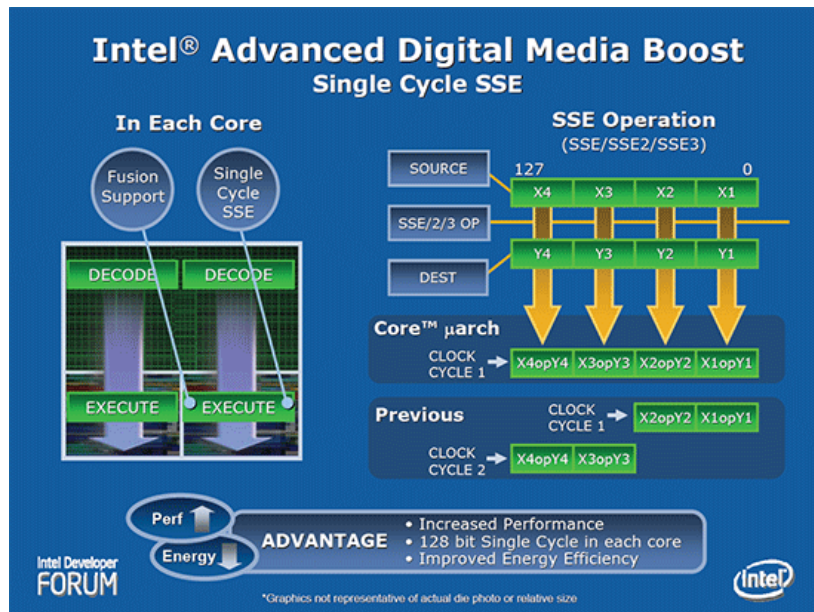


Рисунок 1.4 – Використання технології Intel Advanced Digital Media Boost

Серед нових технологій, реалізованих в архітектурі Core – вже згадана Macro-Fusion, що дозволяє об'єднувати деякі типи інструкцій x86 перед декодуванням, що дає можливість відправляти їх на один декодер для трансляції в одну мікрооперацію.

Такими інструкціями можуть бути, зокрема, інструкції порівняння, тестування і переходів. Будь-який з чотирьох декодерів здатний за один такт генерувати не більше однієї мікрооперації з використанням технології Macro-Fusion. Один блок арифметичної логіки здатний виконувати, як мінімум, дві об'єднаних інструкції певного типу одночасно, при цьому звільняються виконавчі блоки для інших типів інструкцій. Таким чином, ця технологія дозволяє "віртуально" розширити вікно команд, виконуючи насправді більше інструкцій, ніж їх формальна кількість.

Ще одна технологія, Micro-ops Fusion, що вперше з'явилася в Pentium M, вирішує майже ті ж самі завдання, що й Macro-fusion, але іншими засобами: "швидкий" декодуючий модуль отримує одну інструкцію x86, яка повинна транслюватися в дві мікрооперації, і видає змішану пару, яка сприймається в буфері переупорядкування як один запис. Після переходу в буфер резервування дві мікрооперації обробляються окремо: або паралельно через два окремих порти, або послідовно через один порт, залежно від конкретної ситуації. Як правило,

такими мікроопераціями є load і store.

Технологія Micro-ops Fusion, як і Macro-Fusion, "віртуально" розширює вікно команд і робить архітектуру Core енергоефективною, оскільки більше число операцій виконується меншими апаратними засобами.

Модуль передбачення переходів в ядрі Core істотно розширений з метою забезпечення підвищеної продуктивності та енергоефективності. Модуль складається з тих же трьох частин, що й аналогічний модуль в процесорах Pentium M (Banias): прямого провідника розгалужень (global і bi-modal), непрямого (indirect) і визначника циклів (loop detector). Провідники працюють на основі інформації про недавно виконаних переходах, причому прямий шлях, закладений в самій команді, забезпечує майже стовідсоткову точність прогнозів, в той час як при непрямому шляху дані про найбільш часто використовуваних адресах витягуються з регістра, що забезпечує трохи меншу, але все одно досить високу точність.

Переходи завершення циклу можуть бути виконані лише одного разу – по завершенню циклу, тому в буфері переходів не зберігається досить статистичних даних для того щоб з точністю передбачити завершення розгалуження. Для зведення до мінімуму ймовірності виникнення подібних ситуацій застосовується визначник циклів, що відслідковує виконання кожного розгалуження з метою визначити, яке з них задовольняє умовам завершення циклу. Відповідна статистика накопичується, тому точність передбачення подібних переходів наближається до ста відсотків.

1.5 Усунення неоднозначності в пам'яті

Оригінальна технологія усунення неоднозначності в пам'яті (memory disambiguation) покликана зводити до мінімуму недоліки процесорів Conroe (тобто, зі схемою позачергового виконання команд). Справа в тому, що такі процесори не можуть виробляти подальші обчислення до тих пір, поки не будуть повернені в основну пам'ять або у файл регістра дані про результати виконання попередніх інструкцій. Навіть якщо наступна операція ніяк не залежить від попередніх, процесор змушений чекати збереження результатів їх виконання.

За деякими даними, близько 97 відсотків інструкцій у вікні команд ніяк не

пов'язані з попередніми і можуть виконуватися незалежно від них. Тим не менш, в архітектурах P6 і NetBurst передбачалося, що ці зв'язки існують, і це припущення вело до невиправданого зниження продуктивності. Технологія усунення неоднозначності якраз і визначала подібні помилкові зв'язку, що дозволили підвищити продуктивність роботи чіпа.

Рішення проблеми полягало в тому, щоб дати процесору "зрозуміти" залежності між виконуваними інструкціями. Для цього і застосовується технологія усунення неоднозначності: за допомогою спеціальних алгоритмів робляться спроби передбачення послідовності завантаження наступних інструкцій ще до збереження попередніх. У гіршому випадку операції виконуються, як і раніше, після збереження, а при вдалому результаті передбачення – одночасно із збереженням даних про результати виконання попередніх операцій. Зрозуміло, подібні алгоритми застосовуються не у всіх ста відсотках випадків, але в цілому їх використання помітно збільшує продуктивність процесора.

1.6 Технологія Intel Advanced Smart Cache

Оскільки мікроархітектура Core спочатку проєктується в двоядерному варіанті, розробники отримали можливість оптимізувати окремі функціональні блоки майбутніх процесорів з урахуванням їх цієї особливості. Так, процесори з мікроархітектурою Core отримали кеш-пам'ять L2, що розділяється між обчислювальними ядрами. Алгоритми роботи цієї кеш-пам'яті подібний механізму, який реалізований в двоядерних мобільних процесорах Intel Core Duo.

На рис. 1.5 схематично зображено використання технології Intel Advanced Smart Cache.

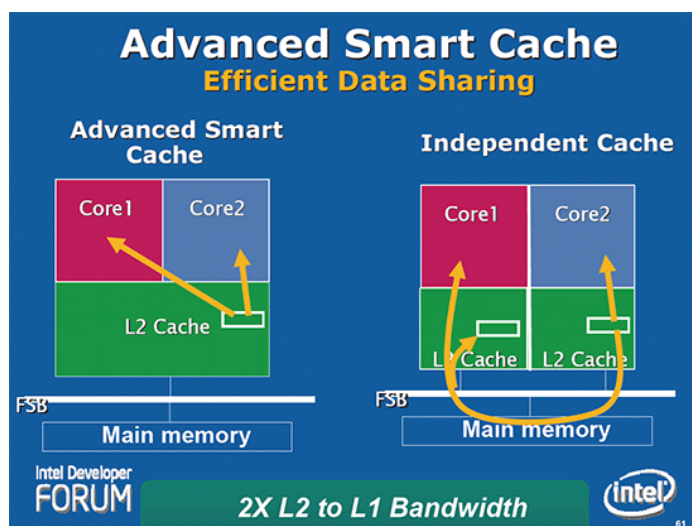


Рисунок 1.5 – Використання технології Intel Advanced Smart Cache

Плюсів такого підходу до реалізації кеш-пам'яті декілька. По-перше, у процесора з'являється можливість гнучко регулювати розміри областей кеша, що використовується кожним з ядер. Іншими словами, доступ до всього обсягу L2-кеша може отримати будь-яке з ядер процесора з мікроархітектури Core. Це, зокрема, означає і те, що коли одне з ядер не діє, другий отримує у своє повне розпорядження весь обсяг кеш-пам'яті. Якщо ж одночасно працюють два процесорних ядра, то кеш ділиться між ними пропорційно, залежно від частоти звернень кожного ядра до оперативної пам'яті. Більш того, якщо обидва ядра працюють синхронно з одними і тими ж даними, то зберігаються вони в загальному L2 кеші тільки одноразово. Тобто, L2-кеш процесорів з мікроархітектурою Core, що розділяється, набагато більш ефективний і більш місткий, ніж два окремих кеша, розділених між ядрами.

Кеш-пам'ять, що розділяється, може виявитися корисною двоядерним процесорам і в деяких інших випадках.

Другий значний плюс об'єднаної кеш-пам'яті другого рівня полягає в тому, що завдяки такій його організації значно знижується навантаження на оперативну пам'ять системи і на процесорну шину. В цьому випадку перед системою не стоїть завдання контролю і забезпечення когерентності кеш-пам'яті різних ядер. У системах з двоядерними процесорами з роздільними кешами, у разі, якщо обидва ядра працюють з одними і тими ж даними, ці дані дублюються в кеш-пам'яті кожного з ядер.

Таким чином, виникає необхідність у контролі їх актуальності. Перед тим, як витягти такі дані з L2-кеша для обробки, кожне процесорне ядро має перевірити, не змінило чи ці дані інше ядро. І якщо це так, то потрібне оновлення вмісту кеш-пам'яті, яке в системах на базі процесорів з мікроархітектури NetBurst виконується через системну шину й оперативну пам'ять. Загальний же на два ядра кеш дозволяє повністю відмовитися від цього неефективного алгоритму.

Контрольні питання для перевірки знань

1. Які загальні принципи мікроархітектури Intel Core?
2. Які інноваційні технології використані в мікроархітектурі Intel Core?
3. Які можливості виконавчого ядра процесора Core?
4. Які особливості конвеєра в мікроархітектурі Core?
5. В чому полягає використання технології Macro-Fusion в мікроархітектурі Intel Core?
6. В чому переваги використання технології Intel Advanced Smart Cache в мікроархітектурі Intel Core?
7. Переваги мікроархітектури Intel Core від мікроархітектури NetBurst.

Лекція 2

МІКРОАРХІТЕКТУРА NEHALEM

План

- 2.1 Загальні принципи архітектури процесорів Nehalem.
- 2.2 Удосконалення у процесорному ядрі Nehalem.
- 2.3 Технологія Hyper-Threading в мікроархітектурі Nehalem.
- 2.4 Ієрархія кеш-пам'яті в архітектурі Nehalem.
- 2.5 Використання процесорів мікроархітектури Nehalem.

2.1 Загальні принципи архітектури процесорів Nehalem

Nehalem – мікроархітектура процесорів компанії Intel, представлена в 4 кварталі 2008 року для ядра Bloomfield у виконанні Socket B (LGA 1366) і для ядра Lynnfield у виконанні LGA 1156 відповідно.

Мікропроцесори продаються під торговою маркою Core i7 і Core i5. Виробництво процесорів архітектури Nehalem розпочато у вересні 2009 р., випускались з частотою 1,2 – 3,6 ГГц та були виконані по 45-22 нм технології з двома або чотирма ядрами.

Socket B (або LGA 1366) – процесорний роз'єм для процесорів фірми Intel, наступник LGA775 для високопродуктивних настільних систем і роз'єму LGA771 для серверів. Виконано за технологією Land Grid Array (LGA) . Це роз'єм з пружними або м'якими контактами, до яких за допомогою спеціального тримача із захопленням і важеля притискається процесор, що має контактні площадки.

Збільшення кількості контактних майданчиків пов'язане з перенесенням контролера пам'яті безпосередньо на кристал процесора і використання нового протоколу QPI (Quick Path Interconnect) замість протоколу Quad-Pumped Bus.

В даний час даний сокет не підтримується, йому на зміну прийшов Socket R (LGA 2011) в кінці 2011 р.

LGA 2011, також відомий як Socket R – роз'єм для процесорів Intel. Замінює платформи на базі роз'єму LGA 1366 (Socket B) у високопродуктивних настільних

системах.

LGA 2011 використовує шину QPI, щоб з'єднатися з додатковим процесором в 2-процесорних системах або з додатковими чіпсетами. Процесор виконує функції північного моста, такі як контролер пам'яті, контролер шини PCI-E, DMI, FDI та ін. Процесори LGA 2011 підтримують чотириканальний режим роботи оперативної пам'яті DDR3-1600 і 40 ліній PCIe 3.0. Як і його попередник, LGA 1366, не передбачався для інтегрованої графіки.

Процесори серії Extreme Edition містять шість ядер з 15 МБ загальної кеш-пам'яті. Материнські плати на базі процесорного роз'єму LGA 2011 мають 4 або 8 роз'ємів DIMM, що дозволяє забезпечувати максимальну підтримку 32 ГБ, 64 ГБ або 128 ГБ оперативної пам'яті.

LGA 2011 був представлений разом з архітектурою Sandy Bridge-EX 14 листопада 2011 та сумісний з процесорами Ivy Bridge-E.

Процесори архітектури Nehalem були скоріше тимчасовою заміною попередніх версій. Через деякий час після анонсування Nehalem, корпорація Intel заявила, що процесори з цією архітектурою випускатимуться лише до кінця 2009 року, після чого їх замінять на більш інноваційне рішення, побудоване на 32-нм технологічному процесі (рис. 2.1).



Рисунок 2.1 – Схематичне зображення стратегії компанії Intel «Тік-так»

Першими представниками архітектури Nehalem були процесори Bloomfield, орієнтовані на використання в настільних системах.

Впровадження нових технологічних процесів і розробки нової мікроархітектури дозволило компанії Intel позбутися затримок при анонсі нових процесорів. Тому рівно через рік після подання сімейства Penryn (Penryn — кодова назва 45-нм

технології від компанії Intel для сімейства процесорів Intel Core 2 Duo) з'явилося нововведення – процесори з архітектурою Nehalem.

Істотним недоліком процесор Core 2 став їх немодульний дизайн. Виступаючи подальшим розвитком мобільних процесорів Pentium M, мікропроцесори Core спочатку проєктувалися як двоядерні напівпровідникові кристали. Подальший же перехід до випуску багатоядерних представників сімейства Core став виявляти слабкі місця такого підходу.

Чотириядерні та шестиядерні представники мікроархітектури Core просто збиралися з декількох двоядерних кристалів. Обмін даними між розрізненими ядрами організовувався через системну пам'ять, що часом викликало великі затримки, обумовлені обмеженою пропускнуою здатністю процесорної шини.

Ще одне вузьке місце виникало в багатопроцесорних системах. Хоча Intel вже вирішив проблему з поділом системної шини, випустивши чіпсети, що пропонували власну шину кожному процесору, продуктивність часто обмежувалася недостатньо високою пропускнуою здатністю шини пам'яті. Цю проблему, наприклад, можна було спостерігати навіть у орієнтованій на ентузіастів платформі Skulltrail, не кажучи вже про високопродуктивні робочі станції і сервери.

Подальше збільшення багатоядерності і багатопроцесорності, що було обрано основним вектором збільшення продуктивності сучасних систем, рано чи пізно повинні були завести Intel в глухий кут, навіть незважаючи на те, що сама по собі сучасна мікроархітектура Core і представлялась дуже вдалою. Саме тому Intel і прагнула до якнайшвидшого переходу на Nehalem – архітектуру, яка в першу чергу вирішувала описані структурні проблеми. Адже ключовими особливостями Nehalem стали інтегрований у процесор контролер пам'яті і нова шина з топологією точка-точка QPI, що дозволяє не тільки пов'язувати процесор з чіпсетом, а й кілька процесорів між собою навіпростець.

Другим важливим нововведенням в Nehalem став модульний дизайн процесора. Фактично, мікроархітектура сама по собі включає лише кілька блоків, з яких на етапі кінцевого проєктування і виробництва може бути зібраний підсумковий процесор. Цей набір блоків включає в себе процесорне ядро з кеш-пам'яттю другого рівня (L2), кеш-пам'яттю третього рівня (L3), контролер шини QPI, контролер

пам'яті, графічне ядро і т. д. (рис. 2.2).

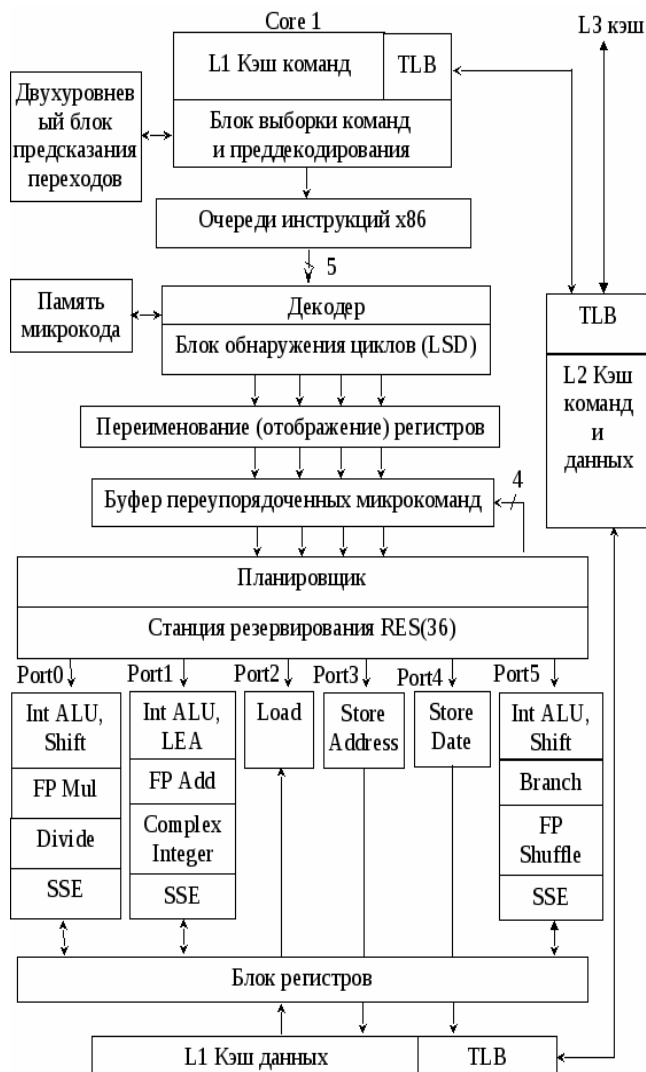


Рисунок 2.2 – Структура ядра процессора с архитектурой Intel Nehalem

Мікроархітектура Nehalem отримала деякі інноваційні зміни:

- 2, 4 або 8 ядер;
- вдосконалені у порівнянні з Core обчислювальні ядра;
- технологія SMT, що дозволяє виконувати одночасно два обчислювальних потоки на одному ядрі;
- три рівня кеш-пам'яті: L1 – кеш розміром 64 кбайта на кожне ядро, L2 – кеш розміром 256 кбайт на кожне ядро, загальний – розділяється L3 кеш розміром до 24 Мбайт;
- інтегрований контролер пам'яті з підтримкою декількох каналів DDR3

SDRAM;

- монолітна конструкція – процесор складається з одного апівпровідникового кристала;
- технологічний процес 45 нм;
- можливість інтегрування в процесор графічного ядра;
- нова шина QPI з топологією точка-точка для зв'язку процесора з чіпсетом і процесорів між собою;
- модульна структура;
- підтримка 2- або 3-канального режиму DDR3 SDRAM або 4-канального каналу FB-DIMM.

Мікропроцесори на основі Nehalem використовують більш високі тактові частоти і є більш енергоефективними, ніж Penryn процесор. Знову вводиться підтримка Hyper-Threading поряд зі зниженням обсягу кеш-пам'яті L2, а також збільшенням кеш-пам'яті L3, що є загальним для всіх ядер.

2.2 Удосконалення у процесорному ядрі Nehalem

Обчислювальне ядро процесорів сімейства Nehalem у порівнянні з Core змінилася не настільки значно, найбільші поліпшення криються в інфраструктурі.

В першу чергу модифікація торкнулася декодерів, адже процесори з архітектурою Core мали у своєму розпорядженні чотири декодера: три для простих інструкцій і один – для складних. При цьому максимальне число x86- інструкцій, які декодують ці процесори за один такт, може доходити до п'яти, так як завдяки технології «Macrofusion» вони здатні обробляти деякі пари команд (наприклад, порівняння з наступним за ним умовним переходом), як єдину інструкцію.

У Nehalem кількісний і якісний склад декодерів не змінився – але «Macrofusion» зазнала суттєвих змін.

По-перше, збільшилася кількість пар x86 команд, що декодувались в рамках цієї технології. По-друге, в Nehalem технологія «Macrofusion» стала працювати і в 64-бітному режимі, в той час як в процесорах сімейства Core 2 вона могла активуватися лише при роботі процесора з 32-бітним кодом.

Таким чином, декодування п'яти, а не чотирьох інструкцій за такт, процесорам з архітектурою Nehalem вдавалося в більшій кількості випадків, ніж їх попередникам.

На рис. 2.3. наведена структура обчислювального ядра процесорів сімейства Nehalem.

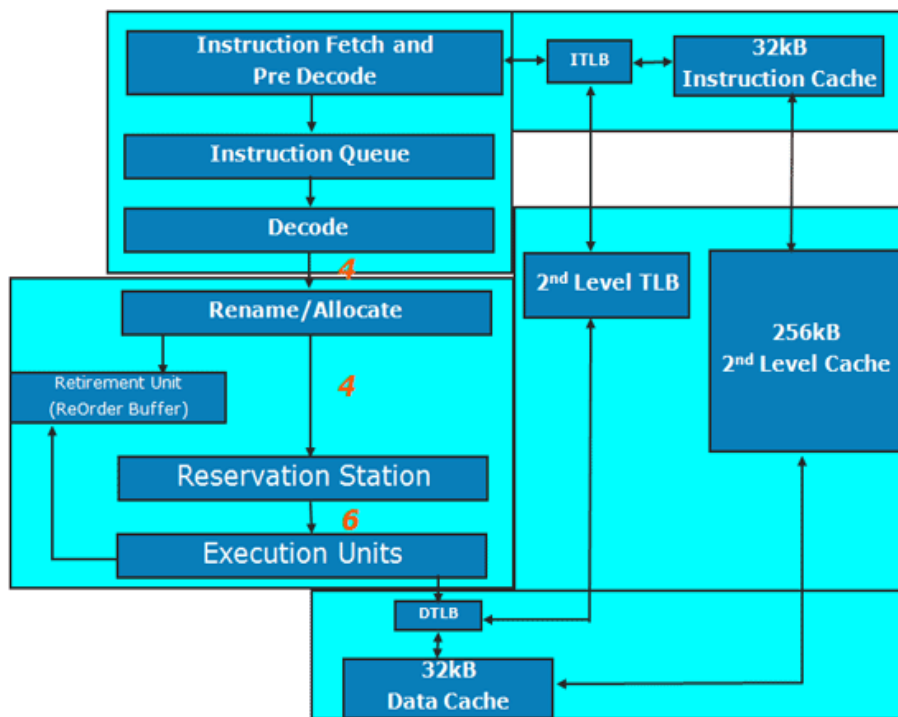


Рисунок 2.3 – Структура обчислювального ядра процесорів сімейства Nehalem

Наступне удосконалення, пов'язане з підвищенням продуктивності початкової частини виконавчого конвеєра, торкнулося блоку Loop Stream Detector. Цей блок з'явився вперше в процесорах з архітектури Core і призначався для прискорення обробки циклів. Визначаючи в програмі цикли невеликої довжини, Loop Stream Detector зберігав їх у спеціальному буфері, що давало можливість процесору обходитися без їх багаторазової вибірки з кеша і передбачення переходів всередині цих циклів.

У процесорах Nehalem блок Loop Stream Detector став ще більш ефективний завдяки його перенесення за стадію декодування інструкцій. Іншими словами, в буфері Loop Stream Detector зберігались цикли в декодованому вигляді, через що цей блок став дещо схожий на Trace Cache процесорів Pentium 4. Однак, Loop Stream Detector в Nehalem – це особливий кеш. По-перше, він має дуже невеликий розмір,

всього 28 мікрооперацій, по-друге, в ньому зберігаються виключно цикли.

Працюючи над удосконаленням архітектури Core, інженери Intel знайшли шляхи і до поліпшення і без того одного з кращих в індустрії механізму передбачення переходів. Однак, нічого суттєвого тут немає: на додаток до вже наявного блоку передбачення переходів був доданий ще один «провісник» другого рівня. Він працює повільніше, ніж перший, але зате завдяки більш місткому буферу, накопичує статистику переходів та має кращу глибину аналізу. Треба зауважити, що дане удосконалення не дало суттєвого виграшу в типових додатках.

Зате при серверному навантаженні дворівневий блок передбачення переходів виявився дуже ефективним. Це є прекрасною ілюстрацією універсальності архітектури Nehalem, в якій можна зустріти інженерні рішення, орієнтовані на потреби різних категорій користувачів.

Інші поліпшення результативності механізму передбачення переходів було зроблено переробкою блоку Return Stack Buffer, на який блок покладається завдання правильного передбачення адреси повернення (рис. 2.4).

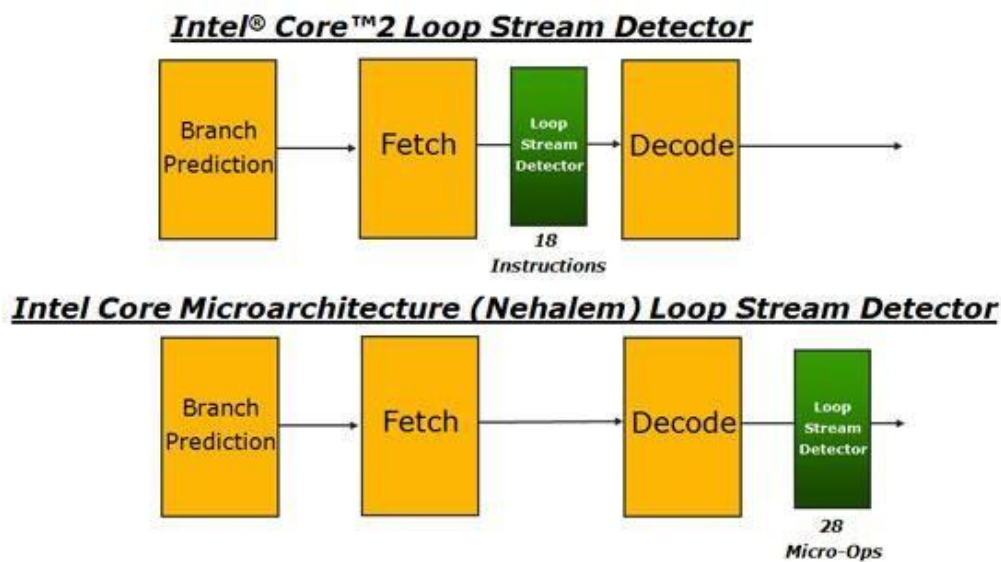


Рисунок 2.4 – Удосконалення у процесорному ядрі Nehalem у порівнянні з Core

Процесори минулого покоління могли невірно пророкувати адреси повернень з функцій, наприклад, при роботі рекурсивних алгоритмів і переповненні відповідного буфера. Новий же Return Stack Buffer, реалізований у Nehalem, цю проблему успішно усунув.

Істотно попрацювавши над попередніми стадіями конвеєра Nehalem, інженери Intel залишили виконавчі пристрої нового процесора без помітних змін. Як і в Core 2, процесори архітектури Nehalem здатні відправляти на виконання до шести мікрооперацій одночасно. Причому, одночасно можливо виконання трьох обчислювальних операцій та трьох операцій з пам'яттю. В той же час розробники збільшили розміри внутрішніх буферів стадії виконання команд (рис. 2.5).

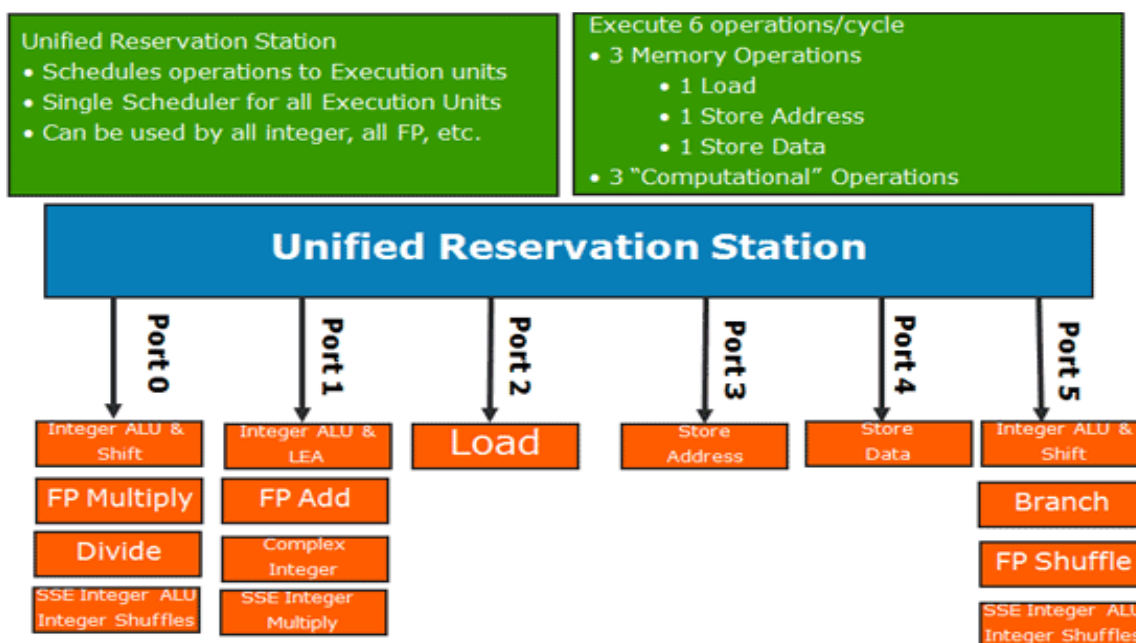


Рисунок 2.5 – Виконавчі пристрої процесора Nehalem

В результаті, процесори Nehalem здатні тримати в очікуванні виконання в Recorder Buffer до 128 мікрооперацій – а це на 33% більше, ніж Core 2. Відповідно, Reservation Station, що відправляє мікрооперації безпосередньо на виконавчі пристрої, розширена з 32 до 36 інструкцій, а крім того, збільшена і місткість буферів і для роботи з даними.

Всі ці, здавалося б, невеликі зміни викликані в першу чергу тим, що ядра процесорів підтримують технологію SMT і здатні виконувати одночасно по два обчислювальних потоки, які потребують розділу ресурсів один з одним.

У підсумку, Intel кількома простими архітектурними рішеннями збільшив коефіцієнт корисної дії виконавчих пристроїв процесора, тобто наростив продуктивність без істотних енергетичних витрат.

Повернення в Nehalem технології SMT – одне з найістотніших нововведень, здатних позитивно вплинути на продуктивність. У процесорах Pentium 4, де ця ж технологія підносилася під маркетинговим ім'ям Hyper- Threading, її включення давало середній приріст продуктивності на рівні 10%. Нові ж процесори архітектури Nehalem повинні отримати від SMT більший виграш (рис. 2.6).

По-перше, вони мають у своєму розпорядженні підсистему пам'яті з набагато більш високою пропускною здатністю, яка здатна ефективніше забезпечувати два обчислювальних процеси потоками даних. По-друге, Nehalem може обробляти більше число інструкцій одночасно.

Як і в процесорах Pentium 4, активація SMT в Nehalem призводить до того, що кожне фізичне ядро відображалось операційною системою як пара логічних ядер.

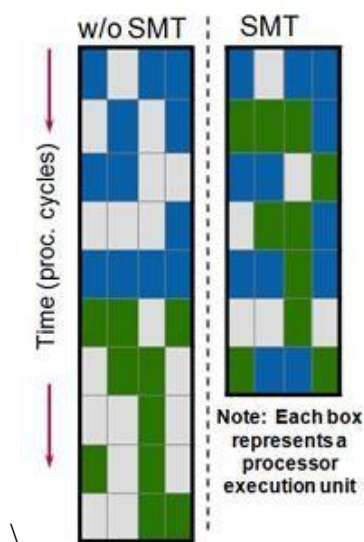


Рисунок 2.6 – Технологія SMT

Наприклад, 4-ядерний Nehalem розпізнавався програмним забезпеченням як процесор з вісьмома ядрами (рис. 2.7).

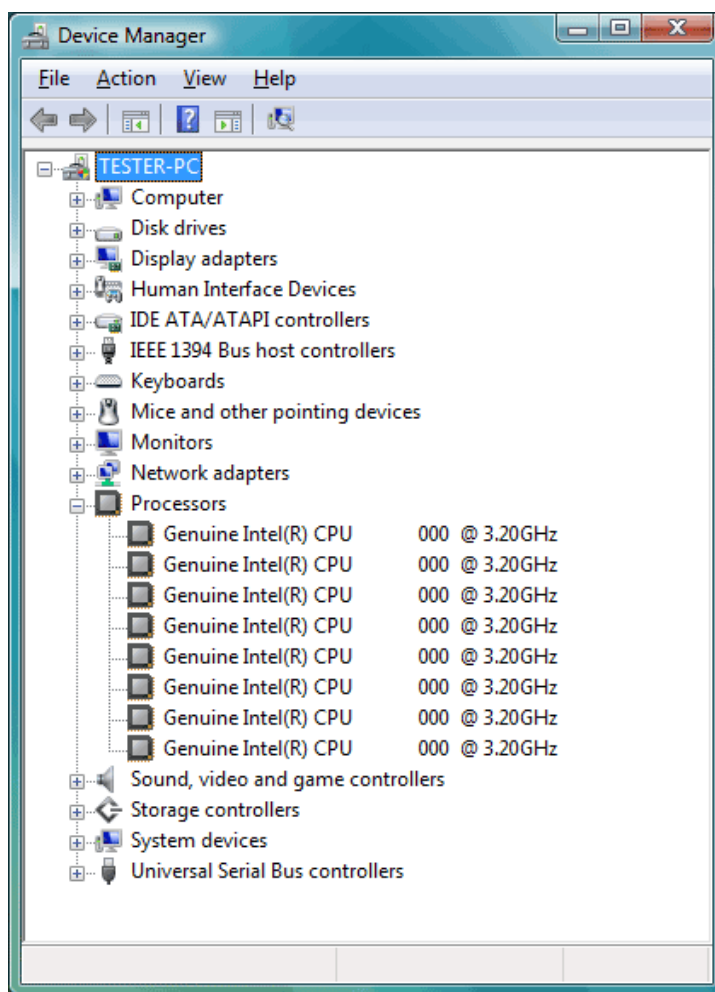


Рисунок 2.7 – Відображення кількості ядер процесорів у системі

Але пам'ятаючи про те, що активація SMT іноді може призводити і до зниження продуктивності, інженери Intel зробили фізичні та логічні ядра розрізненими і нерівноправними, що дозволяє програмістам при необхідності самостійно вирішувати питання по їхньому застосуванні.

Для ілюстрації практичного впливу описаних змін на продуктивність наведена швидкість Nehalem з попередником Penryn в декількох простих синтетичних тестах з пакету SiSoftware Sandra 2009.

Тести з пакету SiSoftware Sandra 2009 абсолютно не критичні до параметрів підсистеми пам'яті та дозволяють, ґрунтуючись на їхніх даних, робити висновки про саму процесорну архітектуру (рис. 2.8).

Sandra 2009	Nehalem 3.2 GHz SMT Enable	Nehalem 3.2 GHz SMT Disable	Penryn 3.2 GHz
Dhrystone ALU, MIPS	81.44	71.03	54.98
Whetstone FPU, GFLOPS	72.09	45.44	47.15
Multimedia Int x8, Mpixel/s	143.07	113.98	118.6
Multimedia Float x4, Mpixel/s	115.33	73.89	65.94
Multimedia Double x2, Mpixel/s	59.21	36.72	33.67

Р

Рисунок 2.8 – Вплив SMT на продуктивність системи

2.3 Технологія Hyper-Threading в мікроархітектурі Nehalem

Як відомо, технологія Hyper-Threading використовується для того, щоб найбільш ефективно завантажити всі наявні виконавчі блоки процесора і тим самим уникнути появи пустих циклів. Технологія Hyper-Threading була анонсована компанією Intel ще в 2002 році і по суті є технологією багатопотокової обробки команд. Фактично технологія Hyper-Threading дозволяє організувати два логічних процесора в одному фізичному.

Оскільки технологія Hyper-Threading, яка реалізована в мікроархітектурі Nehalem, практично нічим не відрізняється від технології Hyper-Threading, що застосована в мікроархітектурі Intel Burst, далі наведено основні принципи її реалізації.

Для реалізації паралельної обробки інструкції в технології Hyper-Threading всі інструкції поділяються на два паралельні потоки. В подальшому компанія Intel реалізувала технологію Hyper-Threading з чотирма паралельними потоками.

Конструктивно ядро процесора з підтримкою технології Hyper-Threading складається з двох логічних процесорів, кожний з яких має свої регістри і контролер переривань (Architecture State, AS). Це означає, що два паралельних завдання працюють з власними незалежними регістрами і перериваннями, але при цьому використовують одні й ті ж ресурси процесора для виконання своїх завдань.

Після активації кожен з логічних процесорів може самостійно і незалежно від іншого процесора виконувати своє завдання, обробляти переривання або блокуватися. Таким чином, від реальної двопроцесорної конфігурації нова

технологія відрізняється лише тим, що обидва логічних процесора застосовують одні й ті ж апаратні ресурси, одну і ту ж кеш-пам'ять, яка розділяється між двома потоками і одну і ту ж системну шину.

Використання двох логічних процесорів дозволяє посилити паралелізм на рівні потоку, реалізований в сучасних операційних системах і високоефективних додатках. Команди від обох паралельно потоків одночасно надсилаються ядру процесора для обробки.

Застосовуючи технологію out-of-order (виконання командних інструкцій не в порядку їх надходження), ядро процесора теж здатне паралельно обробляти обидва потоки за рахунок використання декількох виконавчих модулів.

Ідея технології Hyper-Threading заснована на тому, що, як би добре не був оптимізований програмний код, не всі виконавчі модулі процесора виявляються задіяними протягом кожного тактового циклу. Було б цілком логічно організувати роботу процесора таким чином, щоб у кожному тактовому циклі максимально використовувати його можливості. Саме цю ідею і реалізує технологія Hyper-Threading, підключаючи незадіяні ресурси процесора до виконання паралельної завдання.

Пояснимо все вищесказане на прикладі. Для гіпотетичного процесора, в якому є чотири виконавчих блоки: два для роботи з цілими числами (арифметико-логічний пристрій, ALU), один для роботи з числами з плаваючою точкою (FPU) і один для запису і читання даних з пам'яті (Store/Load, S/L).

Крім того, нехай кожна операція здійснюється за один такт процесора. Далі припустимо, що виконується програма, що складається з трьох інструкцій: перші дві – арифметичні дії з цілими числами, а остання – збереження результату. У цьому випадку вся програма буде виконана за два такти процесора: у першому такті задіюються два блоки ALU – процесора, у другому - блок запису і читання даних з пам'яті S/L (рис. 2.9).



Рисунок 2.9 – Реалізація паралельного виконання інструкцій

У сучасних додатках в будь-який момент, як правило, виконується не одна, а кілька завдань або кілька потоків (threads) одного завдання (рис. 2.10).

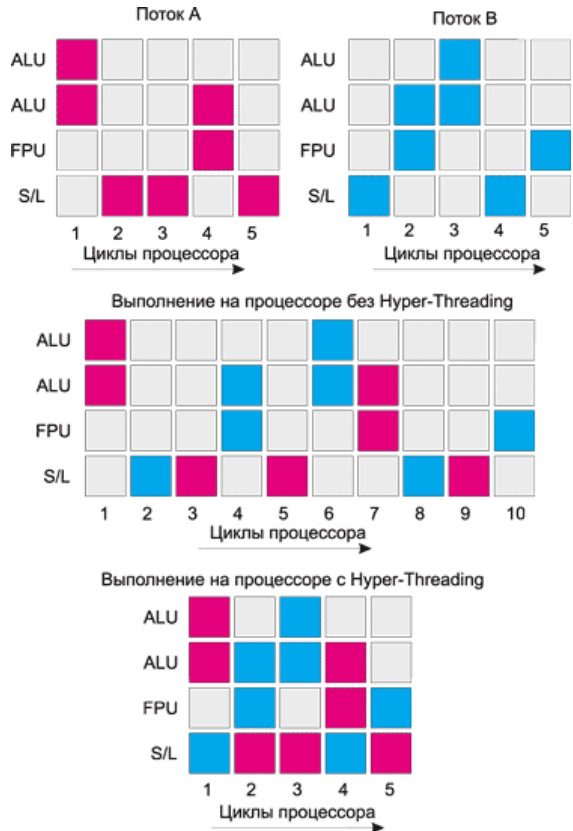


Рисунок 2.10 – Виконання двох потоків на процесорі без реалізації та з реалізацією технології Hyper-Threading

У випадку нашого гіпотетичного процесора червоні квадрати відповідають застосуванню виконавчих блоків процесора одного потоку, а сині – іншого. Якби обидва потоки виконувалися ізольовано, то для виконання першого і другого потоків було б потрібно по п'ять тактів процесора. При одночасному виконанні обох потоків процесор буде постійно перемикатися між обома потоками, отже, за один такт процесора виконуються тільки інструкції якогось одного з потоків. Для виконання обох потоків потрібно в цілому десять процесорних тактів.

2.4 Ієрархія кеш-пам'яті в архітектурі Nehalem

Одна з головних особливостей нової архітектури – це зміна структури кеш-пам'яті процесора. Кеш-пам'ять першого рівня (L1) практично не зазнала змін. Змінився лише розмір TLB-буфера і асоціативність кеша інструкцій. Якщо раніше кеш L1 ділився на 32-кілобайтний кеш даних і 32-кілобайтний кеш інструкцій і обидва кеша були 8-канальними, а розмір рядка кеша становив 64 байта, то тепер кеш L1 ділиться на 8-канальний 32-кілобайтний кеш даних і 4-канальний 32-кілобайтний кеш інструкцій.

Новизна полягає в тому, що до кожного ядра процесора тепер додані уніфікований (єдиний для інструкцій і даних) кеш другого рівня (L2) розміром 256 Кбайт і розділяється між всіма ядрами процесора кеш третього рівня (L3).

Кеш L2 також є 8-канальним, а розмір рядка кеша складає 64 байта. Кеш L3 є 16-канальним. Розмір кеша L3 може бути різним і залежить від числа ядер процесора. Зокрема, для чотириядерного процесора Bloomfield розмір L3-кеша складає 8 Мбайт. Кеш L3 є інклюзивним (inclusive) за своєю архітектурою стосовно кешам L1 і L2, тобто в кеші L3 завжди дублюється вміст кешів L1 і L2 (рис. 2.11).

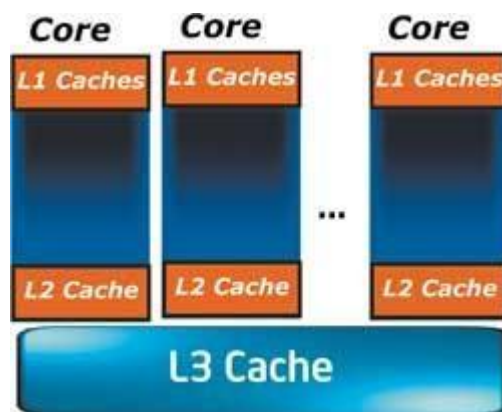


Рисунок 2.11 – Структура кеш-пам'яті процесора Nehalem

Відзначимо, що кеші L1 і L2 не є ні інклюзивними, ні ексклюзивними по відношенню один до одного. Використання саме інклюзивного L3-кеша має свої переваги порівняно з ексклюзивною архітектурою.

Розглянемо приклади читання даних з кеша L3.

Припустимо, що ядро процесора Core 0, виявивши, що необхідних йому даних немає ні в кеші L1, ні в кеші L2, звертається до кешу L3 (рис. 2.12).

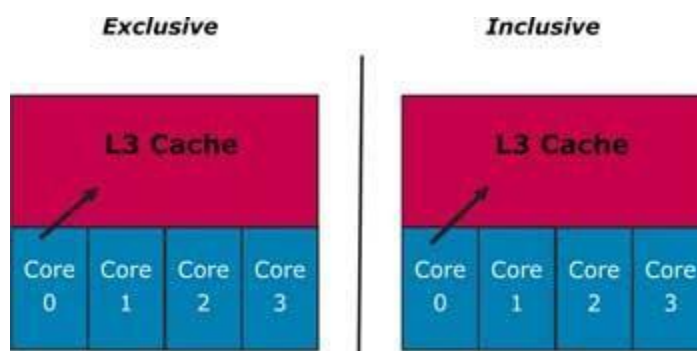


Рисунок 2.12 – Звернення до L3-кеша

Якщо необхідних даних немає також і в кеші L3, то у випадку ексклюзивної архітектури кеша L3 було б потрібно також перевірити наявність необхідних даних в кешах L1 і L2 кожного з ядер – Core 1, Core 2 і Core 3 (рис. 2.13).

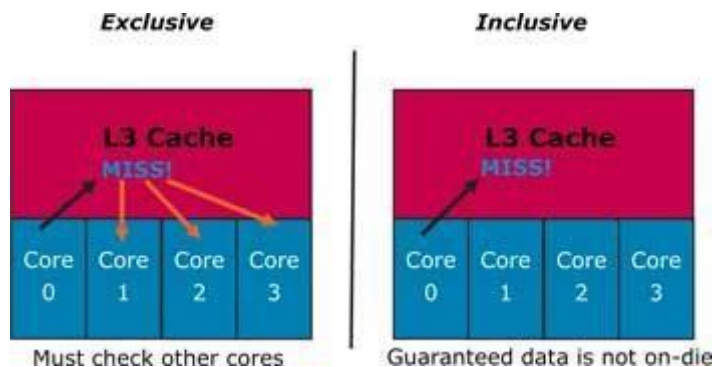


Рисунок 2.13 – При відсутності даних в L3-кеші перевіряється наявність даних у кожному ядрі

У разі інклюзивної архітектури кеша L3 необхідність в подібній перевірці відпадає, оскільки інклюзивна мікроархітектура кеша L3 гарантує, що при відсутності даних в кеші L3 вони будуть відсутні і в L1, і L2-кеші.

2.5 Використання процесорів мікроархітектури Nehalem

Процесори мікроархітектури Nehalem несумісні з чіпсетами Intel 4 -й серії. Більше того, для них необхідно використовувати кулери з новою системою кріплення. Одночасно з виходом процесора Bloomfield – першого чотириядерного процесора на базі мікроархітектури Nehalem було анонсовано чіпсет Intel X58 Express, що мав кодову назву Tylersburg. За рахунок перенесення контролера пам'яті на процесор північний міст чіпсета Tylersburg суттєво спростився. Північний міст чіпсета підтримує два інтерфейси PCI Express 2.0 x16 або чотири інтерфейсу PCI Express 2.0 x8.

Остання особливість чіпсета Intel X58 Express полягає в тому, що в ньому реалізована підтримка режиму NVIDIA SLI.

Компанія Intel отримала від NVIDIA ліцензію на використання технології SLI. В той же час NVIDIA отримала від Intel ліцензію на використання шини QPI у своїх чіпсетах для процесорів Intel.

Таким чином, плати на базі чіпсета Intel X58 Express можна використовувати як з відеокартами ATI в режимі CrossFire, так і з відеокартами NVIDIA в режимі SLI.

Враховуючи, що процесори з мікроархітектури Nehalem забезпечуються вбудованим контролером пам'яті і новим високошвидкісним інтерфейсом QPI, вони змінять свою упаковку. Так, Core i7 будуть випускатися в LGA1366 форм-факторі, що має істотно більший в порівнянні з LGA775 розмір - 42,5 x 45 мм.

Відповідно, для установки Core i7 будуть потрібні нові материнські плати, в основі яких поки що може використовуватися лише єдиний набір логіки, що підтримує інтерфейс QPI – Intel X58 Express.

З точки зору ринку настільних процесорів, Nehalem цілком можна охарактеризувати як чергове оновлення мікроархітектури Core, що відбувається по еволюційній гілці Conroe-Penryn-Nehalem.

Контрольні питання для перевірки знань

1. Які відмінні риси мікроархітектури Nehalem від мікроархітектури Intel Core?
2. Які удосконалення відбулися у процесорному ядрі Nehalem?
3. Як технологія Hyper-Threading використовується в мікроархітектурі Nehalem?
4. Які зміни структури кеш-пам'яті відбулися у процесорному ядрі Nehalem?
5. Які чіпсети використовуються для процесорів мікроархітектури Nehalem?

Лекція 3

ПРОЦЕСОРИ МІКРОАРХІТЕКТУРИ NEHALEM

План

- 3.1 Процесори на ядрі Bloomfield.
- 3.2 Процесори на ядрі Beckton.
- 3.3 Процесори на ядрі Gainestown.
- 3.4 Процесори на ядрі Havendale.
- 3.5 Процесори на ядрі Clarksfield.
- 3.6 Перспективи розвитку процесорів з переходом до 32-нм технологічного процесу.

3.1 Процесори на ядрі Bloomfield

Політика компанії Intel щодо настільних процесорів полягає в щорічному оновленні продуктової лінійки. Це здійснюється двома способами – переходом на новий технологічний процес і зміною архітектури. І те, й інше – досить витратні операції, і тому кожен рік Intel вибирає щось одне. Зокрема, у 2007 році компанія перейшла на 45-нм техпроцес і представила процесори на ядрах Yorkfield і Wolfdale. У 2008 році відбулась зміна мікроархітектури на Nehalem (рис. 3.1).



Рисунок 3.1 – Процесор Intel Core i7 мікроархітектури Nehalem

Процесори на ядрі Bloomfield мікроархітектури Nehalem відрізняються від своїх попередників процесорів на ядрі Yorkfield і Wolfdale вбудованим контролером пам'яті. Перші настільні процесори з вбудованим контролером пам'яті представила компанія AMD і цей крок призвів до значного зростання продуктивності процесорів.

Вбудований контролер пам'яті – це головна, але не єдина інновація Intel у цьому процесорі. Архітектура процесора набула кардинально нову модульну структуру, яка характеризується новим обчислювальним ядром, новою процесорною шиною, вбудованим трьохканальним контролером пам'яті DDR3, можливістю інтеграції графічного ядра, новою технологією багатопоточності SMT і додатковим контролером PCU, який відповідає за управління напругою і частотою кожного з ядер.

Процесорна архітектура ядра Bloomfield зажадала зміни процесорного сокета, тому такі процесори мають упаковку LGA з 1366 контактами.

Обчислювальне ядро процесорів засноване на високоефективній і добре себе зарекомендованій архітектурі Core. Процесори Core 2 Duo і Core 2 Quad демонстрували прекрасне поєднання високої продуктивності, розумного тепловиділення і оптимальної ціни. Але у архітектури Core є кілька фундаментальних проблем. Головна з них полягає в складності масштабування, що виникають при збільшенні кількості ядер в одному процесорі. Спочатку архітектура Core розроблялася для використання в двоядерному виконанні. А коли виникла необхідність в 4-ядерних процесорах, єдиним можливим рішенням стало об'єднання в одному корпусі двох двоядерних кристалів. Ось тут-то і проявилася проблема, пов'язана із взаємодією ядер між собою.

Справа в тому, що процесорна шина Quad Pumped Bus вже давно вичерпала свій потенціал і не дозволяла обмінюватися даними між ядрами безпосередньо. До того ж, її пропускна здатність не відповідала вимогам в багатоядерних системах. І чим більше кількість ядер, тим помітніше ставали недоліки QPB. Зрозуміло, що дана ситуація зовсім не влаштовувала Intel, яка взяла курс на активне збільшення кількості ядер. Тому і з'явилася нова шина QPI (Quick Path Interconnects) з топологією "точка-точка". Передача даних здійснюється по двох з'єднаннях шириною 20 біт, з яких 16 призначені для передачі даних. Підсумкова пропускна

здатність дорівнює 25,6 Гб в секунду, що приблизно дорівнює пропускної здатності шини HyperTransport v3.0.

Друга важлива зміна в архітектурі процесора стосується структури і розміру кеш-пам'яті. У порівнянні з ядром Penryn, розмір кеша L1 в Nehalem не змінився. Його обсяг дорівнює 64 кб, з яких 32 кб відведено під дані, і 32 кб – під інструкції. А що стосується кеш-пам'яті L2, то тут зміни куди істотніше – замість одного великого кеша інженери Intel оснастили кожне ядро власним кешем L2 об'ємом 256 кб. Також в мікроархітектурі Nehalem з'явився розділювана кеш-пам'ять третього рівня об'ємом 8 Мб для ядра Bloomfield.

Третя, і найбільш важлива зміна стосувалась модульної структури процесора, яка дозволила інженерам Intel досить вільно змінювати параметри процесорів, включаючи в нього ті чи інші блоки.

На рис. 3.2 приведені характеристики процесора Intel Core i7 920 на ядрі Bloomfield з використанням утиліти CPU-Z 1.68 для 64-бітних систем.

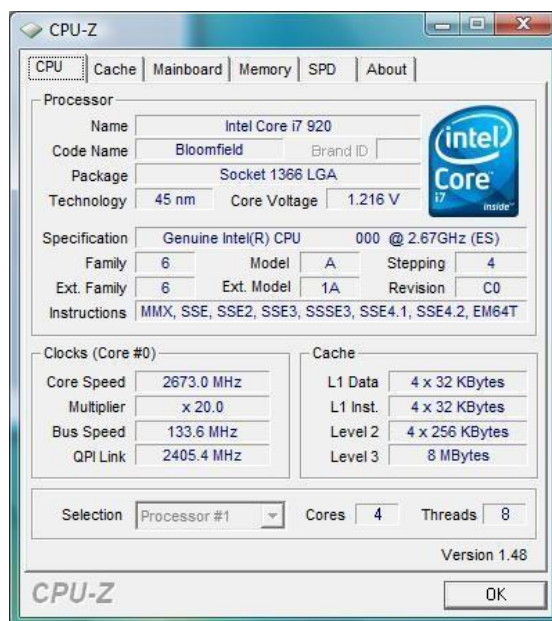


Рисунок 3.2 – Характеристики процесора Intel Core i7 920 на ядрі Bloomfield

Зокрема, в процесор може бути інтегровано графічне ядро і контролер пам'яті. Але якщо вбудовану графіку ми побачили тільки в 2009 році, то контролер пам'яті вже був включений в процесорах Bloomfield у 2008 році. Даний контролер

оптимізований для роботи з пам'яттю DDR3 і підтримує одно- двох- і трьохканальний режим доступу. Зокрема, при використанні 3- канального доступу пропускна здатність пам'яті DDR3-1066 дорівнює 25,6 Гб/с, що відповідає пропускній здатності шини QPI. Отже, для платформи Socket LGA 1366 більш швидкісна пам'ять поки не потрібна.

Крім перерахованих особливостей архітектури Nehalem, варто згадати про незначні модифікації самого обчислювального ядра. Інженери Intel взяли за основу ядро Core і змінили деякі з функціональних блоків, таких як декодери простих (3) і складних (1) команд, покращили технологію Macrofusion (x32/x64) (виконання декількох команд (до п'яти) як єдину інструкцію), оптимізували блок оптимізації циклів (Loop Stream Detector), поліпшили блок передбачення переходів (Stack Buffer), збільшили обсяг буферів (Reorder Buffer/Reservation Station), призначених для технології багатопоточності SMT.

Під час використання архітектури Netburst, інженери Intel посилено працювали над оптимізацією завантаження і виконання команд в досить довгих конвеєрах (відмінна особливість даної архітектури). Одним з технічних рішень цієї проблеми стала технологія HyperThreading, що дозволила одночасно виконувати два потоки команд одним процесорним ядром. В результаті, користувач бачив у своїй системі подвійну кількість процесорів, і дана технологія давала деякий приріст продуктивності в оптимізованих додатках. Навпаки, в неоптимізованих програмах (наприклад, в іграх) користувач стикався з ситуацією, коли система з включеною HyperThreading працювала трохи повільніше. У новій мікроархітектурі Nehalem інженери Intel спробували ліквідувати всі слабкі місця HyperThreading і кінцевий результат отримав назву Simultaneous MultiThreading (або SMT). Однією з особливостей даної технології є поділ ядер на реальні та віртуальні, що дозволяє більш ефективно їх використовувати з точки зору розробника програмного забезпечення.

Таким чином, з випуском процесорів на ядрі Bloomfield компанія Intel не відмовилась остаточно від «віртуальної» багатоядерності.

В системах, побудованих на ядрі Bloomfield/Gainestown застосовуються принципово нові набори логіки. Набір логіки для цих CPU має кодове ім'я Tylersburg

та існує в чотирьох варіантах і дозволяє створювати одно- і двухсокетні системи для Bloomfield і Gainestown з різним числом ліній PCI Express:

- Tylersburg-24S – 24 лінії PCI Express, одна шина Intel Quickpath;
- Tylersburg-24D – 24 лінії PCI Express, дві шини Intel Quickpath;
- Tylersburg-36S – 36 ліній PCI Express, одна шина Intel Quickpath;
- Tylersburg-36D – 36 ліній PCI Express, дві шини Intel Quickpath.

Набір логіки Tylersburg включає два компоненти: традиційний південний міст ICH9 або ICH10 і північний міст IOH. На мікросхему IOH покладається підтримка однієї або двох системних шин Quickpath (з пропускнуою здатністю 25.6 Гбайт в секунду), призначеної для з'єднання чіпсета з процесором, а також реалізація ліній PCI Express, яких залежно від версії IOH може бути або 24, або 36 (рис. 3.3).

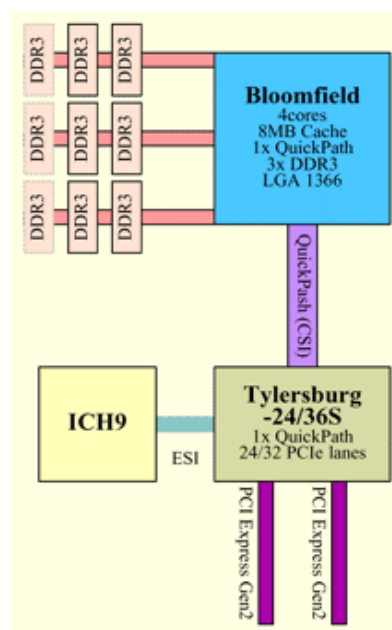


Рисунок 3.3 – Структура системи на базі ядра Bloomfield

Важливо, що шина Quickpath може бути використана не тільки для з'єднання IOH і CPU, але і для зв'язку мікросхем IOH між собою. Ця властивість Tylersburg дозволить створювати системи на базі Bloomfield з числом ліній PCI Express більше 36.

3.2 Процесори на ядрі Beckton

Beckton або Nehalem-EX – мікропроцесор Intel Nehalem-архітектури, який використовує буферизацію всередині чіпсету для підтримки до 16 модулів DIMM стандарту DDR3 на один процесорний сокет без необхідності використання FB-DIMM. На відміну від попередніх процесорів Xeon MP, Nehalem-EX використовує нові LGA 1567 з'єднувачі, замінюючи Socket 604, який використовувався у попередніх моделях до Xeon 7400 "Dunnington".

Більшість моделей цієї серії процесорів мають обмежене число ядер і шин QPI, а також розмір кеш-пам'яті L3 для того, щоб отримати більший спектр продуктів (табл. 3.1).

Таблиця 3.1 – Характеристики моделей процесорів на базі ядра Beckton

Модель	Швидкість (ГГц)	L3 кеш (МВ)	QPI (GT/s)	DDR3 Clock (МГц)	TDP (Вт)	Ядер	Віртуальних	Turbo
E6510	1.73	12	2×4.8	800	105	4	8	
E6540	2.00	18	2×6.4	1066	105	6	12	
X6550	2.00	18	2×6.4	1066	130	8	16	
E7520	1.86	18	3×4.8	800	95	4	8	
E7530	1.86	12	3×5.8	1066	105	6	12	
E7540	2.00	18	4×6.4	1066	105	6	12	
X7542	2.66	18	4×5.8	1066	130	6	6	0/1/1/1
L7545	1.86	18	4×5.8	1066	95	6	12	0/1/3/5
X7550	2.00	18	4×6.4	1066	130	8	16	
L7555	1.86	24	4×5.8	1066	95	8	16	1/2/4/5
X7560	2.26	24	4×6.4	1066	130	8	16	

На рис. 3.4 наведений типовий представник процесорів на базі ядра Beckton – процесор Xeon.



Рисунок 3.4 – Процесор Xeon – представник процесорів на базі ядра Beckton

Процесори на ядрі Beckton з'явилася у другій половині 2009 року. Процесори мають до восьми ядер, для пари яких буде виділений якийсь обсяг поділюваної кеш-пам'яті. Більш того, всі ядра отримали доступ до кеш-пам'яті вищого рівня, об'ємом 24 Мб.

Процесори оснащувались інтегрованим контролером буферизованої оперативної пам'яті і QPI-контролером. Виготовлялись процесори Beckton по 45-нм технологічному процесу, зі споживаною потужністю 130 та 95 Ватт.

Однак, найбільш цікавим видається той факт, що розробники реалізували можливість створення 8-процесорних обчислювальних систем – над обчисленнями працюють в паралельному режимі відразу 64 процесорних ядра, обробляючи до 128 потоків даних. Більш того, реалізована можливість підключення до 128 модулів оперативної пам'яті DDR3.

Діапазон частоти роботи процесорів на ядрі Beckton лежить в діапазоні 1733 – 2667 MHz.

3.3 Процесори на ядрі Gainestown

Gainestown або Nehalem-EP – мікропроцесор Intel є наступником Core Xeon, який заснований на мікроархітектурі Nehalem та використовує 45 нм технологічний процес. Перший процесор, випущений з мікроархітектурою Nehalem в листопаді 2008, є Intel Core i7.

Серверні процесори діапазону Intel Xeon 55xx були вперше протестовані в грудні 2008 року (рис. 3.5).



Рисунок 3.5 – Процесор Intel 5500 на базі ядра Gainestown

Процесори Хеон забезпечують:

- інтегрований контролер пам'яті , що підтримує три канали пам'яті DDR3, SDRAM;
- новий інтерфейс Quick Path Interconnect (QPI), який замінив шину Front side bus (FSB). Процесори Gainestown має два інтерфейси QPI;
- технологія Hyper-Threading, яка вже присутня в попередніх процесорах Core Duo.

В процесорах на ядрі Gainestown реалізовані технології:

- Enhanced Intel SpeedStep Technology;
- Intel Virtualization Technology;
- Execute Disable Bit;
- підтримка інструкцій SIMD: SSE, SSE2, SSE3, SSSE3, SSE4, SSE4.1, SSE4.2.

Процесори на ядрі Gainestown використовують сокет LGA1366 (табл. 3.2)

Таблиця 3.2 – Номенклатура процесорів на базі ядра Gainestown

Модель	Швидкість (ГГц)	кеш L3 (MB)	швидкість QPI(ГТ/с)	DDR3 clock (МГц)	TDP(Вт)	Ядра	Віртуальні	Турбо
E5502	1.87	4	4.8	800	80	2	2	Немає
E5503	2.00	4	4.8	800	80	2	2	Немає
E5504	2.00	4	4.8	800	80	4	4	Немає
E5506	2.13	4	4.8	800	80	4	4	Немає
L5506	2.13	4	4.8	800	60	4	4	Немає
E5507	2.26	4	4.8	800	80	4	4	Немає
L5518	2.13	8	5.86	1066	60	4	8	Так
E5520	2.26	8	5.86	1066	80	4	8	Так
L5520	2.26	8	5.86	1066	60	4	8	Так
E5530	2.40	8	5.86	1066	80	4	8	Так
L5530	2.40	8	5.86	1066	60	4	8	Так
E5540	2.53	8	5.86	1066	80	4	8	Так
X5550	2.66	8	6.4	1333	95	4	8	Так
X5560	2.80	8	6.4	1333	95	4	8	Так
X5570	2.93	8	6.4	1333	95	4	8	Так
W5580	3.20	8	6.4	1333	130	4	8	Так
W5590	3.33	8	6.4	1333	130	4	8	Так

Підтримка чіпсетом двох шин Quickpath знашла застосування і в двухсокетних системах, заснованих на Gainestown. Так як ці процесори також підтримують по дві шини Quickpath, двухсокетні системи Intel наступного покоління отримали високошвидкісний і ефективний зв'язок між CPU (рис. 3.6).

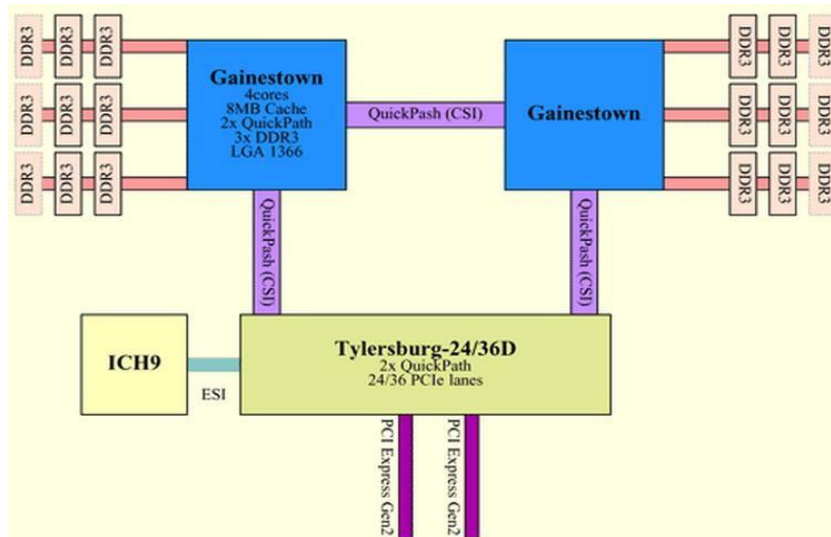


Рисунок 3.6 – Системи Intel на базі двох процесорів на ядрі Gainestown

На рис. 3.7 приведені характеристики процесора Intel Xeon X5570 на ядрі Gainestown з використанням утиліти CPU-Z 1.68 для 64-бітних систем.

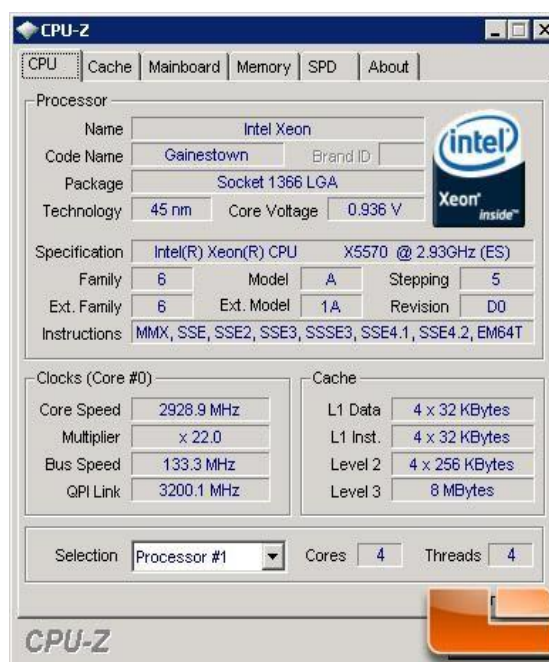


Рисунок 3.7 – Характеристики процесора Intel Xeon X5570 на ядрі Gainestown

Діапазон частоти роботи процесорів на ядрі Gainestown лежить в діапазоні 1866 – 3200 MHz.

3.4 Процесори на ядрі Havendale

Основні характеристики процесорів на ядрі Havendale:

- два процесорних ядра;
- можливість обробки до чотирьох потоків команд одночасно;
- 4 Мб загальної для двох ядер кеш-пам'яті;
- інтегрований контролер оперативної пам'яті DDR3;
- 45-нм техпроцес виготовлення процесорів;
- максимальна споживана потужність – менше 95 Ватт.

Головною характеристикою процесорів Havendale (для настільних систем) та Auburndale (для ноутбуків) є наявність другого кристала в корпусі процесора, на якому розробники розмістили інтегроване графічне ядро і контролер інтерфейсу PCI Express 2.0 x16.

На кожному процесорі Havendale/Auburndale з одного боку розміщений монокристальний двоядерний процесорний блок, кожне ядро якого побудовано на мікроархітектурі Nehalem і здатне обробляти по два програмних потоки одночасно з кешем 4 MB, а з іншого боку, повноцінний північний міст (Graphics Memory Controller Hub, GMCH), до складу якого увійшли графічне ядро, двоканальний контролер пам'яті DDR3 і контролер шини PCIe x16 2.0.

У зв'язці з такими процесорами використовуватиметься південний міст Ibexpeak, в позначенні якого застосовується словосполучення Platform Controller Hub (PCH). Цей чіп забезпечує роботу інтерфейсів Serial ATA і USB 2.0, дротяних (Gb Ethernet) і бездротових (Wi-Fi/WiMAX) мереж, звукового рішення Intel HD Audio; містить контролери інтегрованої незалежної пам'яті і дисплейного інтерфейсу.

Обмін інформацією між процесором і південним мостом здійснюється за традиційною міжчіпсетною шиною Direct Media Interface (DMI), але для передачі

графічних даних використовується додатковий інтерфейс Display Connect. Саме графічне ядро, за даними Intel, приблизно в 10 разів продуктивніше аналогів із серії чіпсетів G3х.

Незважаючи на очевидну складність архітектури, процесори Havendale/Auburndale розглядаються Intel як рішення для систем початкового рівня. Встановлюються вони в процесорний роз'єм LGA 1160, що робить їх несумісними з низкою інших систем на основі Nehalem, орієнтованих на роз'єм LGA 1366 (рис. 3.8).

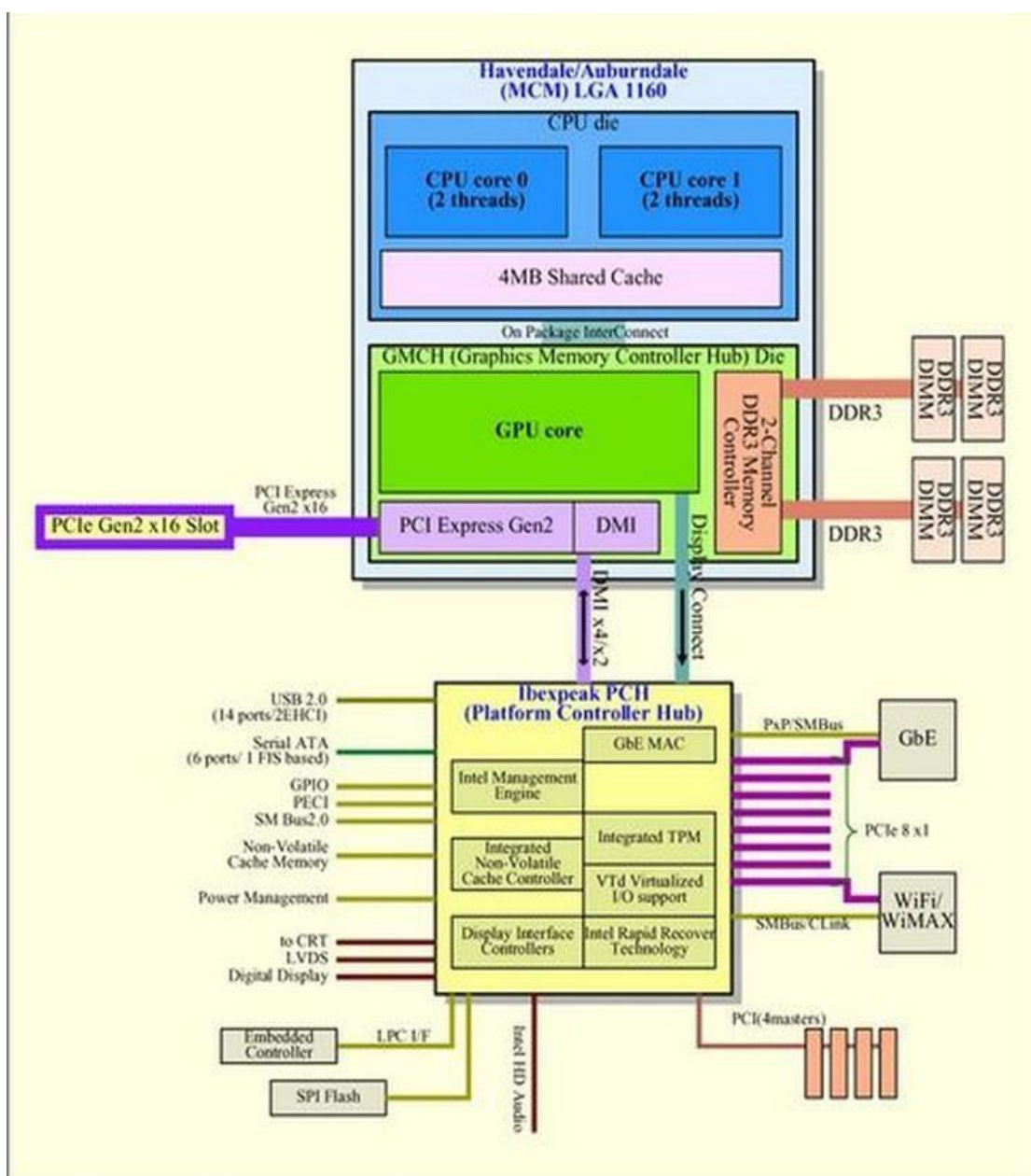


Рисунок 3.8 – Структура процесора на базі ядра Havendale/Auburndale

3.5 Процесори на ядрі Lynfield

Процесори на ядрі Lynfield, представлені компанією Intel у другій половині 2009 року, мають вбудоване графічне ядро та виготовлені по 45-нм технології.

Основні характеристики процесорів на базі ядра Lynfield (табл. 3.3):

- чотири процесорних ядра;
- можливість обробки до восьми потоків команд одночасно;
- 8 Мб загальної для чотирьох ядер кеш-пам'яті;
- інтегрований контролер оперативної пам'яті DDR3 і контролер інтерфейсу PCI Express 2.0 (реалізована підтримка або одного x16, або двох x8);
- 45-нм техпроцес;
- максимальна споживана потужність – 95 Ватт.

Таблиця 3.3 – Основні характеристики процесорів на базі ядра Lynfield

Intel Lynnfield	Core i7-XXX	Core i7-XXX	Core i5-XXX
Кодовое имя	Lynnfield	Lynnfield	Lynnfield
IGP	Нет	Нет	Нет
Ядра/потоки	4c/8t	4c/8t	4c/ct
Частота, ГГц	2,93	2,8	2,66
Turbo Boost	3,6	3,46	3,2
Память	DDR3-1333	DDR3-1333	DDR3-1333
Объем L3, МБ	8	8	8
TDP, Вт	95	95	95
VT	Да	Да	Да
ТХТ	Да	Да	Нет
Разъем	LGA1156	LGA1156	LGA1156

Процесори Intel Lynfield наділені багатьма функціями, які покладені на північні мости системної логіки.

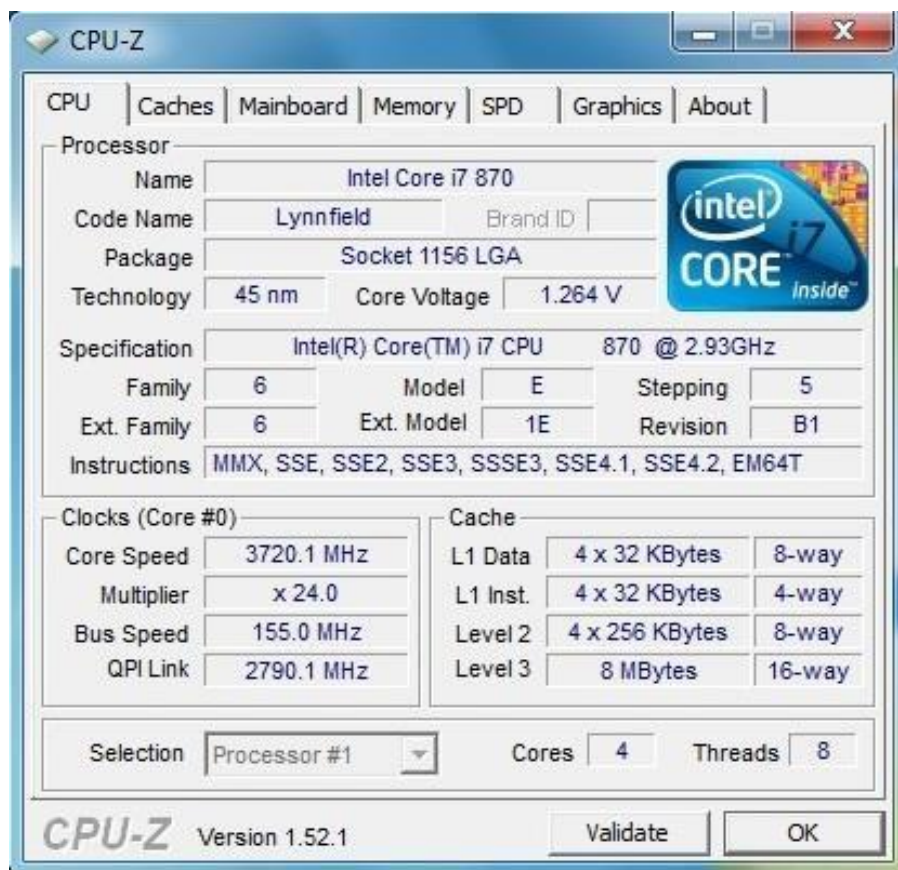


Рисунок 3.9 – Характеристики процесора Intel Core i7 на ядрі Lynnfield

Завдяки відсутності необхідності в організації контролера пам'яті і навіть інтегрованого ядра, з'являється можливість значного спрощення архітектури системної логіки, а значить і зниження вартості виготовлення мікросхем.

Основними ж функціями, які покладатимуться на південний міст, стануть: підтримка додаткових ліній PCI Express – як для підключення графічних прискорювачів, так і плат розширення; функція SATA-контролера з можливістю організації RAID-масивів; контролер пристроїв введення- виведення, контролер USB і т .п.

На рис. 3.9 приведені характеристики процесора Intel Core i7 870 на ядрі Lynnfield з використанням утиліти CPU-Z 1.68 для 64-бітних систем.

3.6 Процесори на ядрі Clarksfield

В цьому сімействі мобільних процесорів Intel нараховується три процесори, які продаються під брендом Core i7 і ґрунтуються на 32-нм ядрі Clarksfield (табл. 3.4).

Таблиця 3.4 – Характеристики процесорів ядрі Clarksfield

Intel Clarksfield	Core i7 XE-XXX	Core i7-XXX	Core i7-XXX
Кодовое имя	Clarksfield	Clarksfield	Clarksfield
IGP	Нет	Нет	Нет
Ядра/потоки	4c/8t	4c/8t	4c/8t
Частота, ГГц	2,0	1,73	1,6
Turbo Boost	3,2	3,06	2,8
Память	DDR3-1333	DDR3-1333	DDR3-1333
Объем L3, МБ	8	8	6
TDP, Вт	55	45	45
VT	Да	Да	Да
ТХТ	Да	Да	Да
Разъем	PGA G1	PGA G1	PGA G1

Серед цих процесорів є версія Extreme Edition (XE), але тактові частоти таких процесорів є невисокими: від 1,6 до 2,0 ГГц. У режимі Turbo Boost частота може підніматись до рівня 2,8-3,2 ГГц.

Turbo Boost – спеціальний режим роботи процесора, в якому відключається частина ядер, але залишилась можливість підвищувати частоту. При цьому досягається економія енергії. Ці процесори характеризуватися низьким показником тепловіддачі (TDP), що як не можна краще підходить для мобільних рішень.

Всі моделі цієї лінійки мають по чотири ядра, а за рахунок Hyper-Threading є можливість обробляти до восьми потоків команд. Тип процесорного роз'єму – PGA-G1.

Перспективи розвитку процесорів з переходом до 32 нм технологічного процесу. Подальший розвиток процесорів Intel був пов'язаний з переходом на 32-нм технологію виробництва мікросхем. Освоївши цей технологічний рубіж, Intel почав створення високоінтегрованих, мініатюрних і економічних CPU для високопродуктивних серверів, всього спектру настільних і мобільних комп'ютерів.

Кінцевим етапом розвитку мікроархітектури Nehalem стало переведення її на 32

нм технологію. Водночас інтегровані контролер пам'яті і графічний поки виконувались по 45-нм нормам. Подібний варіант мікроархітектури назвали Nehalem-C, а проєктовані CPU класифікувались як Westmere. Такі процесори стали першими в світі виконаними по 32-нм технології у 2010 році.

Вельми популярним чіпом став двоядерний Clarkdale і його мобільний варіант Arrendale. Маючи всі основні функціональні можливості Lynnfield і Clarksfield при дещо урізаному до 4 Мбайт обсязі кеш L3, ці процесори відрізнялися досить доступною ціною від 100 доларів і зниженим енергоспоживанням.

Контрольні питання для перевірки знань

1. Чим процесори на ядрі Bloomfield мікроархітектури Nehalem відрізняються від своїх попередників процесорів на ядрі Yorkfield і Wolfdale?
2. Які особливості процесорів на ядрі Beckton?
3. Які основні характеристики процесорів на ядрі Havendale?
4. Які основні характеристики процесорів на ядрі Lynfield?
5. Які основні характеристики процесорів на ядрі Clarksfield?
6. В чому полягають переваги переходу на 32-нм технологічний процес?

Лекція 4

ПРОЦЕСОРИ МІКРОАРХІТЕКТУРИ WESTMERE

План

- 4.1 Процесори сімейства Westmere.
- 4.2 Процесори на базі ядра Clarkdale.
- 4.3 Процесори на базі ядра Gulftown.
- 4.4 Набори системної логіки Intel H57/H55/Q57 Express.
- 4.5 Чіпсет Intel P55.

4.1 Процесори сімейства Westmere

Подальшим розвитком мікроархітектури Nehalem на початку 2010 року стала мікроархітектура Westmere, яка використовує 32-нм техпроцес та знижує як вартість виготовлення процесорів, так і споживану потужність. В мікроархітектурі Westmere здійснено доопрацювання рішень, які вперше були застосовані у мікроархітектурі Nehalem. Завдяки більш тонкому техпроцесу площа кристалів значно зменшилась, що дозволило збільшити кількість ядер.

Перший представник нової мікроархітектури – процесор на ядрі Clarkdale, який володіє двома ядрами та інтегрованим графічним ядром, виробленим по 45-нм техпроцесу (рис. 4.1).

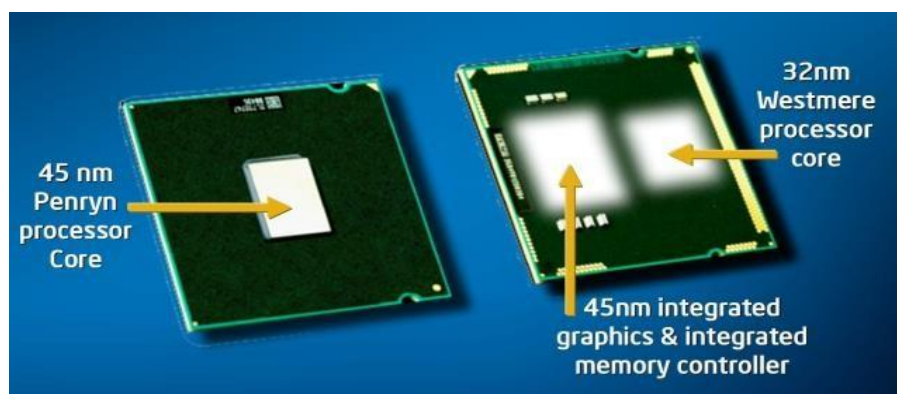


Рисунок 4.1 – Порівняння технологій процесорних ядер Penryn та Westmere

Процесори на базі ядра Clarkdale створені у виконанні LGA1156, але для реалізації інтегрованої графіки потрібно спеціальні набори системної логіки, в які входять Intel H55 , Intel H57 і Intel Q57. Це рішення замінить собою процесори на основі Wolfdale (Core 2 Duo). Продукти на основі дизайну ядер Clarkdale надійшли у відкритий продаж у січні 2010 року.

Потім в серійне виробництво увійшов флагманський дизайн ядер даної архітектури – процесор на ядрі Gulftown, який володіє шістьма ядрами, дванадцятьма потоками, 12 Мб загального кеша третього рівня, системною шиною QuickPath Interconnect, але незважаючи на це, його енергоспоживання не перевищує 130 Вт.

Він вимагає роз'єм LGA1366 і набір системної логіки Intel X58 Express. Фактично цей процесор являє собою півтора чіпа з процесором Bloomfield (Core i7) на одному ядрі , виробленої з дотриманням норм 32-нм техпроцесу.

Цей процесор першим переступив за психологічну позначку один мільярд транзисторів. Він володіє 1,17 млрд транзисторів, однак за рахунок 32-нм техпроцесу його площа залишилася в межах 245 мм² . На основі цього процесора вийшов процесор Core i7 980X Extreme Edition з частотою 3333 МГц і Core i7 970 з частотою 3200 МГц (3 квартал 2010 року), а також Core i7 990X Extreme Edition з частотою 3466 МГц (1 квартал 2011 року). Процесори на основі дизайну ядер Gulftown надійшли у відкритий продаж у березні 2010 року.

4.2 Процесори на базі ядра Clarkdale

Clarkdale – це кодова назва для процесорів Intel, які спочатку продавались з січня 2010 року для настільних систем під брендами Intel Core i5, Core i3 і Pentium. Схожі з мобільним процесором Arrandale вони використовують двоядерні чіпи на основі мікроархітектури Westmere – 32-нм версії мікроархітектури Nehalem і мають інтегровану графіку, а також PCI Express і DMI шини.

Основні характеристики процесорів Clarkdale наступні:

- частота роботи процесорів – 2,8 – 3, 6 ГГц;
- набір команд – x86, x86-64, MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1,

SSE4.2, AES-NI;

- кількість ядер – 2;
- кеш L2 – 2 по 256 Кб;
- кеш L3 – 4 Мб;
- сокет – LGA 1156;
- кількість транзисторів в CPU – 382 млн.;
- кількість транзисторів у графічному ядрі – 177 млн.;
- площа CPU – 81 мм²;
- площа GPU – 114 мм².

Графічне ядро виготовлене по 45-нм технології. Таке рішення пов'язано з тим, що раніше Intel збиралася випустити подібне рішення повністю по 45-нм техпроцесу (сімейства Havendale та Auburndale), але, мабуть, розробка їх занадто затягнулася.

Наявність сокета LGA 1156 дозволяє користувачам використовувати материнські плати для установки в них 4-ядерних процесорів на базі ядра Lynnfield мікроархітектури Nehalem.

На рис. 4.2 наведені характеристики процесора Intel Core i5 661 на ядрі Clarkdale з використанням утиліти CPU-Z 1.68 для 64-бітних систем.

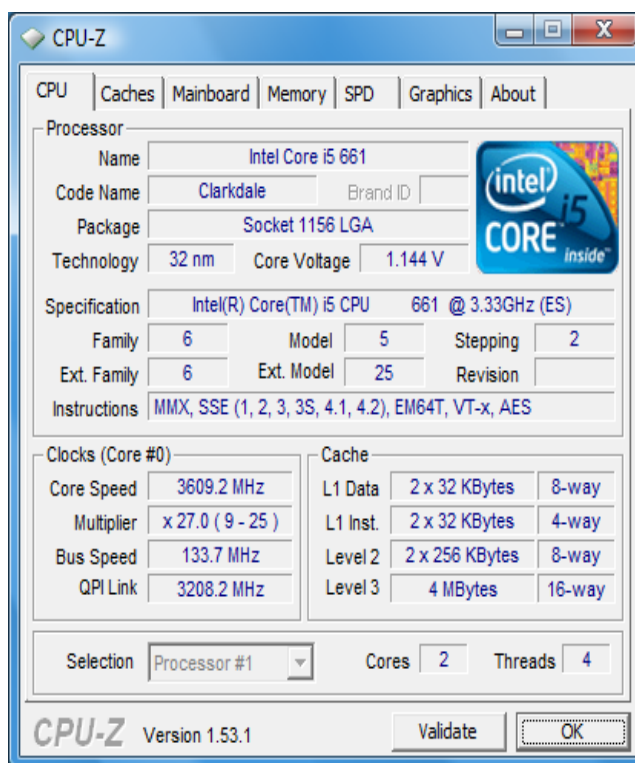


Рисунок 4.2 – Характеристики процесора Intel Core i5 661 на ядрі Clarkdale

4.3 Процесори на базі ядра Gulftown

Gulftown або Westmere-EP — кодове ім'я шестиядерного процесора Intel. Він заснований на мікроархітектурі Westmere (32нм Nehalem). Спочатку компанія Intel планувала назвати цей процесор як Intel Core i9, але потім він почав продаватись як Intel Core i7. Першим був реліз Core i7 980X, в першому кварталі 2010 року, разом із серверним варіантом Xeon 3600 і двопроцесорним Xeon 5600 (Westmere-EP) з використанням однакових чипів.

Серед особливостей процесора – підтримка технології багатопотокової обробки Hyper-Threading з можливістю запускати до 12 потоків паралельно.

Вже перші значення характеристик показують, що при еквівалентній тактовій частоті, в залежності від програмного забезпечення, він має до 50% вищу продуктивність, ніж однакові по частоті чотириядерні процесори Bloomfield Core i7 975.

Споживачі програмного забезпечення, які використовують шість реальних ядер досить рідкісні (на 2011 рік), і не кожна багатопотокова програма може скористатися цією великою кількістю ядер. Незважаючи на 50% більшу кількість транзисторів, процесор сильно виграє від 32-нм техпроцесу, використовуючи таку ж або навіть меншу потужність (залежно від операційної системи), ніж його попередник Bloomfield з чотирма ядрами. Продуктивність системи охолодження (TDP) всіх запланованих моделей розрахована на 130 Вт. Westmere-EP – перший шестиядерний двосокетний процесор від Intel, наступник чотириядерних процесорів Bloomfield і Gainestown (відомого також як Nehalem-EP) процесорів, що використовує той же з'єднувач LGA 1366, у той час як шестиядерний процесор Dunnington використовував мультипроцесорний Socket 604.

На рис. 4.3 наведені характеристики процесора Intel Core i7 661 на ядрі Gulftown з використанням утиліти EVGA E-LEET Tuning Utility для 64-бітних систем.

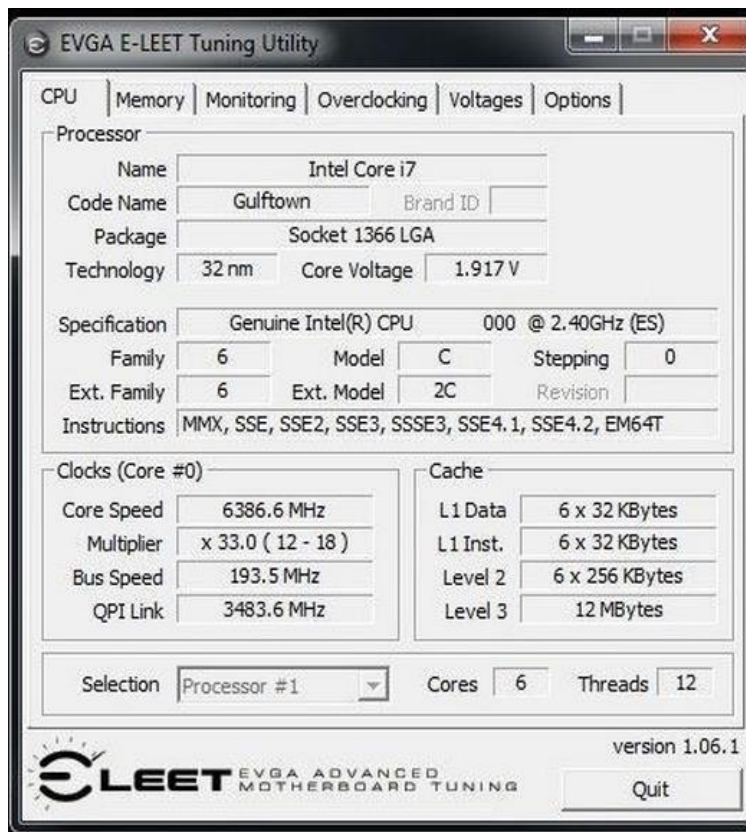


Рисунок 4.3– Характеристики процесора Intel Core i7 на базі ядра Gulftown

У деяких моделях включені тільки чотири з шести ядер. Частота роботи процесорів складає 3,2–3,46 ГГц. Кеш-пам'ять L2 – 6 по 256 Кб. Кеш-пам'ять L3 – 12 Мб.

4.4 Набори системної логіки Intel H57/H55/Q57 Express

Для роботи процесорів на базі ядра Clarkdale досить використовувати материнські плати на базі Intel P55 Express, попередньо оновивши BIOS, але скористатися функціональністю вбудованого графічного ядра в такому разі не вийде. З анонсом Clarkdale були представлені нові набори системної логіки (хоча наборами їх вже складно назвати, оскільки складаються з однієї мікросхеми PCH), повністю використовують можливості 32-нм CPU, – Intel H57, H55 і Q57. Останній розрахований на корпоративний сектор.

Набори мікросхем H55, H57 і Q57 Express (кодова назва Ibex Peak) були представлені одночасно з виходом процесорів Core i3/i5 (Clarkdale) у січні 2010

року. Всі три моделі орієнтовані на масовий ринок і сумісні з будь-якими процесорами Core i3/i5/i7 для роз'єму LGA1156.

Конструктивно чіпсети побудовані на основі Intel P55 і відрізняються від нього нюансами. Їх принципова відмінність від P55 – підтримка шини FDI, тобто можливість роботи з вбудованим в процесори Core i3/i5 графічним ядром Intel HD Graphics. При цьому вони не підтримують режим CrossFire/SLI, хоча через контролер процесора забезпечують один швидкісний інтерфейс PCI Express 2.0 x16.

Комутаційні можливості молодшого в сімействі H55 Express (BD82H55 PCH (Platform Controller Hub)) в точності повторюють можливості "південного мосту" ICH10. Фактично, це той же самий кристал і по інтерфейсах, і за кількістю підтримуваних портів), тільки доповнений шиною FDI.

На рис. 4.4 наведена структура системи з чіпсетом Intel H55.

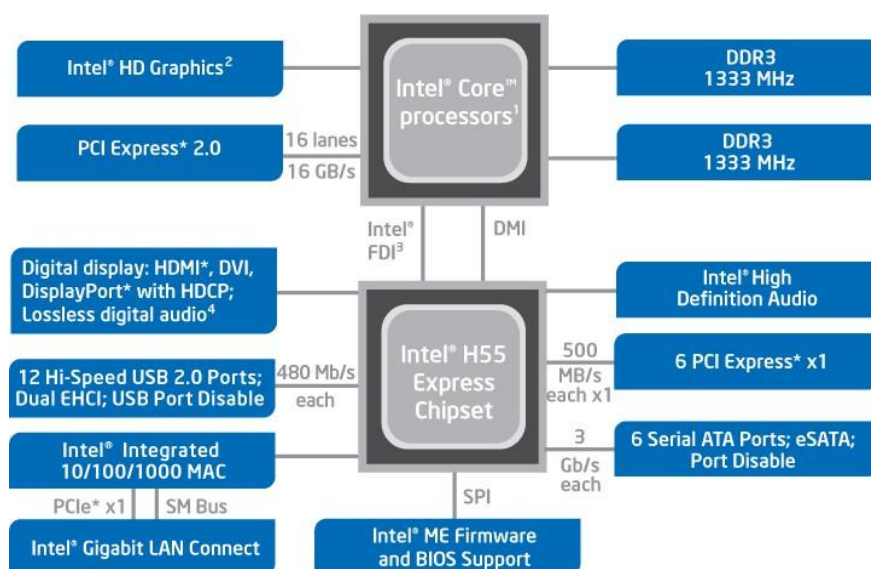


Рисунок 4.4 – Структура системи з чіпсетом Intel H55

Набори логіки H57/Q57 Express (BD82H57 PCH і BD82Q57 PCH) по портах і інтерфейсам повністю відповідають рівню P55 (рис.).

На відміну від H55, тут на місці і підтримка RAID-масивів. Різниця між H57 і Q57 для переважної більшості користувачів чисто символічна.

Наприклад, в H57 реалізована технологія захисту від несанкціонованого доступу Intel Identity Protect (Sentry Peak), а в Q57 її немає; в Q57 є система низькоівневого блокування доступу до даних Intel Anti-Theft Technology (TDT), а в

H57 її немає і т. п. При цьому Q57 позиціонується як рішення для офісних систем, тому в ньому передбачена також технологія віддаленого адміністрування Active Management 6.0.

Всі три чіпсети H55, H57 і Q57 Express відрізняються від P55 Express також вбудованою технологією Intel Quiet System Technology (QST), що забезпечує автоматичне управління вентиляторами системи навантаження і температури компонентів, що дозволяє знизити рівень шуму під час роботи комп'ютера.

На рис. 4.5 наведена структура системи з чіпсетом Intel H57.

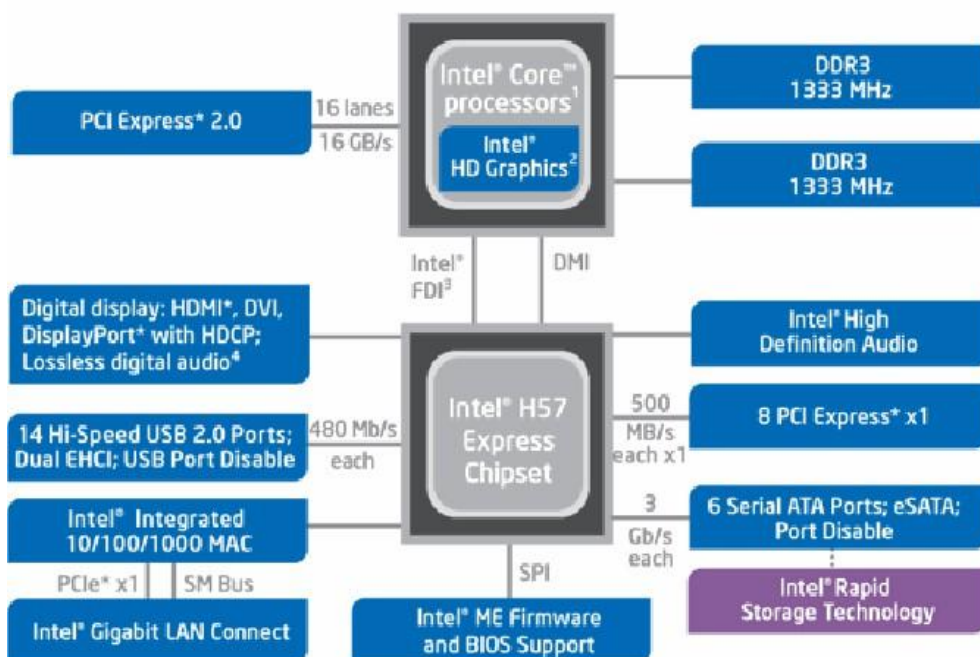


Рисунок 4.5 – Структура системи з чіпсетом Intel H57

Мікросхеми випускаються по 65-нм технологічним нормам, розміри чіпа – 27x27 мм, максимальна температура корпусу – 111°C, заявлений рівень виділення тепла H55/H57 Express – 5,2 Вт, Q57 Express – 5,1 Вт.

4.5 Чіпсет Intel P55

Для порівняння наведемо опис чіпсету Intel P55. Intel P55 Express (кодова назва Ibex Peak) – набір мікросхем "п'ятидесятої серії", що відноситься до середнього класу. Це перша одночіпова системна логіка серії, випущена у вересні 2009 року для

чотириядерних Core i5 серії 7xx і Core i7 серії 8xx (Lynnfield), розрахованих на установку в роз'єм LGA1156. Спочатку чіпсет призначався для процесорів без вбудованого графічного ядра – в ньому відсутня шина FDI (Flexible Display Interface), що відповідає за зв'язок інтегрованої графіки з чіпсетом. Цим пояснюється той факт, що хоча на плати з P55 можна встановлювати чіпи Core i3/i5 з вбудованим відео, системою інтегроване ядро визначатися не буде і альтернативи дискретній графіці в цьому випадку немає.

Мікросхема P55 Express носить назву Intel BD82P55 PCH, тобто "контролер-комутатор платформи". Зв'язок з процесором здійснюється через шину DMI з пропускною здатністю 2 Гбайт/с.

Узагальнені характеристики оглянутих чіпсетів наведені у табл. 4.1.

Таблиця 4.1 – Характеристики чіпсетів для процесорів мікроархітектури Westmere

Чіпсет	H55	H57	Q57	P55
FDI	Да	Да	Да	Нет
Линий PCI-E 2.0	16	16	16	16
Поддержка режима PCI-E x8+x8	Нет	Нет	Нет	Да
PCI-E x1	6	8	8	8
PCI	4	4	4	4
SATA	6	6	6	6
USB 2.0	12	14	14	14
RAID	Нет	Да	Да	Да
Quiet System	Да	Да	Да	Нет
AMT 6.0	Нет	Нет	Да	Нет

Контрольні питання для перевірки знань

1. В чому полягає відмінність мікроархітектури Westmere здійснено у порівнянні з мікроархітектурою Nehalem?
2. Які основні характеристики процесорів Clarkdale?
3. Які особливості мікроархітектури процесора на базі ядра Gulftown?
4. Які набори системної логіки використовуються для процесорів мікроархітектури Westmere?

Лекція 5

ПРОЦЕСОРИ INTEL CORE II НА БАЗІ АРХІТЕКТУРИ SANDY BRIDGE

План

- 5.1 Загальна характеристика архітектури Sandy Bridge.
- 5.2 Підтримка нових інструкцій для роботи з векторними обчисленнями.
- 5.3 Додатковий набір інструкцій x86-сумісних процесорів.
- 5.4 Еволюція процесорного ядра архітектурі Sandy Bridge.
- 5.5 Технології віддаленого управління і засоби захисту авторських прав.
- 5.6 Структура архітектури Sandy Bridge.
- 5.7 Технологія гіперпоточності.
- 5.8 Обмеження на «розгін» процесорів архітектури Sandy Bridge.
- 5.9 Кільцева шина.
- 5.10 Кеш-пам'ять останнього рівня.
- 5.11 Системний агент та контролер пам'яті DDR3.
- 5.12 Технологія адаптивного налаштування продуктивності.

5.1 Загальна характеристика архітектури Sandy Bridge

Sandy Bridge – архітектура центральних процесорів, розроблена фірмою Intel та заснована на 32-нм технологічному процесі, містить вбудований графічний відеоприскорювач. Анонс архітектури відбувся 3 січня 2011 року. Процесори цієї архітектури продаються на ринку під торговими марками Core i7/Core i5/Core i3/Pentium/Celeron (рис. 5.1).



Рисунок 5. 1 – Процесор архітектури Sandy Bridge корпорації Intel

Удосконалення технології та пропорційне зменшення розмірів напівпровідникових структур сприяють поліпшенню характеристик (розміри, енергоспоживання, робочі частоти, вартість) напівпровідникових приладів (мікросхем, процесорів, мікроконтролерів і т.д.). Особливу значимість це має для процесорних ядер в аспектах споживання електроенергії та підвищення продуктивності.

На рисунку 5.2 наведені кодові назви технологій процесорів корпорації Intel, серед яких і архітектура Sandy Bridge.

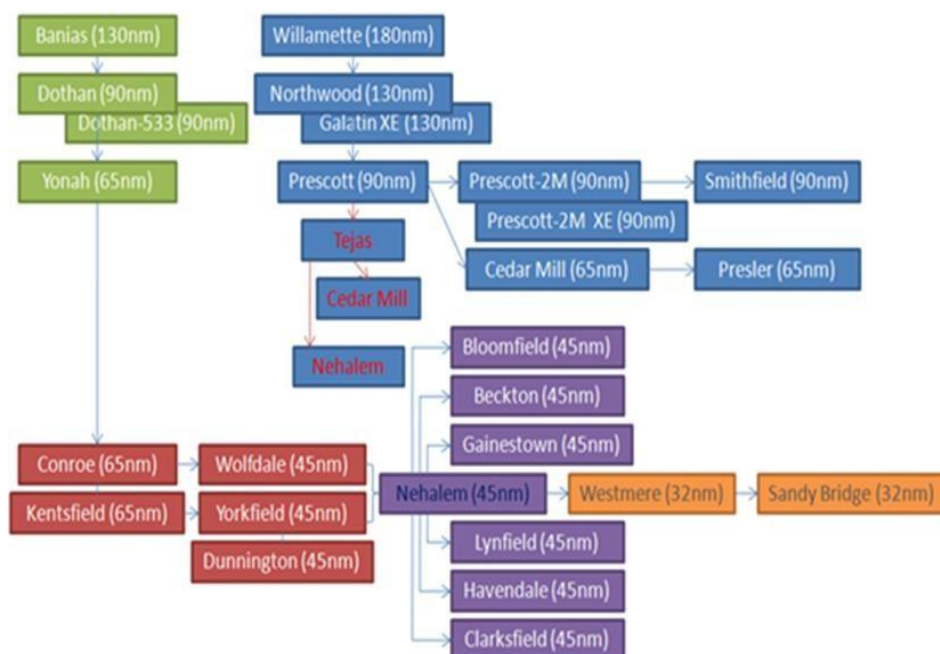


Рисунок 5.2 – Ієрархія технологій корпорації Intel

Процесори Intel Core II на базі мікроархітектури Sandy Bridge виготовляються в 1155 -контактному конструктиві LGA1155 під нові системні плати на чіпсетах Intel 6 Series.

Перший дизайн ядер на основі цієї архітектури представляє поєднання CPU з частотою до 3,5 ГГц, що володіє 2-4 ядрами і високопродуктивного графічного відеоприскорювача (GPU) з частотою до 1,35 ГГц (Intel HD Graphics 2000 , для К серії – HD Graphics 3000), також у чіп процесора інтегрований північний міст набору системної логіки (контролер PCI Express 2.0 і двоканальний контролер пам'яті стандарту DDR3 SDRAM з частотою до 1333 МГц).

Кожне ядро має по 256 КБ кеша другого рівня і до 8 МБ об'єднаного кешу третього рівня. Процесор, графіка, кеш-пам'ять і контролери виконані на єдиній кремнієвій пластині площею 216 мм². Енергоспоживання даного процесора не виходить за межі 130 Вт для топових моделей.

До кінця 2011 року Intel перевела процесори всіх цінових сегментів на архітектуру Sandy Bridge.

5.2 Підтримка нових інструкцій для роботи з векторними обчисленнями

Архітектура Sandy Bridge здійснює підтримку нових SIMD-інструкцій для роботи з векторними обчисленнями (AVX – Advanced Vector Extensions), які доповняють розширення SSE, залишаючись назад сумісним з SSE, збільшується розрядність регістрів у два рази – до 256 біт, а також дає в розпорядження програмістів додаткові 3- і 4-операндні команди. При цьому Intel стверджує, що використання AVX здатне підняти швидкість роботи деяких алгоритмів на величину , що досягає 90 %.

Sandy Bridge – перша архітектура, в яку Intel вмонтував технологію Quick Sync, призначену для прискорення кодування і декодування відеоконтенту. Технологія Quick Sync реалізована у вигляді спеціалізованих апаратних модулів у складі графічного ядра.

В архітектурі Sandy Bridge підтримуються технології Advanced Encryption Standard (AES) і Virtualization Machine Extensions (VMX).

Advanced Vector Extensions (AVX) – розширення системи команд x86 для мікропроцесорів Intel і AMD, запропоноване Intel в березні 2008.

AVX надає різні поліпшення, нові інструкції і нову схему кодування машинних кодів.

Розширення AVX компанії Intel надає набір SIMD -інструкцій для обробки даних в форматі з плаваючою комою в групах довжиною 256 біт. Співпроцесори Intel MIC включають в себе 512 -бітний набір інструкцій.

5.3 Додатковий набір інструкцій x86-сумісних процесорів

MMX – Multimedia Extensions. Комерційна назва додаткового набору інструкцій, що виконують характерні для процесів кодування/декодування поточкових аудіо/відео даних дії за одну машинну інструкцію. Вперше з'явився в процесорах Pentium MMX.

MMX Extended – розширений набір інструкцій MMX, використовується в процесорах AMD і Cyrix .

3DNow! – розширення набору команд MMX процесорів AMD, починаючи з AMD K6-2.

3DNow! Extended – розширення набору команд 3DNow! процесорів AMD, починаючи з AMD Athlon.

SSE – набір інструкцій, розроблений Intel, і вперше представлений в процесорах серії Pentium III.

SSE2 – набір інструкцій, розроблений Intel, і вперше представлений в процесорах серії Pentium 4.

SSE3 – третя версія SIMD-розширення Intel, нащадок SSE, SSE2 і x87 (сопроцесор). Представлений 2 лютого 2004 в ядрі Prescott процесора Pentium 4. SSSE3 – набір SIMD-інструкцій, що використовується в процесорах Intel Core 2 Duo.

SSE4 – нова версія SIMD-розширення Intel. Анонсовано 27 вересня 2006 .

Представлений в 2007 році в процесорах серії Penryn.

AVX – анонсована версія SIMD-розширення Intel, яка представлена в 2010 році в процесорах архітектури Sandy Bridge.

5.4 Еволюція процесорного ядра архітектури Sandy Bridge

У порівнянні з попередньою архітектурою Nehalem у архітектурі Sandy Bridge відбулося рід суттєвих змін, а саме:

- долучення кеш інструкцій нульового рівня (L0), що містить до 1536 декодованих мікрооперацій для економії енергії та покращення пропускної спроможності інструкцій. Блок попередньої вибірки може відключати декодер інструкцій, якщо він виявляє вже декодовану інструкцію в кеші;
- оптимізована і поліпшена точність провісника переходів;
- підтримка поліпшених векторних розширень (AVX) – 256-бітного набору інструкцій до SSE.

5.5 Технології віддаленого управління і засоби захисту авторських прав

У Sandy Bridge є блок технічних засобів захисту авторських прав (DRM – Digital rights management) під назвою "Intel Insider". Компанія Intel заявляє що він є "додатковим рівнем захисту контенту".

DRM – програмні або програмно-апаратні засоби, які обмежують або ускладнюють різні дії з даними в електронній формі (копіювання, модифікацію, перегляд і т. п.), або дозволяють відстежити такі дії. DRM являє собою набір систем контролю і управління доступом. На даний момент DRM використовується безліччю компаній по всьому світу, серед яких Amazon, Apple Inc., Microsoft, Electronic Arts, Sony, 1C, Akella та ін. У 1998 році в США був прийнятий Закон про авторське право в цифрову епоху з метою ввести кримінальні покарання за поширення технологій для обходу DRM.

У процесорах Sandy Bridge з функцією vPro є можливість віддаленого управління, наприклад віддаленого блокування персонального комп'ютера (ПК) або стирання інформації з жорсткого магнітного диску (HDD). Заявлено, що подібні функції корисні в разі крадіжки ПК. Команди можуть бути передані за допомогою технологій 3G, Ethernet, або іншого підключення до мережі Інтернет.

5.6 Структура процесора архітектури Sandy Bridge

Процесор, побудований на архітектурі Sandy Bridge, можна умовно розділити на такі основні елементи:

- процесорні ядра;
- графічне ядро;
- кеш-пам'ять L3
- «Системний агент» (System Agent).

Всі перераховані елементи об'єднані за допомогою 256-бітної міжкомпонентної кільцевої шини QPI, яка виконана на основі нової версії технології QPI.

Шина складається з чотирьох кілець (рис. 5.3):

- шини даних (Data Ring) – 32- байта + ECC (корекція даних);
- шини запитів (Request Ring);
- шини моніторингу стану (Snoop Ring);
- шини підтвердження (Acknowledge Ring).

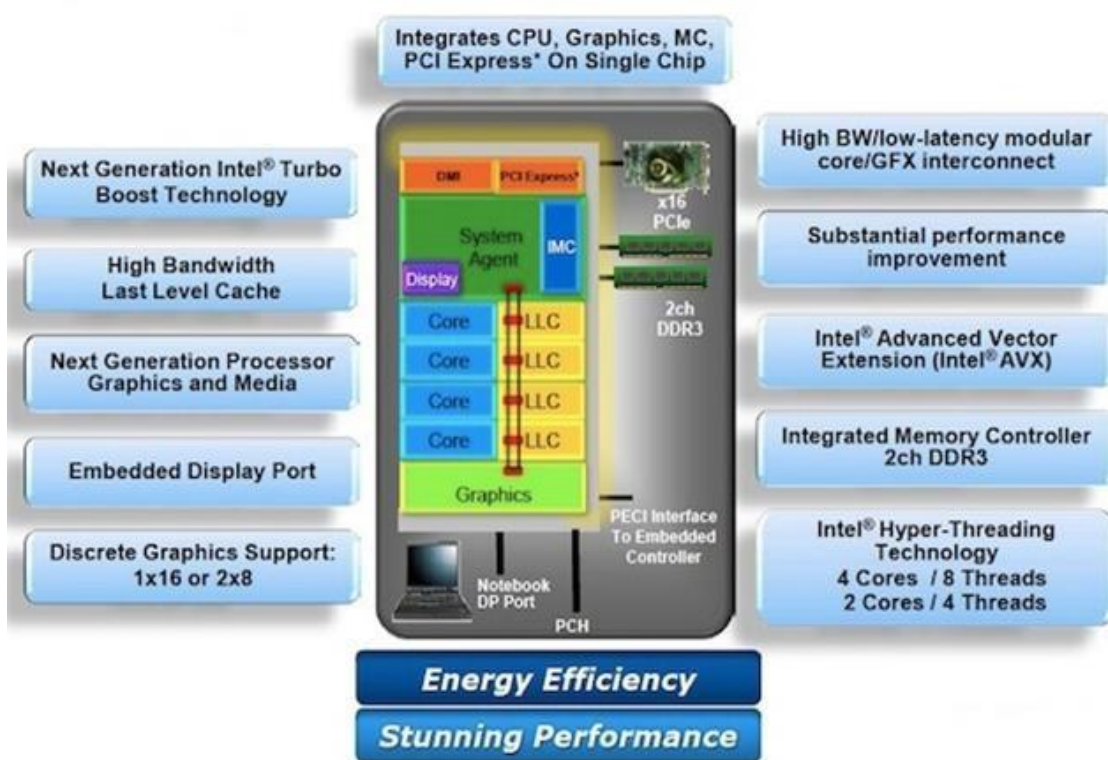


Рисунок 5.3 – Структура процесора архітектури Sandy Bridge

Основні переваги кільцевої топології шини:

- висока масштабованість (до 20 ядер на кристал);
- зниження затримки кеш 3-го рівня і переведення його на частоту процесора;
- використання графічним ядром кеш 3-го рівня.

Продуктивність кільцевої шини досягає 96 Гбайт в секунду на з'єднання при тактовій частоті 3 ГГц , що фактично в чотири рази перевищує показники процесорів Intel попереднього покоління.

З'єднання шини виконані в 7- м і 8- м шарах металів кристалу процесора, що дозволяє легше масштабувати процесори, що розрізняються кількістю ядер.

Процесори, що продаються під торговою маркою Pentium, мають відключені наступні переваги нової мікроархітектура, зокрема :

- вилучена підтримка технології Hyper-Threading , що дозволяє виконувати на кожному обчислювальному ядрі по два потоки даних. Тому Pentium, на відміну від старших побратимів, представляються в операційній системі як двоядерні процесори (CPU).

- відсутня підтримка технології Quick Sync. Володарі систем на LGA 1155 з цими недорогими CPU не зможуть скористатися вбудованим в процесор апаратним блоком , що суттєво прискорює перекодування відео у форматі високої якості HD (High Definition).

- відключена підтримка нових наборів векторних і криптографічних інструкцій AESNI і AVX.

- контролер пам'яті цих процесорів обмежений частотами 1067/1333 МГц і не здатний задіяти більш високі множники для частоти пам'яті DDR3.

- множник, що формує тактову частоту CPU, заблокований. Тому процесори Pentium не підтримують технологію Turbo Boost і абсолютно не схильні до розгону. Втім, аналогічна особливість властива і процесорам більш високого класу Core i3.

5.7 Технологія гіперпоточності

Технологія гіперпоточності Hyper-threading – розробка компанії Intel для реалізації технології «одночасної мультіпоточності» (Simultaneous multithreading) в процесорах на мікроархітектурі NetBurst. Розширена форма суперпоточності run (Super-threading) вперше з'явилася в процесорах Intel Xeon і пізніше додана в процесори Pentium 4. При цьому одне фізичне ядро процесора (з включеним Hyper-threading) операційна система визначає як два роздільних процесора. Ця технологія збільшує продуктивність процесора за певних робочих навантажень шляхом надання «корисної роботи» виконавчим пристроям, у випадках кеш-промаху.

У процесорах з використанням технології Hyper-threading кожен фізичний процесор може зберігати стан відразу двох потоків, що для операційної системи виглядає як наявність двох логічних процесорів. Фізично у кожного з логічних процесорів є свій набір регістрів і контролер переривань, а інші елементи процесора є загальними. Коли при виконанні потоку одним з логічних процесорів виникає пауза (в результаті кеш-промаху, помилки передбачення розгалужень, очікування результату попередньої інструкції), то управління передається потоку в іншому логічному процесорі. Таким чином, поки один процес очікує, наприклад, дані з пам'яті, обчислювальні ресурси фізичного процесора використовуються для обробки іншого процесу.

У процесорах Core 2 Duo підтримка технології Hyper-threading не було реалізовано.

У процесорах Core i3 і Core i7 знову використовується Hyper-threading , при цьому кожне фізичне ядро процесора визначається операційною системою як два логічних. Також ця технологія присутня в деяких процесорах серії Atom.

5.8 Обмеження на «розгін» процесорів архітектури Sandy Bridge

Для процесорів архітектури Sandy Bridge корпорація Intel «прив'язала» швидкість кожного інтерфейсу (USB, SATA, PCI, PCI-E , ядер, пам'яті і т.п.) до єдиного внутрішнього тактового генератору, використовуючи основну базову частоту 100 МГц (BCLK).

Для процесорів з заблокованим множником, єдиним способом розгону є підвищення BCLK , який може бути піднятий тільки на 5-7% без збоїв інших апаратних компонентів.

Щоб вирішити цю проблему, корпорація Intel зробила доступними процесори К/Х-серії з розблокованим множником для Sandy Bridge. Для платформи Sandy Bridge E, є альтернативний метод, відомий як «розгін» відношення BCLK.

Попереднє покоління, архітектура Westmere у виконанні Arrandale і Clarkdale для мобільних і настільних систем, являє собою конструкцію з двох кристалів – 32-нм процесорного ядра і додаткового 45-нм «співпроцесора» з графічним ядром і контролером пам'яті на борту, розміщених на єдиній пластині кристалу і виробляють обмін даними за допомогою шини QPI.

По суті, на цьому етапі інженери Intel, використовуючи переважно попередні напрацювання, створили таку собі інтегровану гібридну мікросхему.

При створенні архітектури Sandy Bridge розробники закінчили розпочатий на етапі створення Arrandale/Clarkdale процес інтеграції і розмістили всі елементи на єдиному 32-нм кристалі, відмовившись при цьому від класичного виду шини QPI на користь нової кільцевої шини.

Суть архітектури Sandy Bridge при цьому залишилася в рамках колишньої ідеології Intel, яка зробила ставку на збільшення сумарної продуктивності процесора за рахунок поліпшення індивідуальної ефективності кожного ядра.

5.9 Кільцева шина

Вся історія модернізації процесорної архітектури Intel останніх років нерозривно пов'язана з послідовною інтеграцією в єдиний кристал все більшої кількості модулів і функцій, які раніше розташовувалися поза межами кристалу процесора: в чіпсеті, на материнській платі тощо.

Відповідно, по мірі збільшення продуктивності процесора і ступеня інтеграції чіпа, вимоги до пропускної здатності внутрішніх міжкомпонентних шин росли випереджаючими темпами. До пори до часу, навіть після впровадження графічного чіпа в архітектуру чіпів Arrandale/Clarkdale, вдавалося обходитися міжкомпонентними шинами зі звичною перехресною топологією – цього було достатньо.

Кільцева шина у версії архітектури Sandy Bridge для настільних і мобільних систем (Core II) служить для обміну даними між шістьма ключовими компонентами процесора: чотирма процесорними ядрами x86, графічним ядром, кешем L3 і системним агентом.

Шина складається з чотирьох 32-байтних кілець. На практиці це фактично дозволяє ділити доступ до 64-байтного інтерфейсу кеш останнього рівня на два різних пакета. Управління шинами здійснюється за допомогою комунікаційного протоколу розподіленого арбітражу, при цьому конвеєрна обробка запитів відбувається на тактовій частоті процесорних ядер, що надає архітектурі додаткову гнучкість при розгоні.

Продуктивність кільцевої шини оцінюється на рівні 96 Гбайт в секунду на з'єднання при тактовій частоті 3 ГГц, що фактично в чотири рази перевищує показники процесорів Intel попереднього покоління.

Кільцева топологія і організація шин забезпечує мінімальну латентність (затримку) при обробці запитів, максимальну продуктивність і відмінну масштабованість технології (зміну кількості процесорних ядер без зміни програмного забезпечення) для версій процесорів з різною кількістю ядер та інших компонентів (рис. 5.4).

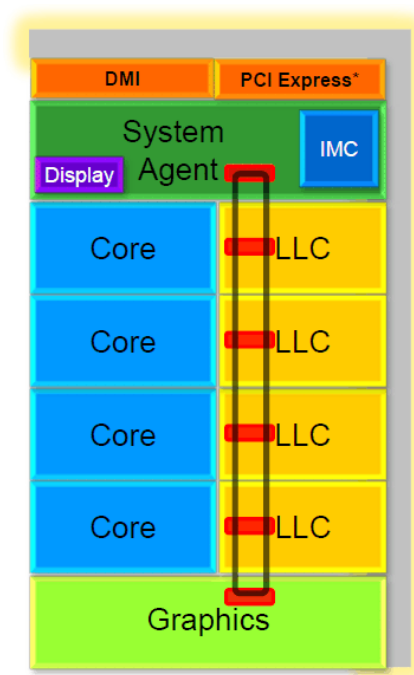


Рисунок 5.4 – Кільцева шина у версії архітектури Sandy Bridge

В перспективі до кільцевої шині може бути підключено до 20 процесорних ядер на кристал і подібне розширення може проводитись дуже швидко, у вигляді гнучкої та оперативної реакції на поточні потреби ринку.

Крім того, фізично кільцева шина розташовується безпосередньо над блоками кеш-пам'яті L3 у верхньому рівні металізації, що спрощує розведення схемних з'єднань на кристалі процесора та дозволяє зробити процесор більш компактним.

5.10 Кеш-пам'ять останнього рівня

В структурі Intel кеш-пам'ять L3 позначається як «кеш останнього рівня», тобто, LLC – Last Level Cache (рис. 5.5).

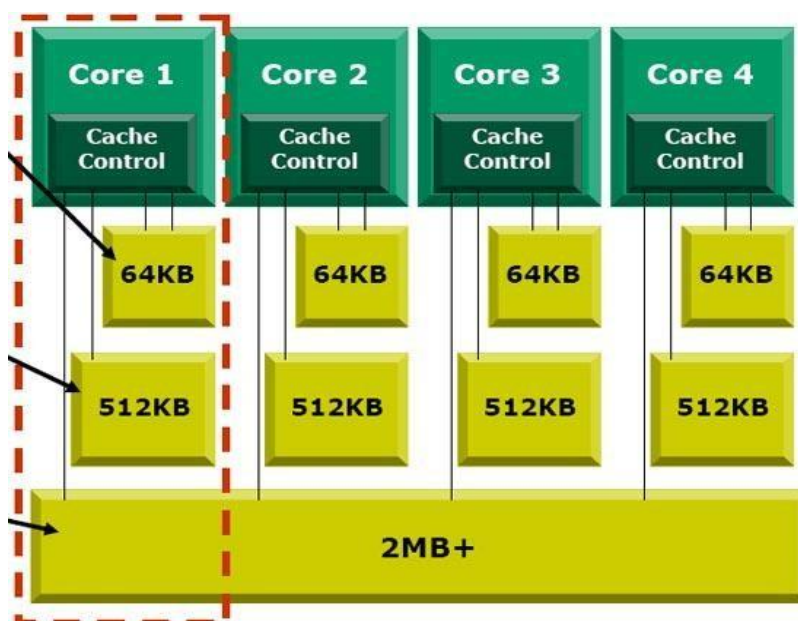


Рисунок 5.5 – Рівні кеш процесора архітектури Sandy Bridge

У архітектурі Sandy Bridge кеш L3 розподілений не тільки між чотирма процесорними ядрами, але, завдяки кільцевій шині, також між графічним ядром і системним агентом, в який, серед іншого, входить модуль апаратного прискорення графіки і блок відеовиходу. При цьому спеціальний механізм попереджає виникнення конфліктів доступу між процесорними ядрами і графікою.

Кожне з чотирьох процесорних ядер має прямий доступ до «свого» сегмента кеш L3, при цьому кожен сегмент кеш L3 надає половину ширини своєї шини для доступу кільцевої шини даних, при цьому фізична адресація всіх чотирьох сегментів кеша забезпечується єдиною хеш-функцією.

Кожен сегмент кеш L3 володіє власним незалежним контролером доступу до кільцевої шині, який відповідає за обробку запитів з розміщення фізичних адрес.

Крім того, контролер кеш постійно взаємодіє з системним агентом на предмет невдалих звернень до L3, контролю між компонентний обмін даними і звернень за межами кеш.

5.11 Системний агент та контролер пам'яті DDR3

Раніше замість визначення System Agent в термінології Intel фігурувало так зване «Неядро» – Uncore, тобто, «все, що не входить в ядро (Core)», а саме кеш L3, графіка, контролер пам'яті, інші контролери, наприклад, PCI Express і т.д. Все це – елементи північного мосту, перенесеного з мікросхеми (чіпсета) північного мосту в процесор.

Системний агент архітектури Sandy Bridge включає в себе контролер пам'яті DDR3, модуль керування живленням (PCU – Power Control Unit), контролери PCI-Express 2.0, контролер прямого доступу до пам'яті (DMI – Direct Memory Interface), блок відеовиходу та ін. Як і всі інші елементи архітектури, системний агент підключений в загальну систему за допомогою високопродуктивної кільцевої шини.

Архітектура стандартної версії системного агента Sandy Bridge налічує 16 ліній шини PCI-E 2.0, які також можуть бути розподілені на дві шини шини PCI-E 2.0 по 8 ліній, або на одну шину PCI-E 2.0 на 8 ліній і дві шини PCI-E 2.0 по чотири лінії.

Двоканальний контролер пам'яті DDR3 відтепер «повернувся» на кристал (в чіпах Clarkdale він розташовувався поза процесорного кристала).

Розташований в системному агенті контролер управління живленням відповідає за своєчасне динамічне масштабування напруг живлення і тактових частот процесорних ядер, графічного ядра, кешів, контролера пам'яті та інтерфейсів.

Важливо підкреслити, що управління живленням і тактовою частотою проводиться незалежно для процесорних ядер і графічного ядра.

5.12 Технологія адаптивного налаштування продуктивності

При розробці архітектури Sandy Bridge значну увагу Intel приділила і розвитку технології адаптивного налаштування продуктивності – Turbo Boost, нова редакція якої була проіндексована як 2.0.

Вперше технологія Turbo Boost була застосована Intel в процесорах Nehalem, але там все зводилося до простого збільшення множника на одну-дві одиниці для всіх ядер відразу в залежності від поточного енергоспоживання CPU.

Алгоритм роботи Turbo Boost 2.0, завдяки новому блоку PCU (Power Control Unit) значно складніший. При використанні тільки одного ядра коефіцієнт множення його частоти може збільшуватися на цілих чотири одиниці, що дає результуючий приріст 400 МГц. І це досить значне збільшення.

Якщо в роботу включається друге ядро, для обох множник стає більше на три одиниці щодо номіналу. При використанні трьох ядер прирощення коефіцієнта знижується до двох одиниць, а чотирьох – до одиниці. З приводу логіки використання такого алгоритму можна висловити нижченаведені міркування.

Відома проблема багатоядерних CPU – це більш низька продуктивність в однопотокових додатках, ніж у аналогічних за ціною моделей з меншою кількістю ядер. Наприклад, для 4-х ядерних процесорів при використанні додатків, які погано пристосовані до багатопоточності, можна взагалі не помітити приросту швидкості в порівнянні зі значно дешевшим 2-ядерним процесором.

Таким чином, 4-х ядерний процесор з Turbo Boost 2.0 вже може змагатися з працюючими на значно більш високій частоті 2-х ядерними моделями навіть в однопотокових додатках, де перший не може повністю розкрити потенціал всіх ядер.

Водночас, оскільки за рахунок Turbo Boost 2.0 значний розгін відбувається тільки при використанні одного-двох ядер, загальна температура і енергоспоживання процесора при цьому залишаються в рамках номіналу. Варто відзначити, що схема роботи прирощення в першу чергу залежить від моделі CPU і закладених в неї обмежень, що залежать від кількості активних ядер, а вже в другу – від поточного енергоспоживання і температури.

Контрольні питання для перевірки знань

1. Назвіть особливості архітектури Sandy Bridge.
2. Які нові інструкції включені до складу архітектури Sandy Bridge?
3. Які зміни відбулися в архітектурі Sandy Bridge у порівнянні з попередньою архітектурою Nehalem?
4. Для чого в архітектурі Sandy Bridge використовується технологія віддаленого управління і засобів захисту авторських прав?
5. На які основні елементи можна умовно розділити процесор, побудований на архітектурі Sandy Bridge?
6. Для чого в архітектурі Sandy Bridge використовується кільцева шина QPI?
7. Для чого в архітектурі процесорів використовується кеш-пам'ять?
8. Які рівні кеш-пам'яті Ви знаєте?
9. З якою метою використовується технологія гіперпоточності?
10. Чому існують обмеження на «розгін» процесорів архітектури Sandy Bridge?
11. Які функції системного агента архітектури Sandy Bridge?
12. З якою метою в архітектурі Sandy Bridge використовується технологія адаптивного налаштування продуктивності?

Лекція 6

ЧІПСЕТИ INTEL P67/H67 ДЛЯ ПЛАТФОРМИ SANDY BRIDGE

План

6.1 Порівняльні характеристики чіпсетів Intel P67 та H67.

6.2 Чіпсет Intel P67 Express.

6.3 Чіпсет Intel P67.

6.4 Міст PCIe—PCI.

6.5 Чіпсет Intel H67 Express.

6.6 Висновки.

6.1 Порівняльні характеристики чіпсетів Intel P67 та H67

У 2011 році компанія Intel анонсувала платформу Sandy Bridge (Intel 6x). Невід'ємні компоненти будь-якої платформи – це чіпсети. Покоління чіпсетів Intel 6x не відрізняється радикально на рівні архітектури від своїх попередників P55 і H55/H57. У ньому реалізовано багато важливого зі списку очікуваних технологій, дещо важливе так і не реалізовано, а є й зовсім несподівані рішення.

Чіпсети Intel P67/H67 приблизно зберегли (трохи розширивши) колишній рівень функціональності. Архітектурно, це як і раніше, один-єдиний міст з малим споживанням енергії, що підключається до процесора по шині DMI (тільки тепер нової версії), а також за спеціальним інтерфейсу FDI у випадку

«інтегрованого» чіпсета, головним завданням якого є забезпечити функціонування основної маси периферійних пристроїв на материнській платі.

Якщо порівняти два чіпсети P67 та H67, то виявляється, що чіпсет P67 є чистим «дискретним» чіпсетом без підтримки вбудованої графіки, другий же – якраз «інтегрованим» (рис. 6.1).



Рисунок 6.1 – Чіпсет Intel P67

Графічне ядро знаходиться в процесорі, а не в чіпсеті, і відмінність «інтегрованого» полягає лише в підтримці виведення картинки на дисплей.

Вбудоване відеоядро присутнє у всіх процесорах архітектури Sandy Bridge. І якщо раніше, в епоху Socket 1156, можна було, хоч і з натяжкою, сказати, що «дискретний» чіпсет P55 призначений для використання процесорів Intel Core i5/i7 без інтегрованої графіки, а «інтегрований» H55/H57 – для молодших моделей цього сокету.

Таким чином, можна стверджувати, що H67 – ідеальне рішення для будь-якої системи з Socket 1155 та виникає питання застосування материнських плат на чіпсеті P67. Відмінності по «розгону» чіпсетів Intel P67 і H67 наведені на рис. 6.2.

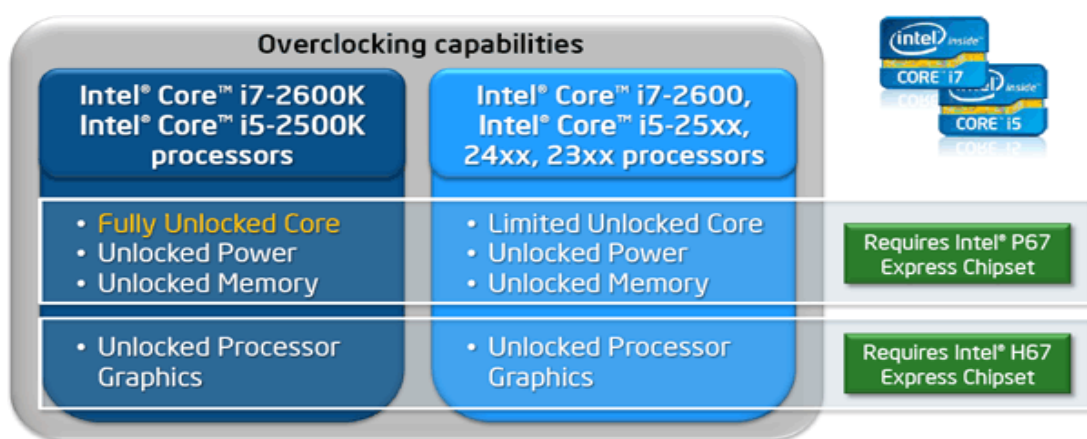


Рисунок 6.2 – Порівняльні можливості чіпсетів Intel P67 і H67 по «розгону»

Розуміючи це, компанія Intel зміцнила позицій свого «дискретного» P67 представника в лінійці. По-перше, у новому поколінні чіпсетів зберіглась і друга

відмінність між P55 з одного боку і H55/H57 з іншого: підтримка конфігурацій з декількох відеокарт і раніше доступна тільки в платах на базі «дискретного» P67, хоча власне контролер графічного інтерфейсу PCI Express 2.0 x 16 все так же розташований в процесорі і міг би, теоретично, дозволити розбивати графічний інтерфейс шини SLI/CrossFire на 2 по x8, і для H67.

По-друге, все-таки аргумент у вигляді графічної шини SLI/ CrossFire дає можливість використовувати графічне ядро. Введений і новий принцип дистанціювання чіпсетів – за можливостями для «офіційного розгону».

Ядро Sandy Bridge дозволяється збільшувати множники для режиму Turbo Boost до +4 на ядро, а у спеціальних моделей з індексом К збільшувати множник штатного режиму роботи до необмежених на практиці висот

Можна досить вільно піднімати множник на пам'ять, реалізуючи режими роботи DDR3, що далеко виходять за рамки стандарту. Однак все це доступно лише власникам материнських плат на базі чіпсету P67.

Стосовно чіпсету H67, теж пропонується дещо збільшити частоту роботи, і обмежується можливостями «дискретної» системи – частотою вбудованого в процесор відеоядра.

Таким чином, зроблено все, щоб материнські плати на чіпсеті P67 та сокеті LGA 1155 купувалися «ентузіастами», а H67 повинен міцно асоціюватися з користувачами вбудованої графіки.

Socket H2 (Land Grid Array – LGA 1155) – процесорний роз'єм для процесорів Intel Sandy Bridge, а також Ivy Bridge, анонсованих 3 січня 2011. Виконаний за технологією (LGA). Це роз'єм з пружними або м'якими контактами, до яких за допомогою спеціального тримача із захопленням і важеля притискається процесор, який не має штиркових контактів.

LGA 1155 розроблений в якості заміни LGA 1156 (Socket H). Незважаючи на схожу конструкцію процесори LGA 1155 і LGA 1156 несумісні один з одним і у них різні розташування паїв.

Сумісні зі слотом LGA 1155 процесори: i7, i5, i3, Celeron, Core, Pentium.

Системи охолодження з кріпленням для LGA 1156 сумісні з LGA 1155, що дозволить не купувати нову систему охолодження для нових процесорів.

6.2 Чіпсет Intel P67 Express

Цифровий індекс чіпсета трохи підріс у порівнянні з «п'ятіркою» P57 у моделі минулого покоління, але ніяких глибоких висновків з цього робити не варто – мабуть, просто зрівняли індекси «дискретного» і «інтегрованого» рішень, тим більше що «інтегровані» цього разу представлені всього однією моделлю. Блок-схема функціональних можливостей Intel P67 наведена на рис. 6.3.

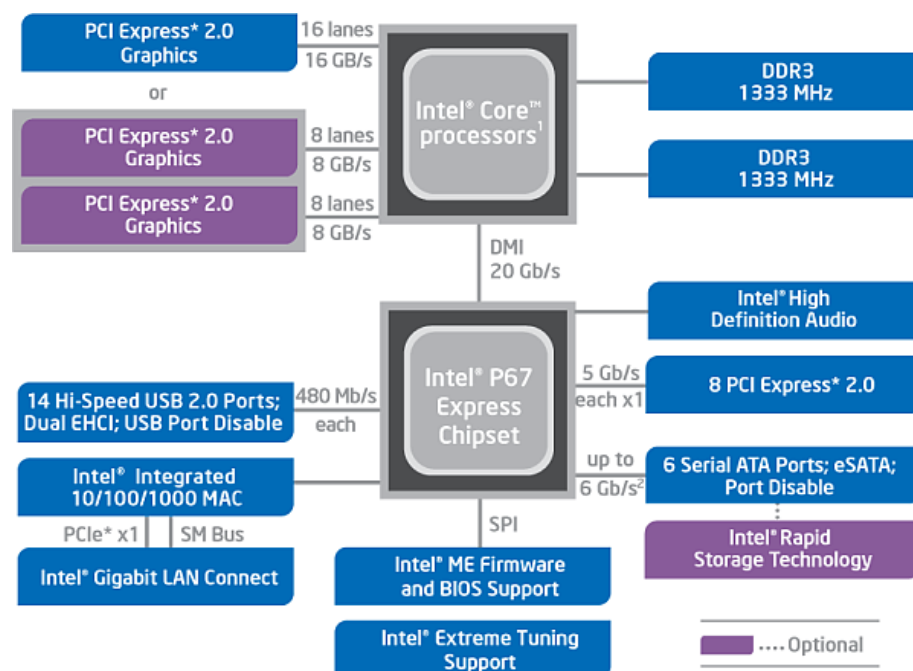


Рисунок 6.3 – Блок-схема функціональних можливостей Intel P67

Наведемо перелік функціональних можливостей нового PCH (Platform Controller Hub) Intel P67:

- підтримка всіх нових процесорів на ядрі Sandy Bridge при підключенні до цих процесорів по шині DMI 2.0 зовнішніх пристроїв з пропускнуою здатністю ≈ 4 Гб/с;
- до 8 портів PCI-Ex1 (повноцінні PCI-E 2.0);
- 2 порти Serial ATA III на 2 пристрої SATA600 і 4 порти Serial ATA II на 4 пристрої SATA300, з підтримкою режиму AHCI і функцій на зразок NCQ, з можливістю індивідуального відключення, з підтримкою eSATA і розгалуджувачів

портів;

- можливість організації RAID-масиву рівнів 0, 1, 0+1 (10) і 5 з функцією Matrix RAID. В цьому випадку один набір дисків може використовуватися відразу в декількох режимах RAID; наприклад, на двох дисках можна організувати RAID 0 і RAID 1, під кожен масив буде виділена своя частина диска;

- 14 пристроїв USB 2.0 (на двох хост-контролерах EHCI) з можливістю індивідуального відключення;

- MAC-контролер Gigabit Ethernet і спеціальний інтерфейс (LCI/GLCI) для підключення PHY-контролера i82579 для реалізації Gigabit Ethernet, i82562 для реалізації Fast Ethernet;

- аудіо система High Definition Audio (7.1);

- «обв'язка» для низькошвидкісної і застарілою периферії та ін.

6.3 Чіпсет Intel P67

У чіпсеті Intel P67, помітні зміни: реалізована підтримка третьої версії стандарту SATA, а також повноцінна (в сенсі швидкісних характеристик) підтримка другої версії стандарту PCI-Express для периферійних портів, яка відображає загальну потребу в збільшеній пропускної здатності, слідом за ними збільшена швидкість роботи шини DMI до процесора. Але є і нереалізовані очікування – відсутність підтримки USB 3.0.

З переліку функціональних можливостей чіпсета зникла підтримка шини PCI. А підтримка USB 3.0 в системних платах стає все ширшою. USB 3.0 вже активно впроваджується в материнські плати, а ось Intel, будучи одним з розробників стандарту, не поспішає реалізовувати його у своїх виробках ні на рівні чіпсета, ні у вигляді окремого контролера.

Втім, немає чіпсетної підтримки USB 3.0 і у AMD – другого і останнього гравця на нинішньому ринку настільних чіпсетів. А ось пристрої, які істотно обмежені швидкістю порту USB 2.0 – вже є, наприклад, порти SATA600 (рис. 6.4).

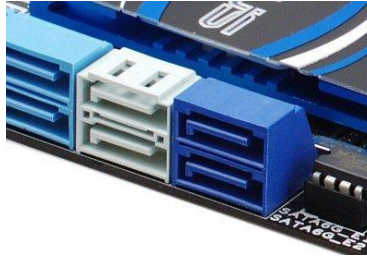


Рисунок 6. 4 – Порти SATA600

Зате з'явилася підтримка Serial ATA III (він же SATA Revision 3.0) зі швидкістю передачі даних до 600 МБ / с (6 Гбіт/с) на порт. Тут треба зробити застереження , що нові версії стандартів SATA (і перш PATA) завжди приймалися з великим випередженням щодо можливостей інфраструктури. Підтримка портами на материнській платі швидкісного стандарту означала всього лише те, що до цієї плати можна буде через кілька років підключити найшвидший сучасний накопичувач, і той при цьому не буде відчувати обмежень через застарілий інтерфейсу. Запас є і запас величезний.

В принципі, на сьогоднішній день радикальних змін у можливостях жорстких дисків не сталося і при лінійному читанні (максимально швидкому з реальних режимів) найшвидкісніші з них штурмують швидкості в районі 150 Мб/с, так що навіть першим поколінням SATA були б обмежені далеко не всі жорсткі диски і далеко не на всіх операціях.

Однак не жорсткі диски справили недавно революцію в системах зберігання даних. Швидкі і надшвидкі накопичувачі на флеш-пам'яті з багатоканальними контролерами під аббревіатурою SSD, раптово обігнали пристрої на жорстких магнітних дисках. Причому обігнали суттєво: швидкість і читання, і запису у найбільш швидких SSD виходить далеко за 200 Мб/с, часом складаючи під 300 Мб/с, так що рубіж швидкості, який здавався немислимо далеким на портах SATA300 раптово став обмеженням для роботи. Такі накопичувачі можуть пропрацювати по заявам виробників до 900000 годин. На початок 2014 року були доступні моделі у 250, 500 та 1000 Гб (рис. 6.5).



Рисунок 6.5 – SSD-накопичувач

У підсумку наявність портів SATA600 в обов'язковому порядку потрібно сьогодні на будь-якій материнській платі, хоч якось претендує на увагу

«ентузіастів». І дуже бажано, звичайно, щоб це були не два порти SATA600 (до 1200 Мб/с в одному напрямку сумарно), що забезпечуються контролером, підключеним до чіпсету однією лінією PCI-Express зі швидкістю передачі даних 250+250 Мб/с. Тут, як неважко здогадатися, зіставивши цифри, не вистачить і підключення такого контролера повноцінної лінією PCI-E 2.0. Так що вихід тільки один – використовувати чіпсет і тільки чіпсет.

І дійсно, у новому поколінні чіпсетів Intel підтримка SATA-III реалізована, хоча компанія в цій галузі і відстала пристойно від AMD. Причому, відстала не тільки в швидкості впровадження, але і кількісно: швидкість SATA600 підтримують тільки 2 з 6 чіпсетних портів, інші як і раніше обмежені SATA300 (у AMD всі 6 портів – це SATA600).

Однак, якраз серед недоліків P67/H67 – ціна на SSD-накопичувачі навіть малої ємності поки ще залишається високою, так що легко можна собі уявити сучасний комп'ютер з невеликим системним диском SSD, складніше – пару SSD великої або середньої місткості, що працюють в RAID для якихось екзотичних надшвидкісних потреб, але 3 або 4 таких диска одночасно можуть зустрітися, мабуть, хіба що в тестовому стенді.

Наприклад, SSD-накопичувач об'ємом 120 Гб на початок 2014 коштував 150 \$, а версія 1 Тб – 750-800 \$. Звичайно, з часом ці цифри будуть мінятися у сторону

зменшення вартості.

З урахуванням сказаного вище, необхідність у швидкісних інтерфейсах для підключення периферійних контролерів на материнських платах трохи знизилася (хоча все одно додаткові контролери SATA-III продовжуватимуть ставити. Однак зберігається реальна потреба у швидкісних лініях PCI-Express для підключення одного (а то й двох) контролерів USB 3.0.

Периферійні лінії PCI-Express, що забезпечуються чіпсетом, нарешті, стали відповідати другій версії стандарту не тільки формально (по розширенню), але і за швидкістю: тепер кожна лінія здатна передати до 500+500 Мб/с. Пропорційно загального збільшення пропускної здатності периферійних інтерфейсів, інженери Intel нарешті розширили і шину DMI, що зв'язує чіпсет з контролером пам'яті (тепер в процесорі, раніше в північному мосту).

Прискорена шина рівно вдвічі, тобто, по суті, 4 лінії PCI-Express, у вигляді яких вона реалізована фізично, теж отримали підтримку другої версії PCI-E, а сумарна швидкість передачі тепер становить 2+2 Гб/с.

Неважко підрахувати, що такої пропускної здатності, звичайно ж, недостатньо для одночасної пересилання даних від усіх можливих підключених пристроїв. Але тут нічого нового – інженери Intel завжди мали свою оцінку усередненої потреби в передачі даних і проєктували ширину інтерфейсів виходячи з неї, а не з максимально досяжного значення.

6.4 Міст PCIe—PCI

Інтерфейс PCI, що прийшов на зміну інтерфейсам ISA і VLB, став стандартом підключення комп'ютерної периферії на довгі роки. Однак ці роки все ж таки пройшли.

Звичайно, наступниця з недвозначною назвою PCI-Express з'явилася не вчора, і зменшення числа слотів PCI на материнських платах теж було очікувано. У минулому поколінні материнських плат типовим була наявність 1-2 слотів, так що в Intel вирішили, мабуть, що час настав.

Ні, інфраструктура PCI не зникне в один момент: поки ще будуть і слоти на

платах. Всі топові моделі на чіпсеті P67 в обов'язковому порядку комплектувалися мостом PCIe-PCI, і набортні контролери периферії з підключенням до цього інтерфейсу поки ще будуть продаватися і використовуватися. З часом і вони будуть виключені з материнських плат.

Нарешті, тепловиділення нових чіпсетів виросло абсолютно незначно: якщо у P55 і H55/H57 заявлений рівень становив 4,7 і 5,2 Вт відповідно, то в даному випадку Intel призводить єдину оцінку для обох «типів» чіпсетів – 6,1 Вт.

Це зовсім незначні витрати за подвоєну швидкість ліній PCI-Express і два порти SATA600.

З практичної ж точки зору потрібно лише розуміти, що немає ніякої необхідності шукати материнську плату зі складною системою охолодження – для будь-яких розумних умов. Навіть для комп'ютера з поганою вентиляцією в корпусі буде достатньо моделі з компактним радіатором на чіпсеті і без додаткових теплових трубок і інших технічних рішень.

6.5 Чіпсет Intel H67 Express

Специфікації «інтегрованого» H67 практично в точності повторюють такі у P67. Цього разу в числі «нормальних» значиться тільки один чіпсет, що підтримує вбудоване відео нових процесорів, так що немає необхідності розрізняти різні набори системної логіки по функціональності і за ціною, як це було з H55 і H57.

Приведемо специфікації чіпсету Intel H67 Express:

- підтримка всіх нових процесорів на ядрі Sandy Bridge при підключенні до цих процесорам по шині DMI 2.0 (з пропускною здатністю ≈ 4 Гб/с);
- інтерфейс FDI для отримання повністю промальовані картинки екрану від процесора і блок виведення цієї картини на пристрій (- а) відображення;
- до 8 портів PCI-Ex1 (повноцінні PCI-E 2.0);
- порти Serial ATA III на 2 пристрої SATA600 і 4 порти Serial ATA II на 4 пристрої SATA300, з підтримкою режиму AHCI і функцій на зразок NCQ, з можливістю індивідуального відключення, з підтримкою eSATA і розгалужувачів портів;

- можливість організації RAID-масиву рівнів 0, 1, 0+1 (10) і 5 з функцією Matrix RAID (один набір дисків може використовуватися відразу в декількох режимах RAID. Наприклад, на двох дисках можна організувати RAID 0 і RAID 1; під кожен масив буде виділена своя частина диска;
- 14 пристроїв USB 2.0 (на двох хост-контролерах EHCI) з можливістю індивідуального відключення;
- MAC-контроллер Gigabit Ethernet і спеціальний інтерфейс (LCI/GLCI) для підключення PHY-контролера (i82579 для реалізації Gigabit Ethernet, i82562 для реалізації Fast Ethernet);
- аудіо система High Definition Audio 7.1;
- «обв'язка» для низькошвидкісної і застарілою периферії та ін. (рис. 6.6).

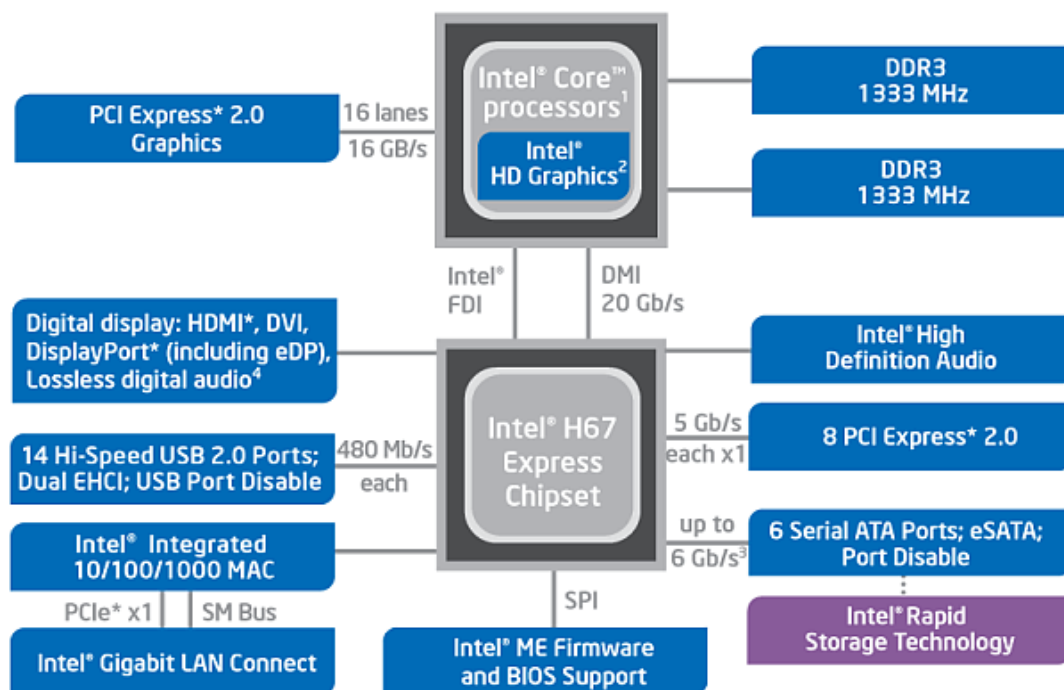


Рисунок 6.6 – Блок-схема функціональних можливостей Intel H67

Ще раз підсумуємо відмінності між чіпсетами серії 6х.

Перше – відсутність підтримки нормальної конфігурації відео з декількох відеокарт в H67, хоча тепер виробники материнських плат зможуть встановити слот x4 з повноцінною швидкістю PCI-E 2.0 в пару до «процесорного» x16 і отримати вже майже нормальну основу для графічного інтерфейсу SLI і CrossFire.

Друге – можливість виведення картинки, яка сформована відеоядром в

процесорі і пересилається за спеціальним інтерфейсу FDI, на дисплей через набір відеовиходів на будь-який вибір – HDMI 1.4, Display Port, DVI, аналоговий d-Sub, що підключаються до відповідного блоку дисплейного виведення в H67.

Нарешті, третє – істотно різні можливості для «офіційного розгону» процесорів, що забезпечують гнучкі варіанти підвищення процесорної

обчислювальної потужності в разі P67 і відносно скромний варіант трохи розігнати традиційно слабеньке відеоядро у H67.

6.6 Висновки

Не можна не визнати, що компанії Intel, характеристиками процесорів на ядрі Sandy Bridge переконливо показала, що відтепер мають сенс тільки «інтегровані» чіпсети.

Якщо ж оцінювати загальну функціональність представлених чіпсетів за мірками поточного ринку, то прямих конкурентів у P67/H67 немає і не буде. Вийти вперед по функціональності не вийшло, хоча цього від інженерів Intel чекають завжди, плюс традиційно трохи напружує категоричність компанії не запроваджувати старі технології. В цілому ж старші варіанти моделей на H67 цілком можуть задати новий стандарт в області реалізації вбудованого відео.

Контрольні питання для перевірки знань

1. В чому відмінність чіпсетів Intel P67 та H67?
2. Порівняйте можливості чіпсетів Intel P67 і H67 по «розгону».
3. Які функціональні можливості має чіпсет Intel P67?
4. Підтримка чіпсетами Intel P67 та H67 високошвидкісних інтерфейсів SATA600.
5. Перспектива використання SSD-накопичувачів.
6. Для чого в чіпсетах Intel P67 та H67 залишили підтримку PCI?
7. Які особливості чіпсету Intel H67 Express?
8. Які перспективи використання в материнських платах чіпсетів Intel P67 та H67?

Лекція 7

МІКРОАРХІТЕКТУРА IVY BRIDGE

План

- 7.1 Загальні принципи мікроархітектури Ivy Bridge.
- 7.2 Особливості мікроархітектури Ivy Bridge.
- 7.3 Ядро процесора мікроархітектури Ivy Bridge.
- 7.4 Графічне ядро Ivy Bridge.
- 7.5 Платформа LGA2011.
- 7.6 Платформа LGA1155.

7.1 Загальні принципи мікроархітектури Ivy Bridge

Ivy Bridge – кодова назва 22-нм версії мікроархітектури Sandy Bridge є черговим етапом мініатюризації технологічного процесу відповідно до стратегії розробки мікропроцесорів компанії Intel. Реліз першого процесора на даній архітектурі відбувся 23 квітня 2012 року.

Процесори на основі мікроархітектури Ivy Bridge використовують ту ж архітектуру, що і випущені раніше Sandy Bridge. Стратегія компанії Intel передбачає почергове оновлення технологічних процесів і мікроархітектури з випуском нових продуктів один раз на рік (рис. 7.1).

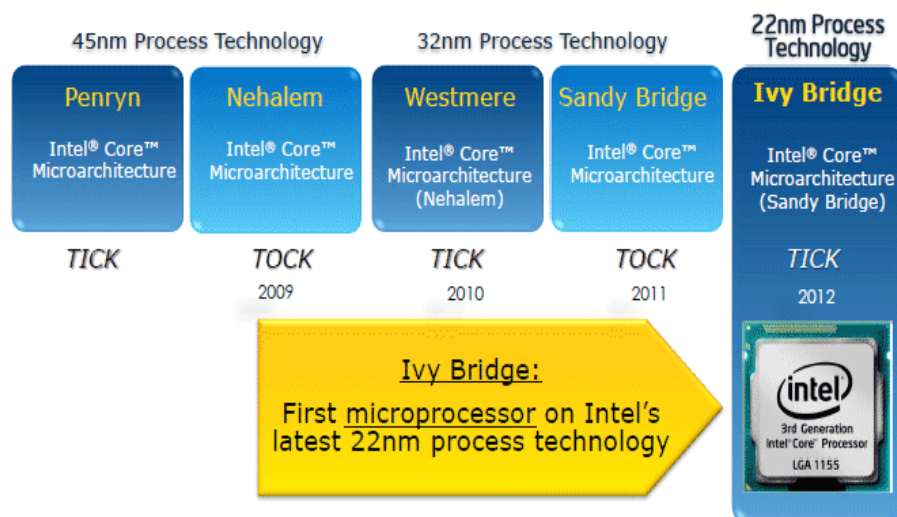


Рисунок 7.1 – Модельний ряд технологій процесорів Intel

Ivy Bridge за загальним компонуванням і архітектурним рішенням не відрізняється від попередника Sandy Bridge. Фахівцям Intel вдалися тільки незначні поліпшення, що забезпечують перевагу в продуктивності на рівні 5 %. Основним нововведенням став перехід ядра на 22-нм технологічний процес. У порівнянні з застосовувалися раніше 32-нм це забезпечило значне зниження площі ядра, енергоспоживання і тепловиділення.

Кристал процесора Ivy Bridge став менше відразу на 35 %. У порівнянні з вельми схожим за конструкцією Sandy Bridge його площа зменшена з 216 до 160 кв. мм. Це особливо вражає, з урахуванням того, що фахівці Intel застосували набагато більш складне графічне ядро. Загальна кількість транзисторів збільшилася з 995 млн. до 1,4 млрд., в основному саме за рахунок iGPU (рис. 7.2).

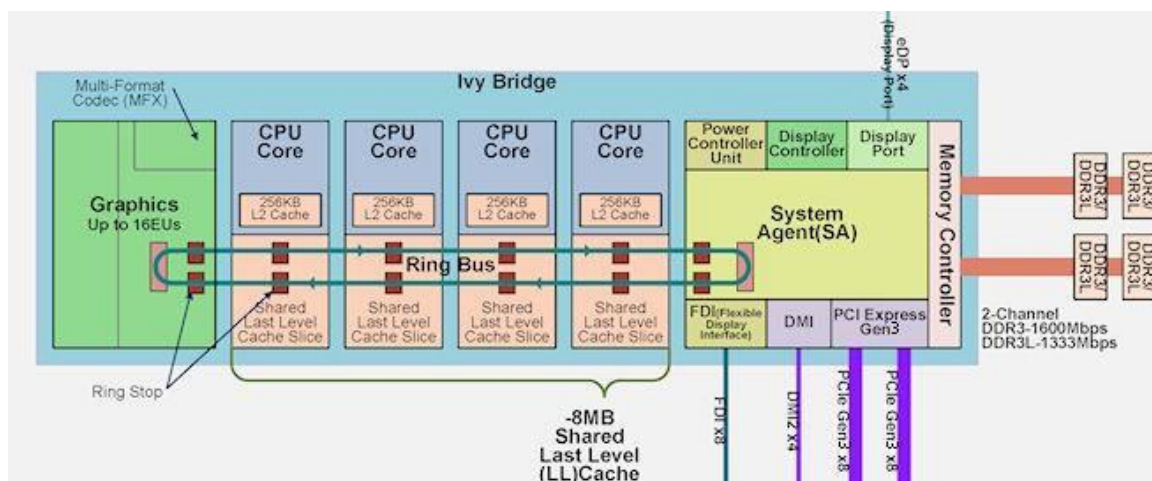


Рисунок 7.2 – Структура процесора мікроархітектури Ivy Bridge

Якби Ivy Bridge став просто «22-нм Sandy Bridge», площа ядра могла б бути ще меншою. Для порівняння можна навести пару CPU, виконаних по 32- нм процесу, що містять подібну кількість транзисторів. Площа ядра AMD Bulldozer у 8-ядерному варіанті складає 325 кв. мм при 1.2 млрд. транзисторів, площа «урізаного» 4-ядерного Sandy Bridge-E – 294 кв. мм при 1.27 млрд. транзисторів.

Таке зменшення площі стало можливим не тільки завдяки новому технологічному процесу, а й через застосування оригінальних «тривимірних» Tri-Gate транзисторів, замість звичайних планарних (рис. 7.3).

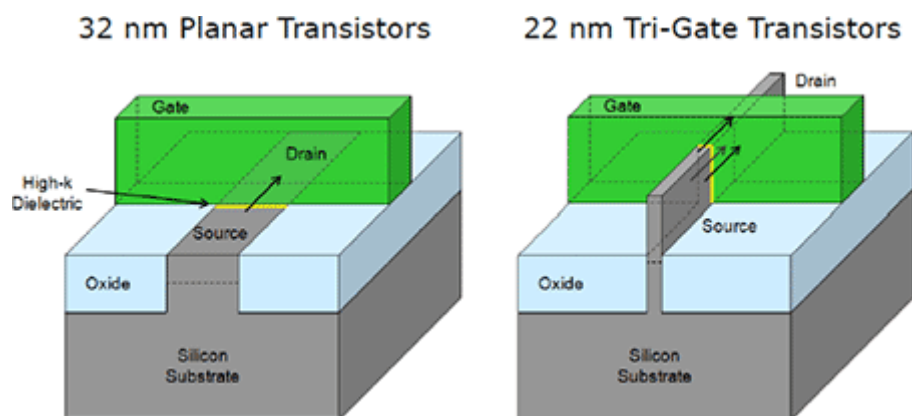


Рисунок 7.3 – Відмінність планарного від «тривимірного» Tri-Gate транзистора

Додавання додаткового кремнієвого «ребра» дозволило домогтися зменшення струмів витіку і скоротити розміри всієї конструкції. Також серед переваг цієї моделі відзначається підвищена швидкість перемикавання.

Рівень тепловиділення (TDP) процесорів становить на рівні 77 Вт.

7.2 Особливості мікроархітектури Ivy Bridge

Серед особливостей мікроархітектури Ivy Bridge слід відзначити:

- перехід на 22-нм технологічний процес, що дає поліпшення продуктивності і зниження енергоспоживання;
- 16 графічних виконавчих блоків (EU, Execution Units);
- збільшення IPC (кількості інструкцій, що виконуються за один такт), додаток до системи команд (Instruction Set Architecture) чотирьох інструкцій прискореного доступу до базових регістрів FS (Front Side) і GS (Graphics Side), прискорення строкових інструкцій REP MOVSB/STOSB, прискорення перетворення чисел з плаваючою точкою з 16-бітного формату в 32-бітний формат;
- кільцева шина Ring Interconnect (більш продуктивна ніж QPI), що об'єднує процесорні ядра, графічне ядро і системний агент (System Agent) через загальний кеш останнього рівня (LLC, L3);
- зворотна сумісність з сокетом другого покоління процесорів Sandy Bridge;

- новий 2- або 4-канальний контролер DDR3, що підтримує пам'ять до DDR3 і DDR3L – низьковольтну пам'ять;
- вбудований контролер PCI Express 3.0 (крім процесорів i3);
- вбудована підтримка USB 3.0 (4 порти) в чіпсетах 7 серії;
- вбудована підтримка інтерфейсу Thunderbolt;
- чіпсет Panther Point з новим інтерфейсом FDI, розрахованим на одночасне підключення до трьох дисплеїв;
- поліпшені технології енергозбереження (конфігурується TDP, режим зниженого енергоспоживання);
- доданий високошвидкісний і високоякісний апаратний генератор випадкових чисел з підтримкою стандартів ANSI X9.82 , NIST SP 800-90 і NIST FIPS 140-2/3 сертифікації рівня 2;
- додана нова інструкція RDRAND для роботи з генератором випадкових чисел, що повертає випадкове число в 16-, 32- або 64-бітний регістр;
- доданий новий режим захисту в режимі супервізора (SMEP, Supervisor Mode Execution Prevention) запобігає виконання коду з користувацьких сторінок.

7.3 Ядро процесора мікроархітектури Ivy Bridge

З точки програмно доступних змін Ivy Bridge отримав рішень:

- підтримка міні- поднабора CVT16 (раніше доступного лише останнім ЦП AMD) , причому відразу в полноконвейерном режимі (перетворення вектора має затримку 6-10 тактів);
- швидкий доступ до сегментних регістрів FS і GS (тільки ці з 6 сегментних регістрів дозволені до використання після впровадження x86 - 64) за допомогою 4 нових команд - надасться для прискореного управління перемиканням контексту завдань з боку програми;
- DRNG (digital random number generator) - цифровий генератор випадкових чисел (ГВЧ) і команда для їх читання (строго кажучи , сам ГСЧ розташований під внеядре , але командно доступний всім ядрам);
- SMEP (supervisory mode execution protection) - захист виконання в режимі

супервізора.

Що стосується обчислювального ядра процесора Ivy Bridge, то воно не зазнало змін порівняно з обчислювальним ядром Sandy Bridge.

При роботі обчислювального ядра процесора на базі мікроархітектури Ivy Bridge інструкції x86 вибираються з кеша інструкцій L1 (Instruction Cache) розміром 32 Кбайт (кеш 8-канальний). Команди завантажують 16-байтними блоками, тобто за кожен такт з кешу завантажується 16-байтний блок команд.

Оскільки інструкції x86 мають змінну довжину, а довжина блоків, якими команди завантажуються з кешу, фіксована, при декодуванні команд потрібно визначити межі між окремими командами. Інформація про розміри команд зберігається в кеші інструкцій L1 в спеціальних полях, а сама процедура виділення команд з обраного блоку називається попереднім декодуванням (PreDecode).

Після операції вибірки команди організовуються в чергу (Instruction Queue), а потім передаються в декодер. При декодуванні (Decode) команди перетворюються на машинні мікрооперації (micro-ops).

Декодер ядра процесора мікроархітектури Ivy Bridge є 4-канальним і може декодувати в кожному такті до чотирьох інструкцій x86. В принципі, довжина однієї команди може досягати 16 байт, проте середня довжина команд становить 4 байти. Тому в середньому в кожному 16-байтному блоці завантажується чотири команди, які при використанні 4-канального декодера одночасно декодуються за один такт.

4-канальний декодер складається з трьох простих декодерів, декодуючих прості інструкції в одну мікрооперацію, і одного складного, який здатний декодувати одну інструкцію в чотири мікрооперації (декодер типу 4-1-1-1).

Для ще більш складних інструкцій, декодуючими більш ніж у чотири мікрооперації, складний декодер з'єднаний з блоком uCode Sequencer, який і застосовується для декодування подібних інструкцій.

При декодуванні інструкцій використовуються технології Macro-Fusion і Micro-Fusion.

Macro-Fusion – це злиття двох x86-інструкцій в одну складну мікрооперацію micro-ops, яка в подальшому виконується саме як одна мікрооперація. Такому злиттю можуть піддаватися не будь-які інструкції, а тільки деякі пари інструкцій,

наприклад, інструкція порівняння і умовного переходу).

Micro-Fusion – це злиття двох мікрооперацій в одну, яка містить два елементарних дії. Надалі дві такі злиті мікрооперації обробляються як одна, що в результаті дозволяє знизити кількість оброблюваних мікрооперацій і тим самим збільшити загальну кількість виконуваних процесором інструкцій за один такт.

Говорячи про процедуру вибірки програмних інструкцій, необхідно відзначити наявність блоку виявлення програмних циклів Loop Stream Detector (LSD), який бере безпосередню участь у процесі вибірки інструкцій і дозволяє уникнути повторів у виконанні одних і тих же операцій. У ядрах на базі мікроархітектури Ivy Bridge/Sandy Bridge LSD блок розташований за декодером і розрахований на 28 вже декодованих інструкцій. Оскільки LSD зберігає вже декодовані інструкції, при виявленні циклів буде пропускатися фаза передбачення розгалужень, вибірки і декодування (фактично на час виконання програмного циклу відключається попередній процесор процесора). Таким чином, інструкції в циклі проходять через конвеєр швидше і частіше, а енергоспоживання знижується.

Крім того, застосовується кеш декодованих мікрооперацій (Decoded Uop Cache), в який надходять всі декодовані мікрооперації. Він розрахований приблизно на 1500 мікрооперацій середньої довжини. Концепція кеша декодованих мікрооперацій полягає в тому, щоб зберігати в ньому вже декодовані послідовності мікрооперацій. У результаті, якщо потрібно виконати якусь x86-інструкцію повторно і відповідна їй послідовність декодованих мікрооперацій все ще перебуває в кеші декодованих мікрооперацій, то немає необхідності вдруге вибирати цю інструкцію з кеша L1 і декодувати її – вже декодовані мікрооперації надходять з кешу на подальшу обробку.

Після процесу декодування x86-інструкцій починається етап їх виконання. Спочатку відбувається перейменування і розподіл додаткових регістрів процесора (блок Allocate/Rename/Retirement), які не визначені архітектурою набору команд. Перейменування регістрів дозволяє домогтися виконання команд позачергово, а отже, знизити простої процесора.

На наступному етапі відбувається переупорядкування мікрооперацій не в порядку їх надходження (Out-of-Order), щоб згодом можна було реалізувати їх більш

ефективне виконання на виконавчих блоках.

Далі відбувається розподіл мікрооперацій за виконавчими блоками. У блоці процесора Reservation Station формуються черги мікрооперацій, в результаті чого мікрооперації потрапляють на один з портів функціональних пристроїв (dispatch ports). Цей процес називається диспетчеризацією (Dispatch), а самі порти виконують функцію шлюзу до функціональних пристроїв.

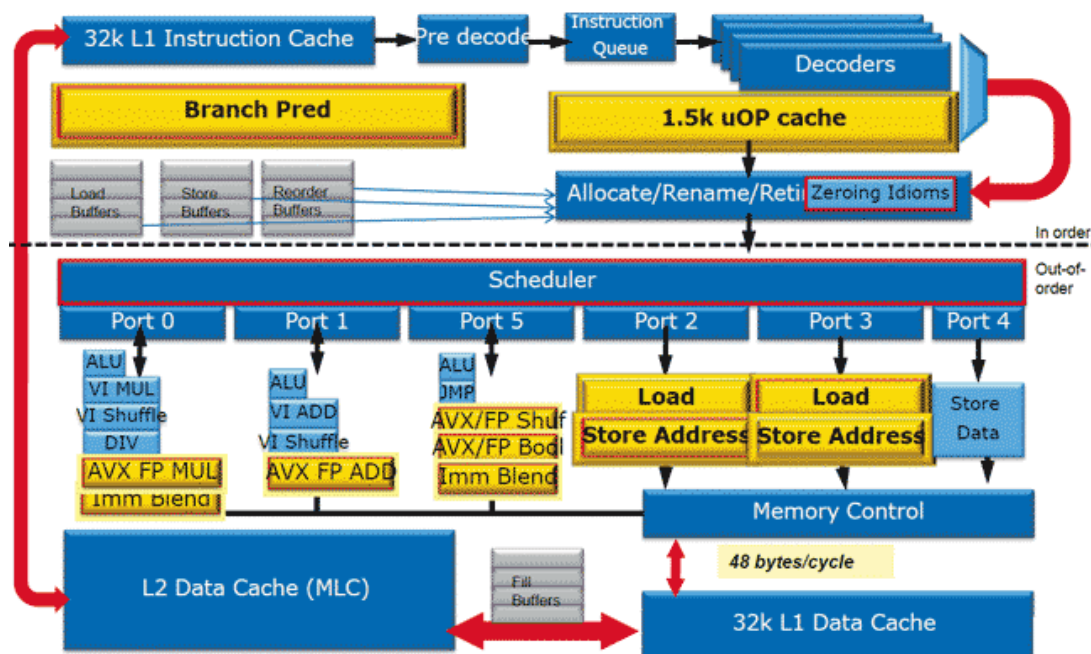


Рисунок 7.4 – Структура ядра процесора мікроархітектури Ivy Bridge

7.4 Графічне ядро Ivy Bridge

Одне з головних нововведень в мікроархітектурі Ivy Bridge – це нове графічне ядро з підтримкою DirectX 11, яка має кодову назву Carlow.

Звичайно, графічне ядро в процесорах Ivy Bridge по продуктивності не може зрівнятися з дискретною графікою, але справедливості заради відзначимо, що воно і не позиціонується як ігрове.

У той же час, за заявою компанії Intel, графічне ядро в процесорах Ivy Bridge на 60 % більш продуктивним, ніж графічне ядро в процесорах Sandy Bridge. Графіка від Intel зможе цілком успішно конкурувати з процесорної графікою AMD.

Крім підтримки DirectX 11, в графічному ядрі Carlow реалізована підтримка

OpenGL 3.1 і OpenCL 1.1, тобто графічне ядро Intel здатне виробляти обчислення засобами шейдерних процесорів.

У графічному ядрі Ivy Bridge максимальне число виконавчих блоків збільшено до 16, причому на кожен виконавчий блок припадає вже по два текстурних блоки.

У графічне ядро Ivy Bridge додані блоки для апаратної тесселяції, а також забезпечена підтримка Shader Array, що і дозволило добитися сумісності з Shader Model 5.0 і DirectX 11.

Тактова частота графічного ядра процесора Ivy Bridge нижче, ніж частота графічного ядра процесора Sandy Bridge, що дозволяє зменшити енергоспоживання. У результаті за таким показником, як продуктивність на ват, графічне ядро Carlow вдвічі перевершує ядро HD Graphics 2000/3000 в процесорі Sandy Bridge.

Зміни торкнулися і технології Intel Quick Sync. Насамперед, вдалося досягнути дворазового збільшення швидкості перекодування HD-відео із застосуванням спеціалізованих процесорних блоків. Крім того, поліпшена якість кодування та додалися можливості застосування до відеопотоку фільтрів типу поліпшення колірної гами або контрастності.

Потужності апаратного відеодекодера достатньо для одночасного відтворення не менше 16 HD-відеопотоків.

7.5 Платформа LGA2011

Те, що процесори Ivy Bridge-E повністю сумісні з поточною інфраструктурою LGA2011, з одного боку, дуже добре. Бажаючи провести апгрейд з Sandy Bridge-E, зможуть зробити це без додаткових витрат, достатньо лише оновити BIOS материнських плат. З іншого боку, разом з анонсом Ivy Bridge-E Intel не запропонувала нової системної логіки, тому, єдиним чіпсетом для платформи LGA2011 залишається Intel X79 Express.

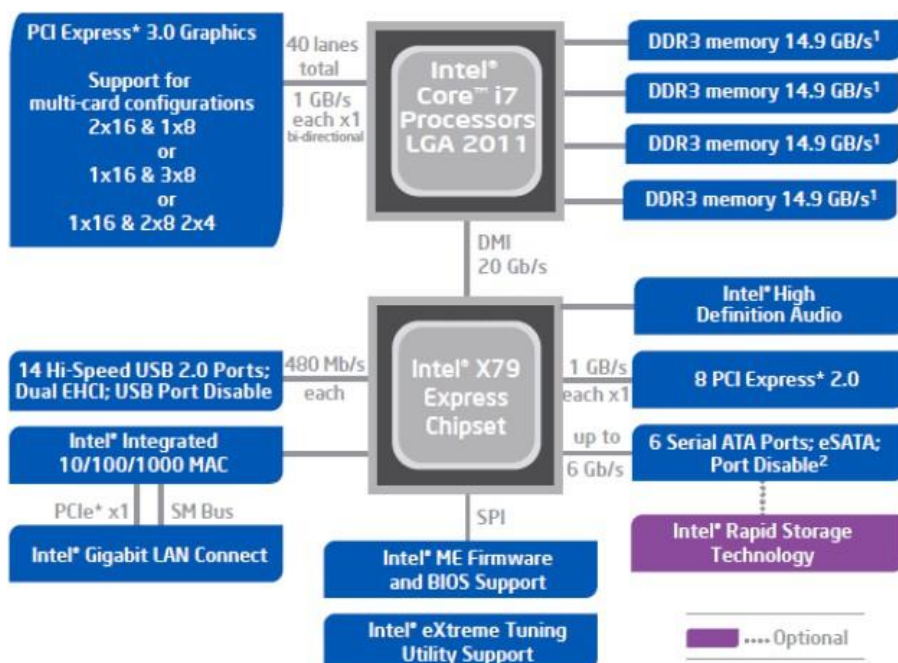


Рисунок 7.5 – Структура системи на базі мікроархітектури Ivy

Bridge-E Центральне місце займає мікросхема системної логіки PCN – Platform Communication Hub. Вбудований у процесор північний міст містить 4-канальний контролер оперативної пам'яті і контролер PCI Express, що забезпечує роботу 40 ліній PCI-E 3.0, а також інтерфейс DMI, який використовується для зв'язку процесора і чіпсета.

Мікросхема системної логіки відповідає за роботу 14 портів USB 2.0, двох каналів SATA 6 Гбіт/с, чотирьох SATA 3 Гбіт/с і восьми ліній PCI Express 2.0. Крім того, чіпсет містить вбудований мережевий контролер MAC-рівня Gigabit Ethernet і сумісний з аудіокодеками Intel HD Audio. Головний недолік структури такої систем – відсутність підтримки USB 3.0.

7.6 Платформа LGA1155

Разом з тим Intel запропонувала для Ivy Bridge і нові набори логіки сьомої серії. Але мета їх випуску полягає не в тому, щоб постачати процесори власної вузькоспеціалізованої платформи, а в тому, щоб трохи актуалізувати платформу LGA1155 – додати в неї підтримку USB 3.0 і додаткову функціональність SATA-

контролера (табл.7.1).

Таблиця 7.1 – Характеристики чіпсетів 7-ї серії для процесорів Ivy Bridge

	Intel Z77	Intel Z75	Intel H77
Піддержка процессоров	Ivy Bridge / LGA1155	Ivy Bridge / LGA1155	Ivy Bridge / LGA1155
Разгон процессора	Поддерживается	Поддерживается	Не поддерживается
Конфигурации процессорной PCIe	1 x16 или 2 x8 или 1 x8 + 2 x4 PCI Express 3.0	1 x16 или 2 x8 PCI Express 3.0	1 x16 PCI Express 3.0
Поддержка интегрированной графики	Есть	Есть	Есть
SSD-кеширование	Поддерживается	Не поддерживается	Поддерживается
RAID	Поддерживается	Поддерживается	Поддерживается
Порты USB (USB 3.0)	14 (4)	14 (4)	14 (4)
Порты SATA (SATA 6 Гбит/сек)	6 (2)	6 (2)	6 (2)
Дополнительные линии PCI Express 2.0	8	8	8
Поддержка PCI	Нет	Нет	Нет

Контрольні питання для перевірки знань

1. В чому полягає відмінність мікроархітектури Ivy Bridge від Sandy Bridge?
2. Що нового внесено в ядро мікроархітектури Ivy Bridge?
3. Які можливості графічного ядра процесорів мікроархітектури Ivy Bridge?
4. Яка системна логіка розроблена для процесорів мікроархітектури Ivy Bridge?

Лекція 8

ПРОЦЕСОРИ HASWELL

План

- 8.1 Загальна характеристика процесорів Haswell.
- 8.2 Особливості мікроархітектури Haswell.
- 8.3 Обчислювальне ядро Haswell.
- 8.4 Підсистема пам'яті в мікроархітектурі Haswell.

8.1 Загальна характеристика процесорів Haswell

Haswell – кодова назва процесорної мікроархітектури четвертого покоління процесорів Intel Core, розробленої компанією Intel, яка є наступницею мікроархітектури Ivy Bridge. Випускається за нормами 22-нм техпроцесу.

Для процесорів Haswell (рис. 8.1) розроблено сімейство чіпсетів Intel 8-ї серії, що включає в себе моделі B85, H87, Q85, Q87 і Z87 для процесорного роз'єму LGA 1150, які здійснюють підтримку до 6 портів USB 3.0 і до 6 шин SATA 6 Гбіт/с (при цьому відсутні SATA 3 Гбіт/с), функцію I/O Port Flexibility, що дозволяє задавати, які саме USB-порти будуть функціонувати як 3.0.



Рисунок 8.1 – Процесор четвертого покоління мікроархітектури Intel Core – Haswell

В процесорах Haswell оптимізована робота з SSD-накопичувачами (немеханічними накопичувачами нового покоління на основі Flash-пам'яті), використовуються поліпшені технології Rapid Storage і Intel vPro, впроваджена підтримка 4-потокowego читання через послідовний інтерфейс, знижене енергоспоживання та інші поліпшення.

Реліз першого процесорів на даній архітектурі відбувся у червні 2013 року. Окрім наведених особливостей слід відмітити:

- кількість ядер - 2 або 4;
- повністю новий дизайн кеш;
- поліпшені механізми енергозбереження;
- підтримка технології Thunderbolt (апаратний інтерфейс, раніше відомий як Light Peak, розроблений компанією Intel, для підключення периферійних пристроїв до комп'ютера з максимальною швидкістю передачі до 10 Гбіт/с по мідному дроту і до 20 Гбіт/с при використанні оптичного кабелю);
- інтегрований векторний співпроцесор;
- доповнення інструкціями AVX 2; FMA (Fused Multiply Add); бітовими інструкціями BMI1 і BMI2;
- розширення команд TSX (Transactional Synchronization Extensions) для апаратної підтримки транзакційної пам'яті (крім процесорів з індексом K);
- пам'ять eDRAM об'ємом 64 Мбайт (128 Мб) як окремий кристал, але в загальній упаковці (тільки в процесорах для BGA, наприклад Core i7- 4770R);
- знижене на 30 % енергоспоживання у порівнянні з аналогами з лінійки Sandy Bridge; в деяких режимах – у 20 разів нижче;
- реалізована можливість одночасної роботи з чотирма операндами, що дозволяє за одну інструкцію здійснювати відразу дві операції множення і додавання або віднімання.

Процесори, побудовані на архітектурі Haswell мають додатковий інтегрований регулятор напруг (VRM, FIVR), виконаний у вигляді окремого кристала під загальною теплорозподільної кришкою. FIVR має розміри близько 13x8 мм і виготовлений по 90 нм техпроцесу.]

З появою процесорів Haswell корпорація Intel розділяє свій асортимент на дві

групи:

- настільні і мобільні версії;
- спеціальні версії для ультрабуків.

Якщо покласти процесори Ivy Bridge і Haswell поруч, то їх можна і не відрізнити, адже їх розділяє "всього" 200 мільйонів транзисторів. 14 %-ний приріст кількості транзисторів більшою мірою пов'язаний з 25 %-ним приростом графічних ресурсів у порівнянні з попереднім поколінням.

Це не означає, що процесорні ядра залишилися недоторканими. Особливу увагу було приділено прискоренню вже існуючого коду, а також додатків, які можуть розроблятися в майбутньому. Для цього збільшені буфери розширюють вікно позачергового виконання, тобто інструкції, які раніше очікували виконання, в Haswell визначаються й обробляються швидше. Вікно в Haswell становить 192 команди. Для порівняння, у Sandy Bridge – 168, у Nehalem – 128.

Блок передбачення розгалуження в Haswell також піддався удосконаленню. У кожному поколінні процесорів Intel вдається його поліпшити, оскільки завдяки цьому збільшується його продуктивність, а також є можливість запобігти витрати часу у випадку, якщо розгалуження передбачене не вірно.

Раніше архітектура Intel могла виконувати шість операцій за один тактовий цикл. Однак, Haswell отримала два додаткових порти (один цілочисельний арифметико-логічний блок і один блок зберігання даних), що дозволяє виконувати до восьми операцій за один тактовий цикл.

Інтенсивні завдання, пов'язані з великим обсягом даних, повинні відчувати користь від збільшеного буфера асоціативної трансляції другого рівня (TLB L2).

8.2 Особливості мікроархітектури Haswell

Стратегія компанії Intel полягає в тому, що в більшості сценаріїв домашнього застосування, та й у багатьох сферах професійного використання чотирьох обчислювальних ядер більш ніж достатньо, тому, в основі процесорів Core i5 і Core i7 лежать 4-ядерні кристали Haswell. Використання тонкого 22-нм літографічного техпроцесу дозволило вмістити 1400 млн. напівпровідникових пристроїв на площі в

177 кв. мм. Самі транзистори мають тривимірну конструкцію (Tri-Gate), що забезпечує їх малі фізичні розміри і мінімізує струми витоку. Подібна конструкція вперше була застосована в процесорах Ivy Bridge, які стали піонерами освоєння 22-нм техпроцесу. Крім зниження вартості виробництва ці заходи дозволили зменшити до 20 % напругу живлення в порівнянні з 32-нм Sandy Bridge.

Напівпровідниковий кристал процесора Haswell (рис. 8.2) включає в себе чотири обчислювальних ядра, графічний прискорювач, масив кеш-пам'яті третього рівня і «системний агент», в який входять двоканальний контролер оперативної пам'яті (ОП) стандарту DDR3, контролери шин DMI і PCI Express, а також трансмітери цифрового зображення.

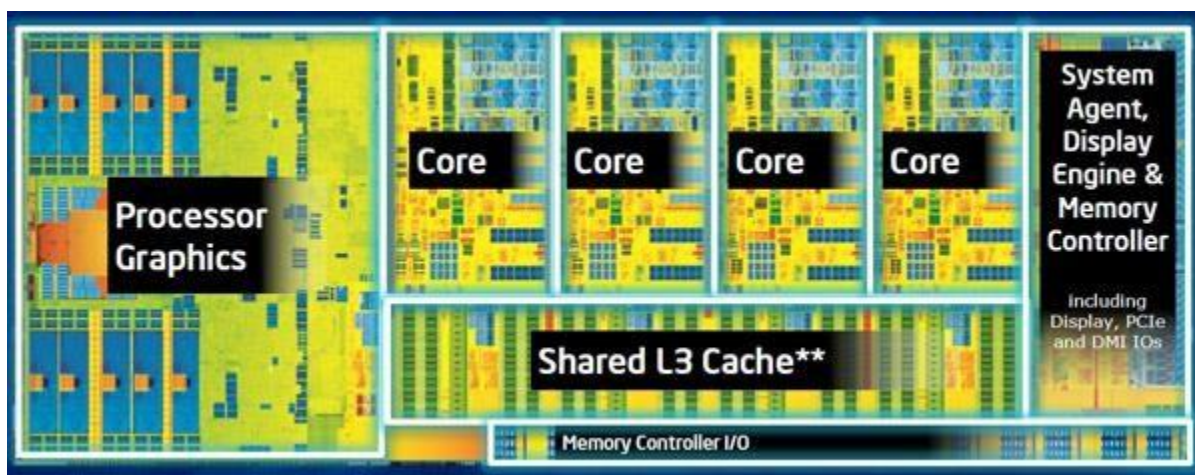


Рисунок 8.2 – Структура кристалу процесора Haswell

Процесорні ядра, і вбудована відеокарта використовують загальну кеш-пам'ять L3, а для зв'язку між внутрішніми блоками використовується високошвидкісна кільцева шина даних, яка вперше з'явилася в процесорах Intel Sandy Bridge.

Самі ж обчислювальні ядра Haswell зазнали мінімум змін у порівнянні з Ivy Bridge.

Дизайн обчислювального конвеєра залишився колишнім, а всі доробки носять оптимізаційний характер.

Наприклад, були поліпшені механізми вибірки та передбачення розгалужень,

збільшена пропускна здатність диспетчера задач шляхом додавання двох додаткових портів, оптимізований розмір буфера TLB (translation lookaside buffer) в кеші L2, а також зменшені затримки при роботі технологій віртуалізації. Невеликим змінам піддалася робота блоків, які обробляють векторні інструкції та отримали підтримку нових інструкцій AVX2, що прискорюють операції криптографії, хешування та обробку мультимедіа. Також, вдвічі, порівняно з Ivy Bridge, збільшилася глибина вибірки даних з кешу L1 і L2 за такт, а значить, в оптимізованих задачах нові процесори Haswell помітно швидше за своїх попередників.

Що стосується графічної складової процесорів Haswell, то в більшості десктопних модифікацій Core i5 і Core i7 буде використовуватися відеоядро Intel HD Graphics 4600, що містить 20 уніфікованих шейдерних процесорів, два блоки растеризації і чотири текстурних модуля.

Графічний прискорювач сумісний з DirectX 11, а підтримка API OpenCL і DirectCompute 5.0 дає приріст в неграфічних обчисленнях. До складу відеоядра також входить апаратний блок декодування Quick Sync, використання якого забезпечує надбавку швидкості обробки відеоконтенту, а як приємне доповнення відзначимо підтримку одночасного виведення зображення на три монітори. Відмінною рисою графічних адаптерів Intel HD Graphics 4-й серії є їх модульний дизайн, що дозволяє легко масштабувати кількість функціональних блоків, створюючи на їх основі, як рішення початкового рівня, так і досить потужні відеоприскорювачі.

Контролер оперативної пам'яті процесорам Haswell дістався від Ivy Bridge майже без змін. Він підтримує два канали DDR3 с частотами 1333 МГц і 1600 МГц, в тому числі низьковольтну DDR3L. Втім, ніхто не заважає експлуатувати високочастотні модулі, для цього контролер підтримує великий набір множників, кратних ефективним 200 і 266 МГц. Для зв'язку з чіпсетом використовується шина DMI 2.0, пропускна здатність якої досягає 20 Гбіт/с. Підключення дискретних графічних прискорювачів забезпечує контролер шини PCI Express 3.0, 16 ліній якого можуть бути гнучко налаштовані для організації систем з декількох відеокарт.

Але найнесподіванішою з інновацією в архітектурі Intel Haswell стало

LGA1150, що є частиною нової платформи Intel – Lynx Point.

З новими процесорами збільшилася вдвічі і пропускна здатність кеш-пам'яті першого рівня L1. Крім цього, були впроваджені нові набори інструкцій, такі як AVX2 і TSX (Transactional Synchronization Extensions). У сукупності, ці зміни в архітектурі позитивно вплинули на продуктивність процесорів Haswell.

Процесори третього покоління Core та Ivy Bridge не дозволяли значно змінювати частоту опорної шини (BCLK) – у середньому на 5-8%. Це було пов'язано з тим, що зміна частоти BCLK змінює частоти шин DMI і PCI-E, що призводило до втрати стабільності. Звичайно, розгін по шині у Ivy Bridge був поліпшений в порівнянні з Sandy Bridge, але не можна сказати, що значно.

З процесорами Haswell компанія Intel впровадила множники BCLK, як це було у платформи Sandy Bridge-E і чіпсета Intel X79. Тепер, любителям розгону доступні базові множники опорної частоти 1.00x, 1.25x або 1.67x, що, безумовно, має сподобатися оверклокерам – адже це додаткова можливість прискорення роботи оперативної пам'яті.

Ще одне нововведення – це можливість зміни частоти кільцевої шини (Ring Bus Frequency) (рис. 8.4).

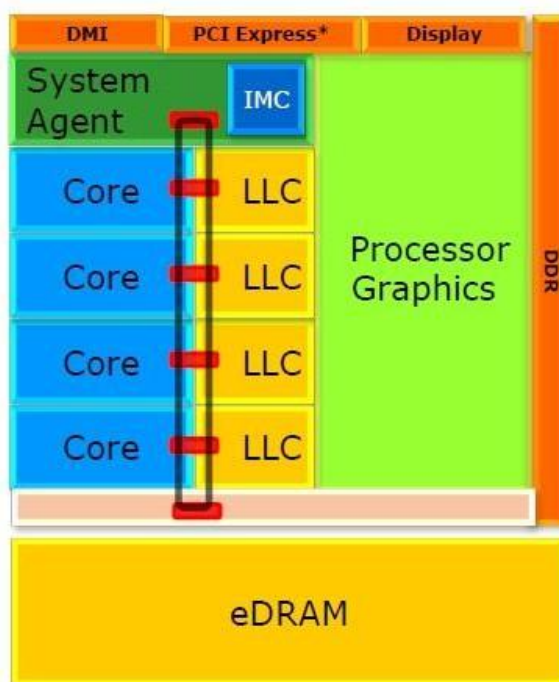


Рисунок 8.4 – Кільцева шина в процесорах Haswell

У випадку з Ivy Bridge, кільцева шина функціонувала на тій же тактовій частоті, що і процесорні ядра. У випадку з Haswell все інакше – тепер кільцева шина може мати меншу тактову частоту. Зменшення частоти Ring Bus шини може бути корисним, наприклад, коли метою оверклокера є висока тактова частота, а не продуктивність.

Окремою позицією є процесори Haswell, що мають конструктивне виконання BGA (Ball grid array). Такі процесори отримали більш потужну інтегровану графіку Intel GT3, а також інтегровану пам'ять типу eDRAM, мета якої – підвищення продуктивності все тієї ж графіки Intel HD (рис. 8.5).

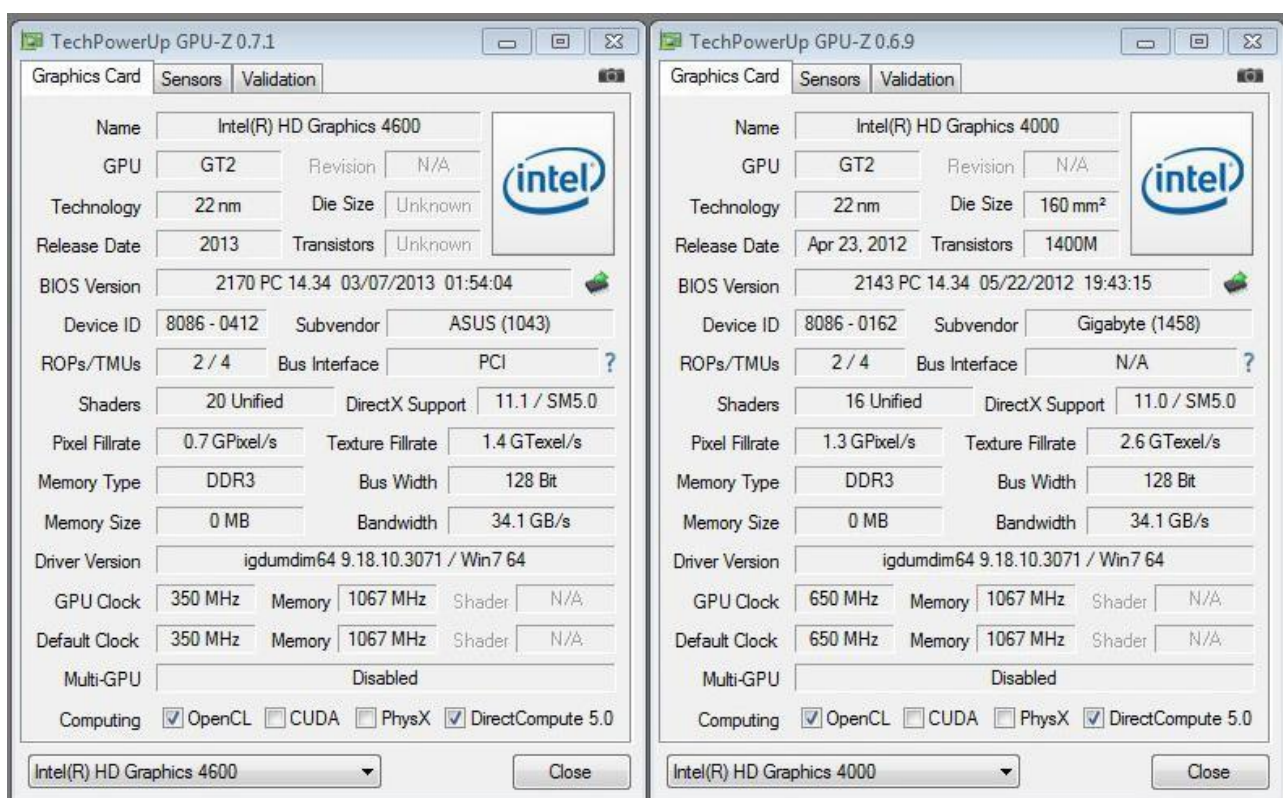


Рисунок 8.5 – Характеристики графічної системи Intel HD Graphics 4600 та 4000 процесора Haswell

На рис. 8.6 наведені характеристики процесора Intel Core i5 4670K на ядрі Haswell з використанням утиліти CPU-Z 1.68 для 64-бітних систем.

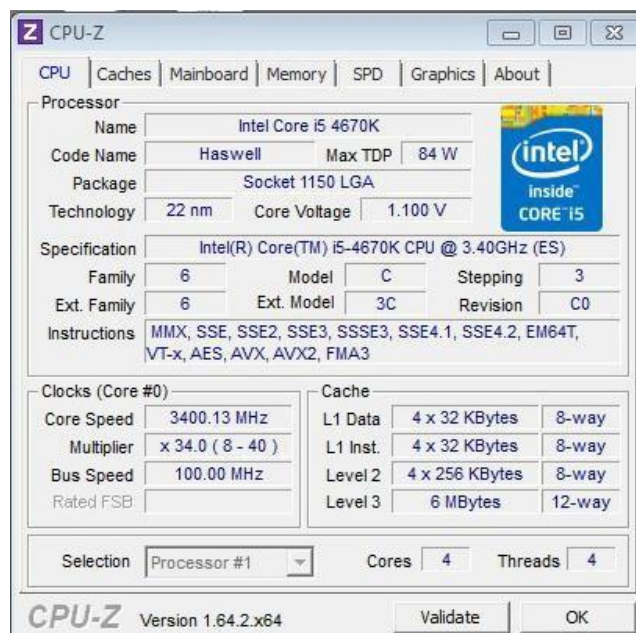


Рисунок 8.6 – Характеристики процесора Intel Core i5 4670K на ядрі Haswell

Обчислювальне ядро Haswell

Традиційно опис мікроархітектури ядра процесора починається з блоку передпроцесора (front-end), який відповідає за вибірку інструкцій x86 з кешу інструкцій і їх декодування (рис. 8.7).

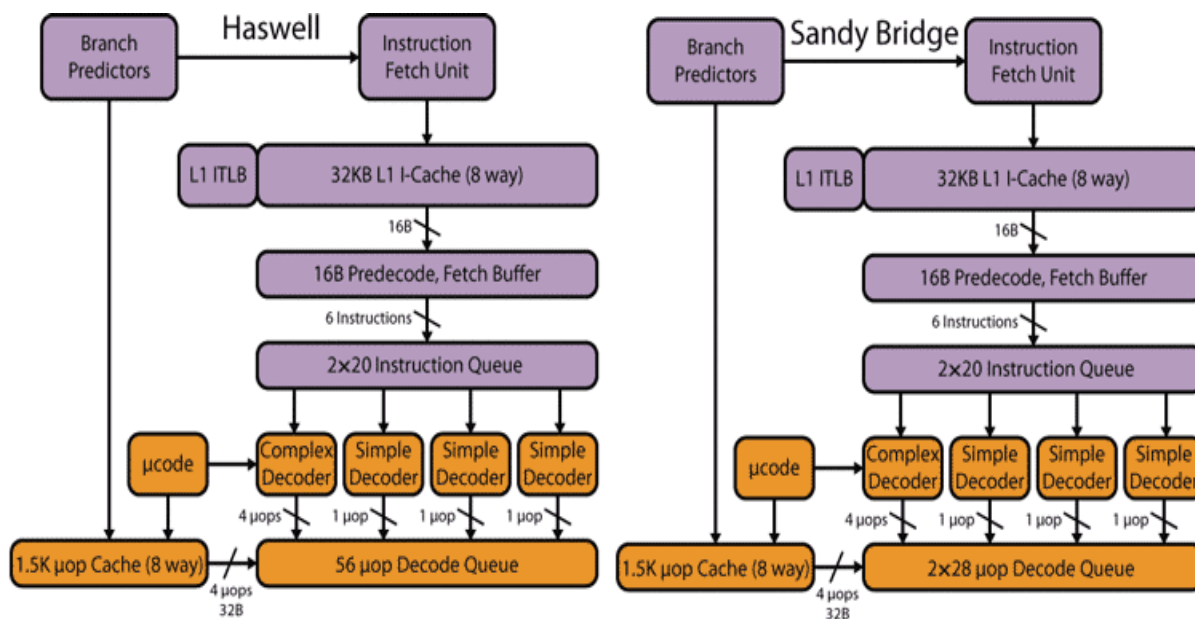


Рисунок 8.7 – Передпроцесор в мікроархітектурі Haswell і Sandy Bridge

У мікроархітектурі Haswell блок передпроцесора зазнав мінімальні зміни.

Інструкції x86 вибираються з кеша інструкцій L1I (Instruction Cache), який не змінився в мікроархітектурі Haswell. Він має розмір 32 Кбайт, є 8-канальним і динамічно поділяємо між двома потоками інструкцій (підтримка технології Hyper-Threading).

З кешу L1I команди завантажуються 16-байтними блоками в 16-байтний буфер попереднього кодування (Fetch Buffer).

Оскільки інструкції x86 мають змінну довжину (від 1 до 16 байт), а довжина блоків, якими команди завантажуються з кешу, фіксована, при декодуванні команд визначаються межі між окремими командами (інформація про розміри команд зберігається в кеші інструкцій L1I в спеціальних полях). Процедура виділення команд з обраного блоку називається попереднім декодуванням (PreDecode).

Після операції вибірки команди організовуються в чергу (Instruction Queue). У мікроархітектурі Sandy Bridge і Haswell буфер черги команд розрахований на 20 команд у кожному з двох потоків, причому з буфера попереднього кодування за кожен такт в буфер черги команд можуть завантажуватися до шести виділених команд.

Після цього виділені команди (x86-інструкції) передаються в декодер, де вони перетворюються в машинні мікрооперації (micro-ops).

Декодер ядра процесора Haswell залишився без змін. Він як і раніше є 4-канальним і може декодувати в кожному такті до чотирьох інструкцій x86. Як вже зазначалося, довжина однієї команди може досягати 16 байт, проте середня довжина команд становить 4 байти. У середньому в кожному 16-байтному блоці завантажуються чотири команди, які при використанні чотиріканального декодера одночасно декодуються за один такт.

4-канальний декодер складається з трьох простих декодерів, які декодують прості інструкції в одну мікрооперацію, і одного складного, який здатний декодувати одну інструкцію не більш ніж у чотири мікрооперації (декодер типу 4-1-1-1). Для ще більш складних інструкцій, що декодують більш ніж у чотири мікрооперації, складний декодер з'єднаний з блоком uCode Sequencer, який і застосовується для декодування подібних інструкцій.

При декодуванні інструкцій використовуються технології Macro-Fusion і Micro-Fusion.

Macro-Fusion – це злиття двох x86-інструкцій в одну складну мікрооперацію micro-ops, яка в подальшому буде виконуватися як одна мікрооперація. Такому злиттю можуть піддаватися не будь-які інструкції, а тільки деякі пари інструкцій (наприклад, інструкція порівняння і умовного переходу). Без застосування технології Macro-Fusion за кожен такт процесора можна розкодувати тільки чотири інструкції (в 4-канальному декодері), а при використанні технології Macro-Fusion в кожному такті можуть зчитуватися п'ять інструкцій, які за рахунок злиття перетворюються в чотири і піддаються декодуванню.

Відзначимо, що для ефективного підтримання технології Macro-Fusion застосовуються розширені блоки ALU (Arithmetical Logic Unit), здатні підтримати виконання злитих мікрооперацій.

Надалі дві такі злиті мікрооперації обробляються як одна, що дозволяє знизити кількість оброблюваних мікрооперацій, а отже, збільшити загальну кількість виконуваних процесором інструкцій за один такт.

Крім того, в мікроархітектурі Haswell і Sandy Bridge застосовується кеш декодованих мікрооперацій (Uop Cache), в який надходять всі декодовані мікрооперації. Цей кеш розрахований приблизно на 1500 мікрооперацій середньої довжини. Кеш декодованих мікрооперацій являє собою вісім банків (тобто даний кеш є 8-канальним), кожен з яких складається з 32 кеш-рядків, а кожен кеш-рядок вміщує до шести декодованих мікрооперацій (uop).

Концепція кеша декодованих мікрооперацій полягає в тому, щоб зберігати в ньому вже декодовані послідовності мікрооперацій. У результаті, якщо потрібно виконати якусь x86-інструкцію повторно, а відповідна їй послідовність декодованих мікрооперацій все ще перебуває в кеші декодованих мікрооперацій, не потрібно вдруге вибирати цю інструкцію з кеша L1 і декодувати її – з кешу на подальшу обробку надходять вже декодовані мікрооперації.

Після процесу декодування x86-інструкцій вони, по чотири інструкції за такт, надходять в буфер черги декодованих інструкцій (Decode Queue).

У мікроархітектурі Sandy Bridge цей буфер черги декодованих інструкцій був

розрахований на два потоки команд по 28 мікрооперацій на кожен потік.

У мікроархітектурі Ivy Bridge та Haswell він не ділиться на два потоки команд і розрахований на 56 мікрооперацій. Такий підхід виявляється більш кращим при виконанні однопотокового додатку (з одним потоком команд). У цьому випадку одному потоку команд доступний буфер ємністю на 56 мікрооперацій, а в мікроархітектурі Sandy Bridge – тільки на 28 мікрооперацій.

Якщо порівнювати ядра процесорів Haswell і Ivy Bridge, то різниці в їх предпроцесорах немає взагалі, а предпроцессори ядер Haswell і Sandy Bridge розрізняються лише структурою буфера черги декодованих інструкцій.

Проте, як заявляє компанія Intel, деякі поліпшення в предпроцесорі Haswell все ж були внесені і стосувалися удосконалення блоку передбачення розгалужень (Branch Predictors).

Закінчуючи опис предпроцессора в мікроархітектурі Haswell, потрібно також згадати і про TLB-буфер.

Буфер TLB (Translation Look-aside Buffers) – це спеціальний кеш процесора, в якому зберігаються адреси декодованих інструкцій і даних, що дозволяє значно скоротити час доступу до них. Цей кеш призначений для скорочення часу перетворення віртуального адреси даних або інструкцій у фізичний. Справа в тому, що процесор використовує віртуальну адресацію, а для доступу до даних в кеші або оперативної пам'яті потрібні реальні фізичні адреси. Перетворення віртуальної адреси у фізичний займає приблизно три такти процесора. TLB-кеш зберігає результати попередніх перетворень, завдяки чому перетворення адреси можливо здійснювати за один такт.

У процесорах з мікроархітектурою Haswell і Sandy Bridge (як і в процесорах Intel на базі інших мікроархітектур) використовується дворівневий кеш TLB, причому якщо кеш L2 TLB є уніфікованим, то L1 TLB-кеш розділений на буфер даних (DTLB) і буфер інструкцій (ITLB).

L1 ITLB-кеш інструкцій і даних в мікроархітектурі Haswell не зазнали змін – вони точно такі ж, як і в мікроархітектурі Sandy Bridge. L1 ITLB-кеш інструкцій розрахований на 128 записів, в разі якщо кожен запис адресує сторінку пам'яті ємністю 4 Кбайт.

Таким чином, при застосуванні 4 Кбайт сторінок пам'яті L1 ITLB-кеш може адресувати 512 Кбайт пам'яті. У разі сторінок ємністю 4 Кбайт ITLB-кеш є 4-канальним і статично розділений між двома потоками команд. Крім того, L1 ITLB-кеш може адресувати 2 Мбайт сторінок пам'яті. У цьому випадку кеш містить вісім записів на кожен потік і є повністю асоціативним.

8.3 Підсистема пам'яті в мікроархітектурі Haswell

Одне з найбільш значущих змін в мікроархітектурі Haswell порівняно з Sandy Bridge було зроблено в підсистемі пам'яті. І справа не тільки в тому, що збільшено розмір буферів читання (Load) і запису (Store), які використовуються для доступу до пам'яті (72 і 42 записи відповідно). Головне, був доданий ще один порт для запису адреси (Store address), кеш даних L1 став продуктивнішим, а пропускна здатність між кешами L1 і L2 збільшена.

Доступ до підсистеми пам'яті починається з того, що відповідні мікрооперації надходять в буфери читання (Load) і запису (Store), які в сукупності можуть накопичувати більше ста мікрооперацій. У мікроархітектурі Sandy Bridge порти функціональних пристроїв, які маркуються на схемах як 2, 3 і 4, відповідали саме за доступ до пам'яті (рис. 4). Порти 2 і 3 пов'язані з функціональними пристроями генерації адреси (Address Generation Unit, AGU) для запису або читання даних, а порт 4 пов'язаний з функціональним пристроєм для запису даних з ядра процесора в кеш даних L1 (DL1). Процедура генерації адреси займає один або два такту процесора (рис. 8.9).

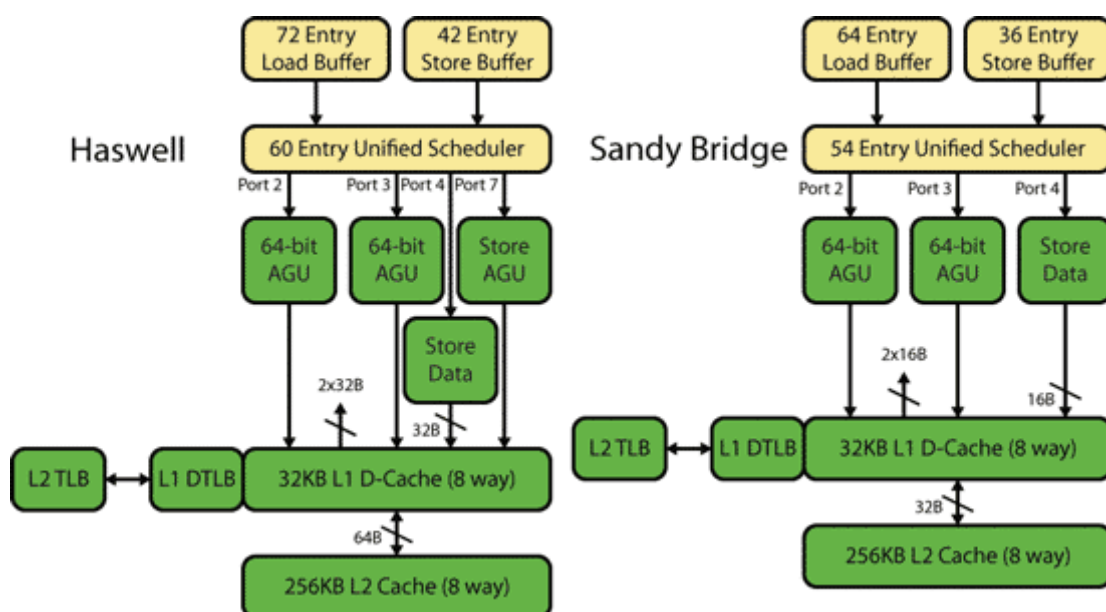


Рисунок 8.9 – Підсистема пам'яті в мікроархітектурі Sandy Bridge і Haswell

У мікроархітектурі Haswell до портів 1, 2 і 3 доданий ще порт 7, який пов'язаний з функціональним пристроєм генерації адреси для запису даних (Store AGU). У результаті ядро Haswell може підтримувати дві операції завантаження даних і одну операцію запису даних за такт.

Виділений функціональний пристрій генерації адреси для запису даних трохи простіше у виконанні в порівнянні з функціональними пристроями генерації адреси загального призначення (для запису і завантаження даних). Справа в тому, що мікрооперація запису даних просто записує адресу (і, в кінцевому рахунку, самі дані) в буфер запису (store buffer). А мікрооперація завантаження даних повинна записувати в буфер читання і також відстежувати вміст буфера запису для того, щоб виключити можливі конфлікти.

Як тільки згенеровано потрібний віртуальний адреса, починається перегляд кеш L1 DTLB на предмет відповідності цього віртуального адресу фізичному. Сам кеш даних L1 DTLB в мікроархітектурі Haswell не зазнав змін.

Він підтримує 64, 32 і 4 записи для сторінок пам'яті розміром 4 Кбайт, 2 Мбайт і 1 Гбайт відповідно і є 4-канальним.

При промаху в кеші L1 DTLB починається перегляд відповідних записів в уніфікованому кеші L2 TLB, який має ряд покращень в мікроархітектурі Haswell.

Цей кеш підтримує сторінку розміром 4 Кбайт і 2 Мбайт, є 8-канальним і розрахований на 1024 записи. А в мікроархітектурі Sandy Bridge L2 TLB-кеш був розрахований на 512 записів (тобто був удвічі менше), підтримував лише сторінки пам'яті розміром 4 Кбайт і був 4-канальним.

Сам кеш даних L1 залишився розміром 32 Кбайт і 8-канальним (як і в мікроархітектурі Sandy Bridge). При цьому доступ в TLB-кеш і перевірка тегів кеша даних L1 може проводитися паралельно.

Однак у мікроархітектурі Haswell кеш даних L1 має більш високу пропускну здатність. Він підтримує одночасно одну 256-бітну операцію читання і дві 256-бітові операції запису, що в сукупності дає агреговану смугу пропускання в 96 байт за такт. У мікроархітектурі Sandy Bridge кеш даних L1 підтримує одночасно одну 128-бітну операцію читання і дві 128-бітові операції запису, тобто має теоретичну смугу пропускання в два рази нижче. При цьому реальна смуга пропускання кеша даних L1 в мікроархітектурі Sandy Bridge більш ніж удвічі нижче смуги пропускання в мікроархітектурі Haswell з причини того, що в Sandy Bridge тільки два функціональних блоку AGU.

Крім того, в мікроархітектурі Haswell збільшена і пропускна здатність між кешами L1 і L2. Так, якщо в Sandy Bridge пропускна здатність між кешем L2 і L1 становила 32 байта за цикл, то в Haswell вона підвищена до 64 байтів за цикл. І при цьому кеш L2 в Haswell має ту ж латентність, що і в Sandy Bridge.

Контрольні питання для перевірки знань

1. Які особливості процесорів Haswell у порівнянні з процесорами Sandy Bridge?
2. Які особливості архітектури процесорів Haswell?
3. Що нового внесено у ядро процесора Haswell у порівнянні з процесорами Sandy Bridge?
4. Як працює підсистема пам'яті процесорів Haswell?

ПЕРЕЛІК ПОСИЛАНЬ

1. Гід з архітектур та сокетів процесорів Intel Core. URL: <https://ek.ua/ua/post/7674/186-guide-to-intel-core-processor-architectures-and-sockets/> (дата звернення 06.04.2026).
2. Розбір поколінь процесорів Intel та реальна різниця у продуктивності. https://st.in.ua/ua/blog/rozbir-pokolin-protseporiv-intel-ta-realna-riznytsya-u-produktyvnosti/?srsId=AfmBOorQXGK1OEF3dSVVTimLm2YAg_vdpeHbQKFdNzrhexKgZ1pwMPFG (дата звернення 06.04.2026).
3. Микроархитектура Intel Core. URL: <https://studfile.net/preview/13655988/page:7/>
<https://studfile.net/preview/13655988/page:7/>
4. Nehalem (мікроархітектура). URL: [https://uk.wikipedia.org/wiki/Nehalem_\(мікроархітектура\)](https://uk.wikipedia.org/wiki/Nehalem_(мікроархітектура)) (дата звернення 06.04.2026).
5. Чипсет Intel X58 под процессоры микроархитектуры Nehalem. URL: <http://www.ixbt.com/mainboard/i58x-chipset.shtml> (дата звернення 06.04.2026).
6. Презентация процессоров Intel Core i7, Core i5 и Xeon 3400 с микроархитектурой Nehalem. URL: <http://www.easycom.com.ua/data/ittech/0909090142/> (дата звернення 06.04.2026).
7. Новые архитектуры и технологии Intel, часть I: Dunnington, Nehalem. URL: <http://www.3dnews.ru/559100> (дата звернення 06.04.2026).
8. Intel Core i7 – обзор особенностей новых процессоров. URL: http://www.flcd.ru/cpus/reviews/intel_corei7/ (дата звернення 06.04.2026).
9. Микроархитектура: Nehalem. URL: <http://i5core.ru/nehalem/> (дата звернення 06.04.2026).
10. Обзор процессора Intel Core i7-920 на ядре Bloomfield. URL: <http://www.3dnews.ru/567885> (дата звернення 06.04.2026).
11. Lynnfield vs Bloomfield – сравнение Intel Core i7-870 и i7-950. URL: <http://www.overclockers.ru/lab/34234.shtml> (дата звернення 06.04.2026).
12. Intel Dunnington и Beckton будут иметь до 8 ядер в одном кристалле.

URL: <http://www.ixbt.com/news/hard/index.shtml?09/49/42#ixzz2yHRRF78Y> (дата
звернення 06.04.2026).

13. Процессор (CPU) Intel Xeon Gainestown. URL:
<http://www.migom.by/Intel-Xeon-E5520-Gainestown-107676/> (дата
звернення 06.04.2026).

14. Intel заменила 45-нм процессоры Havendale на 32-нм чипы Clarkdale.
URL:
http://www.3dnews.ru/news/intel_zamenila_45_nm_protessori_havendale_na_32_nm_chipi_clarkdale (дата звернення 06.04.2026).

15. Havendale: первый процессор Intel со встроенной графикой. URL:
http://itc.ua/news/havendale_pervyj_processor_intel_so_vstroennoj_grafikoj_30263/
(дата звернення 06.04.2026).

16. Процессоры Intel Bloomfield, Lynnfield и Havendale. URL:
<http://www.gamer.ru/hardware/protsessory-intel-bloomfield-lynnfield-i-havendale> (дата
звернення 06.04.2026).

Мобильные процессоры Intel Clarksfield будут иметь низкий TDP и
отключаемые ядра в режиме Turbo-Boost. URL:
<http://www.ixbt.com/news/hard/index.shtml?12/13/20#ixzz2yHVpiF1M> (дата звернення
06.04.2026).

17. Intel анонсировала 4-х ядерные мобильные процессоры. URL:
http://www.winline.ru/news/intel_anonsirovala_4_kh_yadernyje_mobilnyje_processory.php (дата звернення 06.04.2026).

18. Процессоры семейства Westmere. URL:
<http://www.overclockers.ua/cpu/intel-clarkdale-core-i3-i5/> (дата звернення 06.04.2026).

19. Серверные процессоры Intel Westmere-EX – 12 ядер и 32 нм техпроцесс.
URL: <http://www.ferra.ru/ru/system/news/2010/05/08/servernye-processor-intel-westmere-ex-12-yader-i-32-nm-tehprocess/> (дата звернення 06.04.2026).

20. Чипсеты для новых десктопных процессоров Intel. URL:
<http://old.computerra.ru/terralab/platform/540432/> (дата звернення 06.04.2026).

21. Знакомимся с Intel H55 Express на примере материнской платы ASRock
H55M Pro. URL:

https://overclockers.ru/lab/show/36067/Znakomimsya_s_Intel_H55_Express_na_primere_materinskoj_platy_ASRock_H55M_Pro (дата звернения 06.04.2026).

22. Intel® H55/H57/Q57/P55. URL:

http://www.bestor.spb.ru/v3/Overs?o_id=912 (дата звернения 06.04.2026).

23. Sandy Bridge: Intel Core второго поколения. URL:

http://www.thg.ru/cpu/sandy_bridge/index.html (дата звернения 06.04.2026).

24. Тестируем новые процессоры Intel Sandy Bridge. URL:

<http://www.ferra.ru/ru/system/106916/> (дата звернения 06.04.2026).

25. Intel Sandy Bridge: прогрессивная архитектура для универсальных CPU.

URL: http://itc.ua/articles/intel_sandy_bridge_progressivnaya_arhitektura_dlya_universalnyh_cpu_51296/ (дата звернения 06.04.2026).

26. Чипсеты Intel P67/H67 для новой платформы Socket 1155. URL:

<http://www.ixbt.com/mainboard/i67p-67h-chipsets.shtml#ixzz2yHbTMnuH> (дата звернения 06.04.2026).

27. Обзор и тестирование флагманского процессора Intel Core i7-4960X

Extreme Edition на базе новейшего ядра Ivy Bridge-E. URL: <http://www.overclockers.ua/cpu/intel-ivy-bridge-e-core-i7-4960x/> (дата звернения 06.04.2026).

28. Десктопные Ivy Bridge. Обзор процессоров Core i7-3770K и Core i5-

3570K. URL: <http://www.3dnews.ru/628151> (дата звернения 06.04.2026).

29. Знакомство с Haswell. Обзор и тестирование платформы Intel LGA1150 и

процессора Core i7-4770K. URL: <http://www.overclockers.ua/cpu/intel-haswell-core-i7-4770k/> (дата звернения 06.04.2026).

30. Достойна ли архитектура Haswell называться новой и переработанной?

URL: <http://www.ixbt.com/cpu/intel-haswell.shtml#ixzz2yHd2r9X2> (дата звернения 06.04.2026).

31. Двухъядерные Haswell: обзор процессоров Core i3-4340, Core i3-4130 и

Pentium G3430. URL: <http://www.3dnews.ru/764587> (дата звернения 06.04.2026).

Навчальне видання

Кардашук Володимир Сергійович

ТЕКСТ ЛЕКЦІЙ

з дисципліни

«КОМП'ЮТЕРНІ СИСТЕМИ ТА АРХІТЕКТУРА КОМП'ЮТЕРІВ»

*(для здобувачів вищої освіти спеціальності F7 «Комп'ютерна інженерія», що
навчаються за програмою підготовки бакалаврів)*
(електронне видання)

Укладач:

В. С. Кардашук

Редактор	В. С. Кардашук
Техн. редактор	В. С. Кардашук
Оригінал-макет	В. С. Кардашук

Підписано до друку

Формат 60 84 ¹/₁₆. Папір типограф. Гарнітура Times.

Друк офсетний. Умов. друк. арк. __. Обл. вид арк.

Тираж __ прим. Вид. № _____. Замов. № _____. Ціна договірна.
Видавництво Технологічного інституту СНУ ім. Володимира Даля

Адреса видавництва: 01042, м. Київ, вул. Іоанна Павла II, 17

E-mail: vidavnictvosnu.ua@gmail.com